

RTE-2000H-TP

ハードウェア・ユーザーズ・マニュアル(Rev.1.03)



RealTimeEvaluator

■ ご注意

- 本書に関する著作権は株式会社マイダス・ラボが所有します。
- 本書は著作権法で保護されており弊社の文書による許可が無い限り複製、転載、改変等できません。
- 本製品は、万全の注意を持って作製されていますが、ご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いかねますのでご了承ください。
- 本マニュアルに記載されている事柄は、予告なく変更されることがあります。

■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

改訂履歴

Rev.1.00	2006/01/05	初版
Rev.1.01	2006/01/30	誤記訂正 ・ 12章のタイミング図とACスペック値の修正
Rev.1.02	2006/04/05	JTAG-IFのACスペック値を修正（9章、11章）
Rev.1.03	2009/06/25	PB-JTAG-N38を10章に追加 （これに伴い後続の章番号が+1されます。） MICTORコネクタをRoHS対応型番に変更

目次

1 . はじめに.....	5
2 . 主な特徴.....	6
3 . 主要モジュールのハードウェア仕様.....	7
4 . 各部の名称と働き.....	8
5 . EXTコネクタ	10
6 . 設置手順.....	12
7 . ユーザシステムとの接続.....	13
8 . 電源投入 / 切断順序.....	15
電源投入順序	15
電源切断順序	15
9 . JTAGプローブ : PB-JTAG-N-A36.....	16
従来型(別名KELタイプ).....	16
高速型(別名MICTORタイプ)	18
電気的な条件	20
JTAG信号.....	21
TRACE信号.....	22
10 . JTAGプローブ : PB-NEXUS-N38	23
ピン配置.....	23
電気的な条件	25
JTAG信号.....	26
TRACE信号.....	27
11 . JTAGプローブ : PB-JTAG-N48.....	28
電気的な条件	31
JTAG信号.....	32
TRACE信号.....	33
12 . JTAGプローブ : PB-JTAG-A-A36	34
電気的な条件	36
JTAG信号.....	37
TRACE信号.....	38
13 . 高速ダウンロードプローブ:PB-HSDL-50.....	38
13 . 高速ダウンロードプローブ:PB-HSDL-50.....	39
インターフェース仕様.....	39
使用上の注意事項	39
電気的な条件	40
READサイクル・タイミング.....	41
14 . 標準ROMケーブル:CBL-STD16-2K.....	42

信号線の種類	42
ピンの配置	42
基板側のコネクタの種類	43
物理的な配置 (基板側)	43
参考回路	43
JINH1-JP	43
電気的な条件	44
READサイクル・タイミング	45
WRITEサイクル・タイミング	46
15 . DIP32-ROM用アダプタ(ADP-STD16-DIP32)	47
16 . DIP40/42-ROM用アダプタ	48
DIP40-ROM用アダプタ : ADP-STD16-DIP40	48
DIP42-ROM用アダプタ : ADP-STD16-DIP42	48
APPENDIX.A 基板モジュールの組込み方法	49
APPENDIX.B MEMモジュールの組込み方法	50
APPENDIX.C プロープ・ケーブルの外形寸法図	51
PB-JTAG-N-xx, PB-JTAG-A-xx	51
PB-JTAG-N48	51
PB-HSDL-50	51
標準ROMケーブル(CBL-STD16-2K)	51
標準ROMケーブル(CBL-STD16-2K)	52
DIP-40/42-ROM用アダプタ(ADP-STD16-DIP32/40/42)	52

1. はじめに

RTE-2000H-TPはJTAG接続方式の汎用型インサーキットエミュレータです。実プロセッサをオンボードの状態デバッグできますので、透過性の高い安定したエミュレーション機能を提供します。ハードウェアは最大6枚までのボードが実装できる本体と機能単位でモジュール化されたボードで構成され、自由に組み合わせることができます。また、各ボードはリプログラマブルなデバイスで構成され、将来の機能拡張への配慮と各種プロセッサの違いを吸収します。

KIT(KIT-xxxx-TP-H)はこれらのハードウェア情報と制御ソフトウェアがパッケージされたもので、プロセッサの品種ごとに用意されます。

本製品は数種の構成の異なる本体とオプション製品で構成されます。最初に添付の製品リストにしたがって内容品の確認を行ない、不足品がないことを確認してください。

本製品の構成内容を以下に示します。

型番	内容
RTE-2000H-TP-N-A36	<p>NEC/MICTOR38-IF用基本構成 (LAN/USB-IF付き) 本体+電源+USBケーブル</p>  <p>PB-JTAG-N-A36(CBL-MICTOR38付き)</p>  <p>NEC系CPU用KIT(RTE4WIN32, UM, License)..1種</p> 
RTE-2000H-TP-A-A36	<p>ARM/MICTOR38-IF用基本構成 (LAN/USB-IF付き) 本体+電源+USBケーブル</p>  <p>PB-JTAG-A-A36(CBL-MICTOR38付き)</p>  <p>ARM系CPU用KIT(RTE4WIN32, UM, License)..1種</p> 
RTE-2000H-TP-IF-IE80	<p>IE系POD用基本構成 (LAN/USB-IF付き) 本体+電源+IF-IE80+USBケーブル</p> 

・末尾の-A36の部分は、JTAGプローブのグレードを変更した場合は、その指定品番になります。

2. 主な特徴

高速なJTAG回路によるプロセッサ・オンボード・エミュレーション機能

高速なJTAG回路を搭載し、CPUの制御は全てJTAG経由で行いますので、メモリや割込み等のユーザ資源を開放でき、実チップでの安定した動作と、透過性の高い、高速なエミュレーションが可能です。

高速・大容量なトレース回路によるリアルタイムトレース機能

高速・大容量のトレース回路を搭載し、CPUから出力される分岐情報を元に実行履歴を命令またはソース行単位で表示します。キャッシュ内の命令実行も解析可能です。また、タイムタグを有し最大30時間までの時間計測やオプションの外部バストレース情報との混在表示も可能です。

高速・大容量なROMエミュレーション機能

最大128Mバイト、64-bitバスまでのROMがエミュレーションできます。32ピンから42ピンまでのDIP形状のROMと、ROMを基板に搭載した状態でエミュレーションする為の16bit-標準ROMコネクタ(max32M-byte)に対応したケーブルやアダプタが用意されています。アクセスタイムも35ns以下と高速です。

高速ダウンロードプローブによる高速ダウンロード機能

大容量のプログラムをユーザシステム上のメモリに高速にダウンロードする為のバス接続型の専用プローブを用意しています。標準プローブは拡張16bit-標準ROMコネクタIFの準拠した16-bitバスのインターフェースです。

豊富なオプション群

以下のオプション製品が用意されています。(一例)

- ・大容量・高速エミュレーションメモリ
- ・同期型フラッシュ対応エミュレーションメモリ
- ・24/48ビット幅トレース対応プローブ
- ・外部バストレースユニット
- ・高速ダウンロードプローブ(バス接続型)

複数のデバッガが選択可能

以下のデバッガが使用可能です。(使用できるデバッガはKITに依存します)

- ・専用デバッガ「Partner」
- ・GHS社製「MULTI」
- ・NECエレクトロニクス社製「ID850NW」

マルチコアプロセッサに対応

マルチコアのプロセッサにおいては、複数コアの同時デバッグの対応が可能です、デバッガ間での同期制御(同期実行や同期ブレークなど)ができます。

その他

- ・低電圧対応(1.2V~から対応)
- ・LAN/USB-IFを標準搭載(100Mbps/480Mbps)

*備考: 上記内容はKITに依存する内容を含みますので、一部のKITでは該当しない場合があります。

3. 主要モジュールのハードウェア仕様

JTAG-IF:PB-JTAG-x-A36

対象CPU	NB85E/NU85E, V850E/ME2, V850E/MA3 AS85EP2, NA85E2, V850E2/ME3, V831/2 VR5432, VR5432, VR5500, VR7701 VR4122, 4131, 4181A MIPS32/4kc ARM9/11, OMAP16/15xx, MP211...more (*1)
JTAG機能	
CPU動作周波数	制限はありません
インターフェース	JTAG/N-Wire, JTAG/ETM
JTAG-CLK (標準品: PB-JTAG-x-A36使用時)	10K 100MHz (*2)
動作電圧範囲	1.2V 3.3V
トレース機能(一部の機能はプロセッサの仕様に依存します)	
トレースデータバス幅 PB-JTAG-x-A36 PB-JTAG-N48	4-16bit 24-48bit
トレースメモリ容量 ()内はOption仕様	36M-bit (~144M-bit)
最大トレース周波数(データレート) PB-JTAG-x-A36 ()内はOption使用時の仕様 PB-JTAG-N48 PB-NEXUS-N38	333MHz (~400MHz) 200MHz 300MHz
タイムタグ 分解能/最大時間計測 ()内はOption仕様	100nS/30H
トレースディレイサイクルの指定	可
実行アドレスによるトリガ設定	可
データアクセスによるトリガ設定	可
外部信号によるトリガ設定	可
命令単位での逆アセンブルトレース表示	可
端子マスク機能	可

備考: *1:KITの対応状況はHomePage(<http://www.midas.co.jp/>) で最新情報をご確認いただけます。

*2:値はプロセッサやKITの種類、各種条件により異なります。性能を保証するものではありません。

High Speed Down Load Probe:PB-HSDL-50

高速ダウンロードプローブ:50pin-IF	
インターフェース	拡張16bit-標準ROMケーブルのIF仕様に準拠(50pin)
最大データ転送レート	約8MA ¹ /sec (*2)
アクセスタイム	25nS(Typ.)
バス幅	16-bit
動作電圧範囲	1.2V - 3.3V

備考: *2: 値はプロセッサやKITの種類、各種条件により異なります。性能を保証するものではありません。

E.MEM:RTE-EMEM-B8, RTE-MM-8M

ROMエミュレーション機能	
*3 メモリ容量	32MA ¹ /1(max)/枚
RAMとしての使用	可
アクセスタイム	35nS(非同期) ¹ -ストローク:30nS
動作電圧範囲	1.8V 3.3V
電気的条件	LV-TTL, 5Vトランジスト
ブロック内マップ機能 (USER/EMEM) の単位	64K-Word
エミュレーション可能なROMの容量(bit)	
DIP-32pin-ROM(8bit-bus)	1M, 2M, 4M, 8M(27C010/020/040/080)
DIP-40pin-ROM(16bit-bus)	1M, 2M, 4M(27C1028/2048/4096)
DIP-42pin-ROM(16bit-bus)	8M, 16M(27C8000/16000)
拡張16bit-標準ROM(16bit-bus)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M(max32M-Byte)
バス幅指定(bit)	8/16/32/64

備考: このモジュールは最大4枚まで実装できます(max128MA¹/1)。32-Bitバスでは2枚、64-Bitバスでは4枚必要です。

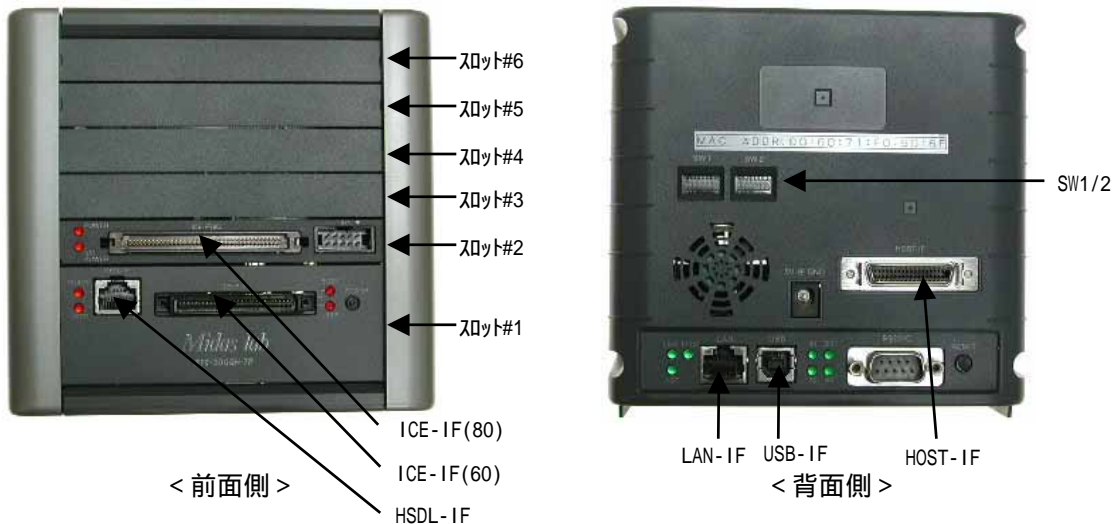
*3:2.3V以下で使用する場合は、ケーブルのDC特性にご注意ください。電氣的に整合しない場合があります。

Host-IF:LAN/USB-IF

Host-IF	
USB-IF	USB2.0:Hi-Speed USB対応(480Mbps)
LAN-IF	100BaseTX(100Mbps)

4. 各部の名称と働き

この章では、RTE-2000H-TPの概観を示し、各部の名称と機能について説明します。
(写真は、RTE-2000H-TP-x-xにIF-IE80基板を実装した状態のものです。)



スロット#1 - #6

スロット#1

ICE-IF(60)基板が実装されます。(出荷時に実装済み)

スロット#2

オプション・モジュール実装用のスロットです。RTE-2000H-TP-IF-IE80では、ICE-IF(80)基板(IF-IE80)が実装されて出荷されます。このボードを後から実装する場合は、必ずこのスロットに実装してください。また外部バストレーズ基板を実装する場合もこのスロットに実装してください。

スロット#3-6

エミュレーション・メモリ基板を実装するスロットです。下段の#3より順番に実装してください。

ICE-IF(60)基板モジュール(スロット#1)

ICE-IF(60)

PB-JTAG-x-xxを接続するための60pinのコネクタです。

HSDL-IF

高速ダウンロードプローブを接続するためのコネクタです。



HSDL-IFには指定の製品以外(LAN等)のケーブルを絶対に接続しないでください。双方の故障の原因になります。

POWER(SW/LED)

LED付きの電源スイッチです。ボタンを押すごとにON/OFFを交互に繰り返します。

ON時に先端部分が点灯します。

LED(右側)

USER: JTAG-IFを介し接続されているユーザシステムに電源が入っている時に点灯します。

BUSY: JTAG-IFを介し通信が行われている時に点灯します。

LED(左側)

READY: HSDL-IFとの通信が正常に行えている時に点灯します。

USER: HSDL-IFを介し接続されているユーザシステムに電源が入っている時に点灯します。

ICE-IF(80)基板モジュール(スロット#2)ICE-IF(80)

PODタイプのICE(IE系)を接続するための80pinのコネクタです。

EXT

ICE-IF(80)にICEを接続した時だけ有効になるEXTコネクタです。

E.MEM基板モジュール(スロット#3 - #6)E.ROM IF

ROMケーブルを接続するためのコネクタです。

D0 - 7(LED)

ROMケーブルを介し接続されているユーザシステムに電源が入っている時に点灯します。

D8 - 15(LED)

ROMケーブルを介し接続されているユーザシステムに電源が入っている時に点灯します。



この2つのLEDは16-Bit系のケーブルでは2個同時に点灯し、ADP-STD16-DIP32を使用時も同様です。(2個点灯します)



E.MEM基板・モジュールはスロット#3から上段に向けて順番に実装してください。ROMxコマンドの番号とモジュールの対応は以下の通りです。

ROM1コマンド ...スロット#3に実装したEMEM基板・モジュール

ROM2コマンド ...スロット#4に実装したEMEM基板・モジュール

ROM3コマンド ...スロット#5に実装したEMEM基板・モジュール

ROM4コマンド ...スロット#6に実装したEMEM基板・モジュール

電源ジャック(5V)

電源供給用のコネクタです。付属の電源のプラグを挿入します。



付属のACアダプタ(RTE-PS04:+5V, 4.5A)以外を電源ジャックに接続しないでください。

LAN/USBコネクタ(LAN/USB)

PC(ホスト)とLAN、またはUSBのIFで接続する為のコネクタです。どちらか片方にだけ接続してください。

PC(ホスト)接続コネクタ(HOST IF)

PC(ホスト)に実装したホストカードを使って接続するためのコネクタです。

LAN、またはUSBで接続する時は、ここには何も接続しないでください。

モード設定用スイッチSW1, SW2

ICE本体やエミュレーション機能のモードを設定するためのスイッチです。KIT-xxxx-TPのマニュアルを参照し、特に指定がない場合、全て"OFF"の状態でご使用ください。

5 . EXTコネクタ

JTAGプローブ先端部のJEXT1/2、及びICE-IF(80)基板(1F-1E80)の前面パネル上のEXTコネクタの仕様を以下に示します。ICE-IF(80)基板のコネクタはICE-IF(80)コネクタにICEが接続されている時にだけ有効です。

JTAGプローブ(PB-JTAG-N-xx, PB-JTAG-A-xx)のEXTコネクタ

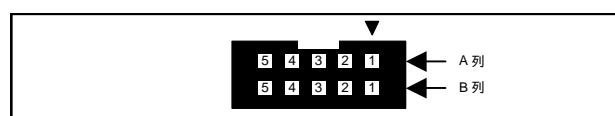
JEXT1	信号名	入出力	内容
1	GND	---	シグナルグランド
2	EXI0	入力	外部入力信号#0 (470K でプルアップ) エッジ検出可能
3	EXI1	入力	外部入力信号#1 (470K でプルアップ)
4	EXI2	入力	外部入力信号#2 (470K でプルアップ)
5	EXI3	入力	外部入力信号#3 (470K でプルアップ)
JEXT2	信号名	入出力	内容
1	RSV-INO	入力	KITに依存します。(470K でプルアップ)
2	RSV-IN1	入力	KITに依存します。(470K でプルアップ)
3	RESETOUT-	出力	リセット出力。RESETコマンドで約50mSのローパルスを出します。(オープンコレクタ出力、470K でプルアップ)
4	TRG-	出力	トリガ出力。トレーストリガを検出するとローレベルになります。(オープンコレクタ出力、470K でプルアップ)
5	RSV-OUT	出力	KITに依存します。(470K でプルアップ)

備考：入出力部は2mmピッチのプラグです。これらの信号を使用する場合は、ロジアナ等で使用するクリップ等を用いて信号を引き出してください。

ICE-IF(80)基板のEXTコネクタ

ピン番号(上段)	信号名	入出力	内容
A1	RSV-INO	入力	KITに依存します。(1K でプルアップ)
A2	RSV-IN1	入力	KITに依存します。(1K でプルアップ)
A3	RSV-OUT	出力	KITに依存します。(1K でプルアップ)
A4	RESETOUT-	出力	リセット出力。RESETコマンドで約50mSのローパルスを出します。(オープンコレクタ出力、1K でプルアップ)
A5	GND	--	シグナルグランド
ピン番号(下段)	信号名	入出力	内容
B1	EXI0	入力	外部入力信号#0 (1K でプルアップ) エッジ検出可能
B2	EXI1	入力	外部入力信号#1 (1K でプルアップ)
B3	EXI2	入力	外部入力信号#2 (1K でプルアップ)
B4	EXI3	入力	外部入力信号#3 (1K でプルアップ)
B5	TRG-	出力	トリガ出力。トレーストリガを検出するとローレベルになります。(オープンコレクタ出力、1K でプルアップ)

ピン配置



JEXTピン配置

適合コネクタ

10pinのコネクタ : オムロン株式会社 XG4M-1031 (相当品可)

1pin単位のジャンパケーブル: ITT Pomona Electronics 4741-12-0 (相当品可)

補足事項

- 1 . ICE-IF(80)基板の入力信号の電気的条件はLV-TTLです。
- 2 . EXIOはトレースのトリガとして、エッジ検出の指定ができます。
- 3 . EXIO-3はトレース情報としてメモリに取り込みます。
- 4 . プルアップはJTAG-IFの-VCCIOと同電位に対し接続されています。

6. 設置手順

以下にRTE-2000H-TPの設置手順を示します。

1. ホストカードのインストール

ホストカードを使用する場合は、それぞれのマニュアルを参照して実装してください。

2. 『RTE for WIN32』のインストール

『RTE for WIN32』のマニュアルを参照してください。



この時、ChkRTE2.EXEはまだ起動しないでください。

3. RTE-2000H-TPのインストール

出荷時のオプションモジュールは実装されていますが、追加のモジュールがある場合は、APPENDIX.Aを参照して実装してください。

4. RTE-2000H-TPの接続

RTE-2000H-TPとPC(ホスト)を接続し、ACアダプタを接続できる状態にしておいてください。

5. ユーザシステムとの接続

プロセッサに適合したJTAGプローブをRTE-2000H-TP本体に接続し、プローブの先端をユーザシステムに接続します。オプションの先端ケーブルを使用する場合は予め交換しておいてください。7章を参照してください。

6. 電源の投入

8章を参照してください。

7. 『RTE for WIN32』の設定

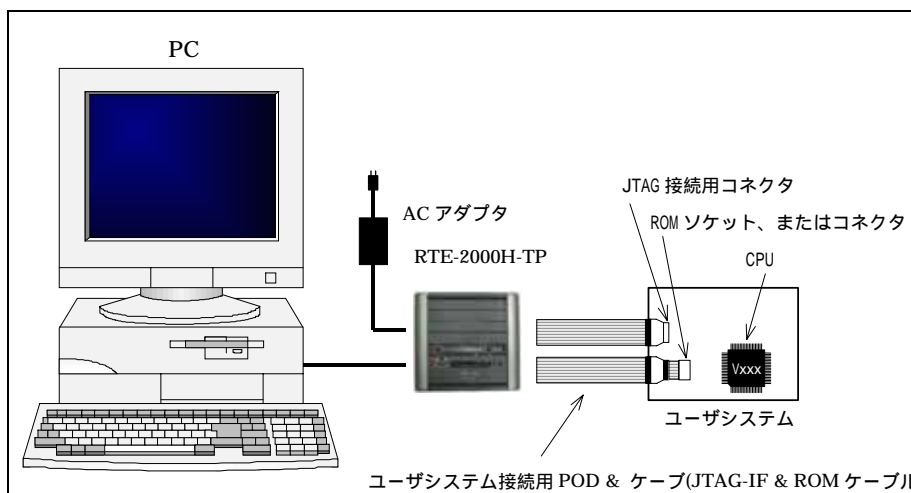
ChkRTE2.EXEを起動して、パラメータを設定します。

『RTE for Win32』のマニュアルと個別のKIT-xxxx-TP-Hのマニュアルを参照してください。

8. デバッガの起動

デバッガのマニュアルを参照してください。

接続例を以下に示します。



7. ユーザシステムとの接続

ユーザシステムとの接続は、下記の通り行ってください。

JTAGプロープの接続(必須)

- ・ JTAGプロープをRTE-2000H-TPのCPU-IFに接続します。
PB-JTAG-N-xx, PB-JTAG-A-xxはICE-IF(60)に、PB-JTAG-N48はICE-IF(80)に接続します。
- ・ ユーザシステム側の接続方法を以下に示します。

<PB-JTAG-N-xxの場合>

PB-JTAG-N-xxは出荷時MICTOR38用の先端ケーブルが取り付けられています。MICTOR38コネクタに接続する場合はそのままユーザシステムに接続します。KEL26コネクタに接続する場合はKEL26-IF先端ケーブル(別売品)に交換してからユーザシステムに接続してください。

<PB-JTAG-A-xxの場合>

PB-JTAG-A-xxは出荷時MICTOR38用の先端ケーブルが取り付けられています。MICTOR38コネクタに接続する場合はそのままユーザシステムに接続します。20pinコネクタに接続する場合は、20pinコネクタへの変換ケーブル(別売品)をMICTOR38先端ケーブルの先に取り付けてご使用ください。

<PB-JTAG-N48の場合>

PB-JTAG-N48はプロープの先端にMICTOR38コネクタが2個実装された形状のものです。そのままユーザシステムに接続してください。

高速ダウンロードプロープの接続(オプション)

- ・ 高速ダウンロードプロープをプロープに付属のケーブルでRTE-2000H-TPのHSDL-IFに接続します。
- ・ ユーザシステムに用意したIF用のコネクタにプロープの先端を接続します。

ROMケーブルの接続(オプション)

- ・ RTE-2000H-TP側はE.MEM基板モジュールのROM-IFに接続します。
- ・ ユーザシステム側の接続方法を以下に示します。

<CBL-STD16-2K(DIP-40,DIP42アダプタ使用時も同様です)>

16-bitのROM用のケーブルです。EMEM基板モジュールの数だけ使用できます。

2個以上で32-Bit以上のバス幅を構成しているシステムの場合は、以下の通り接続してください。

32-bitバス

D0 - D15 :スロット#3のEMEM基板に接続

D16 - D31 :スロット#4のEMEM基板に接続

または、

D0 - D15 :スロット#5のEMEM基板に接続

D16 - D31 :スロット#6のEMEM基板に接続

64-bitバス

- D0 - D15 :スロット#3のEMEM基板に接続
- D16 - D31 :スロット#4のEMEM基板に接続
- D32 - D47 :スロット#5のEMEM基板に接続
- D48 - D63 :スロット#6のEMEM基板に接続

< ADP-STD-DIP32使用時 >

8-bitのDIP-32pinROM用のアダプタはCBL-STD16-2Kの先端に取付けて使用します。EMEM基板モジュールの数だけ使用できます。

2個以上で16-Bit以上のバス幅を構成しているシステムの場合は、以下の通り接続してください。

16-bitバス

- D0 - D7 :スロット#3のEMEM基板に接続
 - D8 - D15 :スロット#4のEMEM基板に接続
- または、
- D0 - D7 :スロット#5のEMEM基板に接続
 - D8 - D15 :スロット#6のEMEM基板に接続

32-bitバス

- D0 - D7 :スロット#3のEMEM基板に接続
- D8 - D15 :スロット#4のEMEM基板に接続
- D16 - D23 :スロット#5のEMEM基板に接続
- D24 - D31 :スロット#6のEMEM基板に接続



1M-bit以上の32pinROMでは、ピン・アサインが2種類あります。使用するROMに合わせてアダプタ基板上のジャンパを設定してください。

8 . 電源投入 / 切断順序

電源の投入 / 切断は、全ての設置（ケーブルの接続等）が完了した後、下記の順番で行ってください。

電源投入順序

- 1 . ホストシステムの電源を入れます。
- 2 . RTE-2000H-TPの電源を入れます。以下の2通りの方法があります。
 - ・ RTE-2000H-TPの電源ジャックにRTE専用のACアダプタを接続します。ACアダプタを接続することで自動的に直ぐに通電します。
 - ・ POWER SWで電源を切った後は、POWER SWをもう一度押すことで通電します。
- 3 . ユーザシステムの電源を入れます。
- 4 . デバッグを起動します。

電源切断順序

- 1 . デバッグを終了します。
- 2 . ユーザシステムの電源を切ります。
- 3 . RTE-2000H-TPの電源を切ります。以下の2通りの方法があります。
 - ・ RTE-2000H-TPからACアダプタを抜き取ります。
 - ・ 前面パネル上のPOWER SWを一度押します。
- 4 . ホストシステムの電源をシステムの手順に従い切ります。



RTE-2000H-TPの電源が切れている状態で、ユーザシステムの電源を入れないでください。故障の原因となります。

9 . JTAGプロブ : PB-JTAG-N-A36

PB-JTAG-N-xxはNEC製CPUをICEする場合のJTAGプロブです。以下に共通仕様を示します。対象プロセッサによって個別に定義される信号がありますので、実際にコネクタを用意する場合はそれぞれのキットの資料も必ず参照してください。

従来型(別名KELタイプ)

従来型のKEL社の26pinコネクタを使用したインターフェースの仕様を記します。KIT-xxxx-TP-Hに高速型の仕様が掲載されている場合は、高速型のコネクタの使用を推奨します。

<ピン配置表>

Pin番号	接続信号名	入出力 (User Side)	標準的な処理(User Side)
A1	TRCCLK	Output	22 - 33 シリーズ抵抗 (推奨)
A2	TRCDATA0	Output	22 - 33 シリーズ抵抗 (推奨)
A3	TRCDATA1	Output	22 - 33 シリーズ抵抗 (推奨)
A4	TRCDATA2	Output	22 - 33 シリーズ抵抗 (推奨)
A5	TRCDATA3	Output	22 - 33 シリーズ抵抗 (推奨)
A6	TRCEND	Output	22 - 33 シリーズ抵抗 (推奨)
A7	DDI	Input	4.7K - 10K プルアップまたはプルダウン
A8	DCK	Input	4.7K - 10K プルアップまたはプルダウン
A9	DMS	Input	4.7K - 10K プルアップまたはプルダウン
A10	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
A11	DRST-	Input	4.7K - 50K プルダウン
A12	Reserve	-----	(KIT依存)
A13	Reserve	-----	(KIT依存)

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
B1-B10	GND	-----	GNDに接続
B11	Reserve	-----	(KIT依存)
B12	Reserve	-----	(KIT依存)
B13	VCC10	-----	CPUの外部バス用電源に接続

備考:入出力 (User Side) はユーザ基板側での方向です。

< コネクタの型番 >

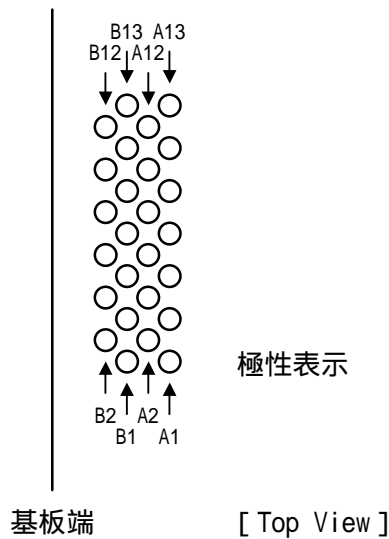
- メーカー : KEL
- 型番 : 8830E-026-170S (ストレート)
- 8830E-026-170L (ライト・アングル)
- 8831E-026-170L (ライト・アングル、固定金具付き)

< 配線と配線長 >

1. バッファ、またはCPUからコネクタまでの配線は極力短くなるようにしてください。
100mm以下を推奨します。
2. CPUからの出力信号は、CPUのIOと同一電源を供給した高速CMOSバッファを介しコネクタへ接続することを推奨します。

< 基板レイアウト図 >

基板上的コネクタの物理的なレイアウトを以下に示します。



注意：実際に配置する場合は、コネクタの寸法資料に基づき、設計してください。

高速型(別名MICTORタイプ)

高速型のMICTORコネクタを使用したインターフェースの仕様を記します。KIT-xxxx-TP-Hに高速型の仕様が掲載されている場合は、高速型のコネクタの使用を推奨します。

< ピン配置表 >

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
1	GND	---	GNDに接続
3(A8)	DCK	Input	4.7K - 10K プルアップまたはプルダウン
5(A9)	DMS	Input	4.7K - 10K プルアップまたはプルダウン
7(A7)	DDI	Input	4.7K - 10K プルアップまたはプルダウン
9(A10)	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
11	Reserved 1		Open
13	Reserved 2		Open
15	Reserved 3		Open
17(A1)	TRCLK	Output	22 - 33 シリーズ抵抗 (推奨)
19(A6)	TRCEND	Output	22 - 33 シリーズ抵抗 (推奨)
21(A2)	TRCDATA0	Output	22 - 33 シリーズ抵抗 (推奨)
23(A3)	TRCDATA1	Output	22 - 33 シリーズ抵抗 (推奨)
25(A4)	TRCDATA2	Output	22 - 33 シリーズ抵抗 (推奨)
27(A5)	TRCDATA3	Output	22 - 33 シリーズ抵抗 (推奨)
29	TRCDATA4	Output	(KIT依存)
31	TRCDATA5	Output	(KIT依存)
33	TRCDATA6	Output	(KIT依存)
35	TRCDATA7	Output	(KIT依存)
37	GND	---	GNDに接続

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
2	GND	---	GNDに接続
4(B13)	VCCIO	---	CPUのIO系電源に接続 (電源監視用)
6(A11)	DRST-	Input	4.7K - 50K プルダウン
8(A12)	PORT1_OUT	Input	(KIT依存)
10(A13)	PORT2_OUT	Input	(KIT依存)
12	PORT3_OUT	Input	(KIT依存)
14(B11)	PORT1_IN	Output	(KIT依存)
16(B12)	PORT2_IN	Output	(KIT依存)
18	PORT3_IN	Output	(KIT依存)
20	TRCCE	Input	(KIT依存)
22	TRCDATA8	Output	(KIT依存)
24	TRCDATA9	Output	(KIT依存)
26	TRCDATA10	Output	(KIT依存)
28	TRCDATA11	Output	(KIT依存)
30	TRCDATA12	Output	(KIT依存)
32	TRCDATA13	Output	(KIT依存)
34	TRCDATA14	Output	(KIT依存)
36	TRCDATA15	Output	(KIT依存)
38	GND	---	GNDに接続

備考：()内はKELタイプのコネクタの相当ピンです。

入出力 (User Side) はユーザ基板側での方向です。

< コネクタの型番 >

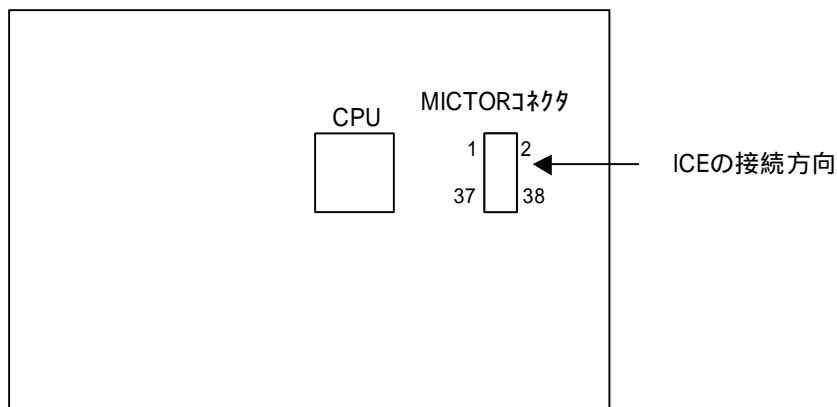
メーカー : AMP社
型番 : 2-5767004-2 (レセブタクル)

< 配線と配線長 >

- ・ トレース関連信号は非常に高速に遷移する信号です。配線ラインは特性インピーダンスを50 Ωとして、等長でかつ極力短くなるように（配線長は50mm以下を推奨）配線してください。また、トレース信号どうし、及び、その他の回路信号からのクロストークの影響を受けないよう、適宜シールドするなどの処理をしてください。
- ・ CPUからの出力信号にはシリーズマッチ用の直列抵抗をCPUの近傍に入れてください。
- ・ 原則として全ての信号はICE用コネクタ以外に配線しないでください。

< 基板レイアウト >

基板上的コネクタの物理的なレイアウト図例を以下に示します。



注意：実際に配置する場合は、コネクタの寸法資料に基づき、設計してください。

電気的な条件

Absolute Maximum Ratings

Parameter	Symbol	Rating	Unit
Supply voltage	V_{DD}	-0.5~+5.5	V
Input voltage	V_I	-0.5~+5.5	V

Note: The V_{DD} is power voltage on target(= VCC10 of JTAG-IF)

Capacitance ($T_A=25^\circ\text{C}$)

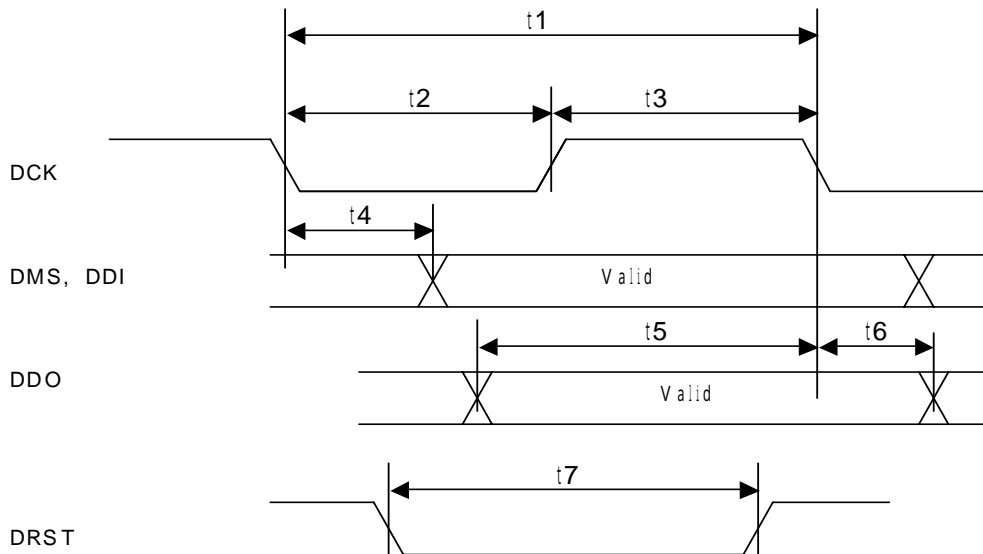
Parameter	Symbol	MIN	TYP	MAX	Unit
Input capacitance	C_I			50	ρF
Output capacitance	C_O			50	ρF

DC Characteristics ($1.2\text{V} < V_{DD} \leq 5.5\text{V}$) : $V_{DD} = \text{VCC10}$ of JTAG-IF

Parameter	Symbol	Condition	Condition			Unit	
			MIN	TYP	MAX		
Input Voltage high	V_{IH}		$V_{DD}(V)$				
			1.2-1.95	$V_{DD} \times 0.65$		V	
			1.95-2.7	1.6		V	
Input Voltage low	V_{IL}		2.7-5.5	2		V	
			1.2-1.95		$V_{DD} \times 0.35$	V	
			1.95-2.7		0.7	V	
Output Voltage high	V_{OH}	$I_{OH} = -100\mu\text{A}$	2.7-5.5		0.8	V	
			1.2-3.2	$V_{DD}-0.2$		V	
		$I_{OH} = -3\text{mA}$	3.3-5.5	3.0			
		$I_{OH} = -6\text{mA}$	1.2		0.95	V	
		$I_{OH} = -8\text{mA}$	1.4	1.05		V	
		$I_{OL} = -9\text{mA}$	1.65	1.2		V	
Output Voltage low	V_{OL}	$I_{OH} = -100\mu\text{A}$	2.3	1.75		V	
			3.0	2.3		V	
		$I_{OH} = -3\text{mA}$	1.2-5.5		0.2	V	
		$I_{OH} = -6\text{mA}$	1.2		0.15	V	
		$I_{OH} = -8\text{mA}$	1.4		0.35	V	
		$I_{OL} = -9\text{mA}$	1.65		0.45	V	
Output current high	I_{OH}		$I_{OL} = -12\text{mA}$	2.3		0.55	V
			3.0		0.7	V	
				1.2		-3	mA
				1.4-1.6		-6	mA
				1.65-1.95		-8	mA
Output current low	I_{OL}			2.3-2.7		-9	mA
				3.0-5.5		-12	mA
				1.2		3	mA
				1.4-1.6		6	mA
				1.65-1.95		8	mA
VCCIO current	I_{VCCIO}		2.3-2.7		9	mA	
			3.0-5.5		12	mA	
			5.0		5	mA	

JTAG信号

Timing diagram



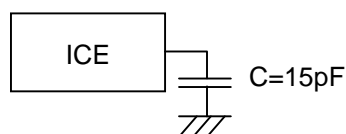
AC Characteristics $V_{DD}=VCC10$ of JTAG-IF

Parameter	Symbol	V_{DD} (V)	Min	Typ.	Max	Unit	Remarks
DCK Cycle Width	t1	1.2-3.3	10			nS	
DCK Cycle Low Width	t2	1.2-3.3	$0.4 * t1$			nS	
DCK Cycle High Width	t3	1.2-3.3	$0.4 * t1$			nS	
Tdly:DCK->DDI,DMS	t4	3.3			4.5	nS	
		1.2		5			
Tsu:DDO/DCK	t5	3.3			6.5	nS	
		1.2		7.5			
Thold:DDO/DCK	t6	3.3	0			nS	
		1.2	0				
DRST Low Width	t7	1.2-3.3	1000			nS	

AC input waveforms



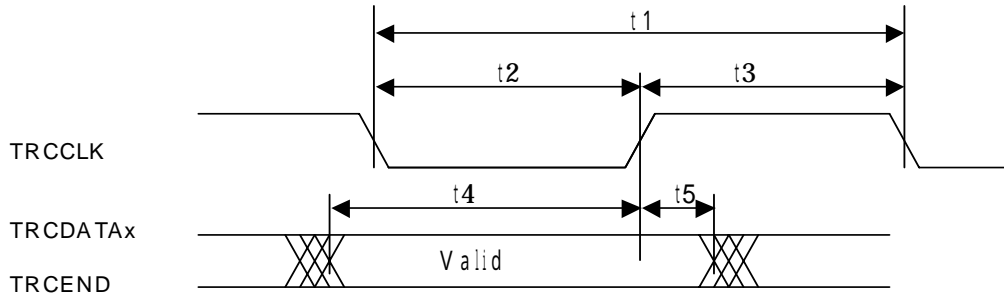
Load condition



TRACE信号

<Single Edge Mode>

Timing diagram

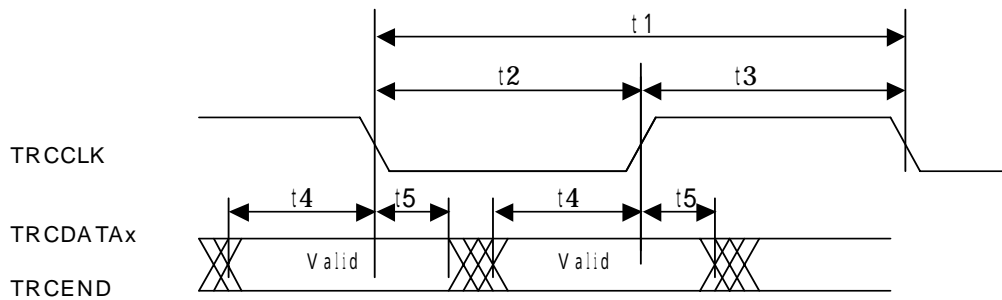


AC Characteristics (1.2V<V_{DD}<=3.3V):V_{DD}=VCCIO of JTAG-IF

Parameter	Symbol	Min	Max	Unit	Remarks
TRCCLK Cycle Width	t1	3		nS	
TRCCLK Cycle Low Width	t2	1		nS	
TRCCLK Cycle High Width	t3	1		nS	
Tsu:TRCDATA,../TRCCLK	t4	0.0/1.5/3.0/4.5		nS	値はtdata_dlyコマンドの以下のパラメータに対応します。 Off/small/medium/large
Thold:TRCDATA,../TRCCLK	t5	1.5/0.0/-1.5/-3.0		nS	

<Double Edge Mode>

Timing diagram



AC Characteristics (1.2V<V_{DD}<=3.3V):V_{DD}=VCCIO of JTAG-IF

Parameter	Symbol	Min	Max	Unit	Remarks
TRCCLK Cycle Width	t1	6		nS	
TRCCLK Cycle Low Width	t2	2		nS	
TRCCLK Cycle High Width	t3	2		nS	
Tsu:TRCDATA,../TRCCLK	t4	0.0/1.5/3.0/4.5		nS	値はtdata_dlyコマンドの以下のパラメータに対応します。 Off/small/medium/large
Thold:TRCDATA,../TRCCLK	t5	1.5/0.0/-1.5/-3.0		nS	

AC input waveforms



10 . JTAGプローブ : PB-NEXUS-N38

PB-NEXUS-N38は、NEXUS対応のNEC製CPUをICEする場合のJTAGプローブです。以下に共通仕様を示します。対象プロセッサによって個別に定義される信号がありますので、実際にコネクタを用意する場合はそれぞれのキットの資料も必ず参照してください。

ピン配置

Pin番号	接続信号名	入出力 (User Side)	電気的な条件	処理(User Side)
1	GND	---		GNDに接続
3	TCK	Input	Normal	4.7K - 10K プルアップまたはプルダウン
5	TMS	Input	Normal	4.7K - 10K プルアップまたはプルダウン
7	TDI	Input	Normal	4.7K - 10K プルアップまたはプルダウン
9	TDO	Output	Normal	22 - 33 シリーズ抵抗 (推奨)
11	MSE00	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
13	MSE01	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
15	OPEN	---		
17	MCKO	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
19	OPEN	---		
21	MDO[0]	Output		10 - 22 シリーズ抵抗 (推奨)
23	MDO[1]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
25	MDO[2]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
27	MDO[3]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
29	MDO[4]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
31	MDO[5]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
33	MDO[6]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
35	MDO[7]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
37	GND	---		GNDに接続

Pin番号	接続信号名	入出力 (User Side)	電気的な条件	処理(User Side)
2	GND	---		GNDに接続
4	VCCIO	Output	1.65V ~ 5V	+3.3Vの電源に直結 (電圧センス用)
6	TRST-	Input	Normal	4.7K - 50K プルダウン
8	RESET-	BIDIR	OC. (5Vトラント)	CPUのRESETへ接続 (OC. 出力)
10	FLMDO	Input	VCCIO-CMOS	4.7K - 50K プルダウン
12	RDYZ (RDY-)	Output	Normal	22 - 33 シリーズ抵抗 (推奨)
14	EVTO	Output	Normal	22 - 33 シリーズ抵抗 (推奨)
16	EVTI	Input	VCCIO-CMOS	4.7K - 50K プルアップ
18	OPEN	---		
20	OPEN	---		
22	MDO[8]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
24	MDO[9]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
26	MDO[10]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
28	MDO[11]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
30	MDO[12]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
32	MDO[13]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
34	MDO[14]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
36	MDO[15]	Output	Normal	10 - 22 シリーズ抵抗 (推奨)
38	GND	---		GNDに接続

備考 :

- ・ 入出力 (User Side) はユーザ基板側の方向です。
- ・ 電気的な条件は以下を示します。
 Normal -> 3.3Vを上限とするVCCIOをVDDとするCMOSレベルで5Vトラントです。
 詳細は後続ページに記載のスペックの通りです。
 VCCIO-CMOS -> VCCIOをVDDとするCMOSレベル (詳細はONセミコンのNLU1GT125のスペックを参照ください)。

< コネクタの型番 >

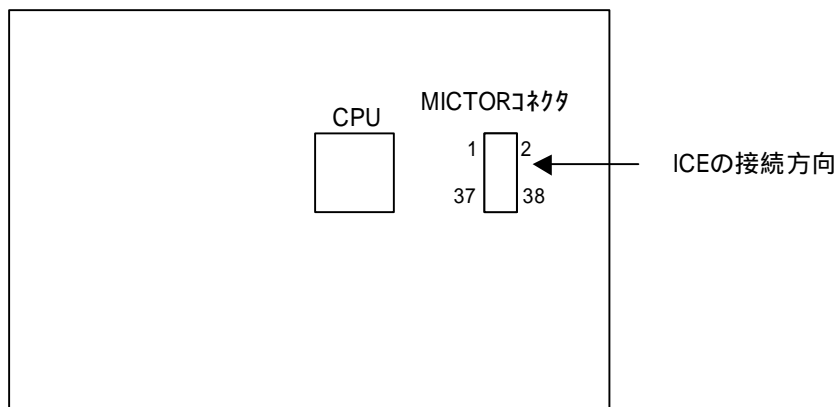
メーカー : AMP社
型番 : 2-5767004-2 (レセブタクル)

< 配線と配線長 >

- ・ トレース関連信号は非常に高速に遷移する信号です。配線ラインは特性インピーダンスを50 Ωとして、等長でかつ極力短くなるように（配線長は50mm以下を推奨）配線してください。また、トレース信号どうし、及び、その他の回路信号からのクロストークの影響を受けないよう、適宜シールドするなどの処理をしてください。
- ・ CPUからの出力信号にはシリーズマッチ用の直列抵抗をCPUの近傍に入れてください。
- ・ 原則として全ての信号はICE用コネクタ以外に配線しないでください。

< 基板レイアウト >

基板上的コネクタの物理的なレイアウト図例を以下に示します。



注意：実際に配置する場合は、コネクタの寸法資料に基づき、設計してください。

電気的な条件

Absolute Maximum Ratings

Parameter	Symbol	Rating	Unit
Supply voltage	V_{DD}	-0.5~+5.5	V
Input voltage	V_I	-0.5~+5.5	V

Note: The V_{DD} is power voltage on target(= VCC10 of JTAG-IF)

Capacitance ($T_A=25^\circ\text{C}$)

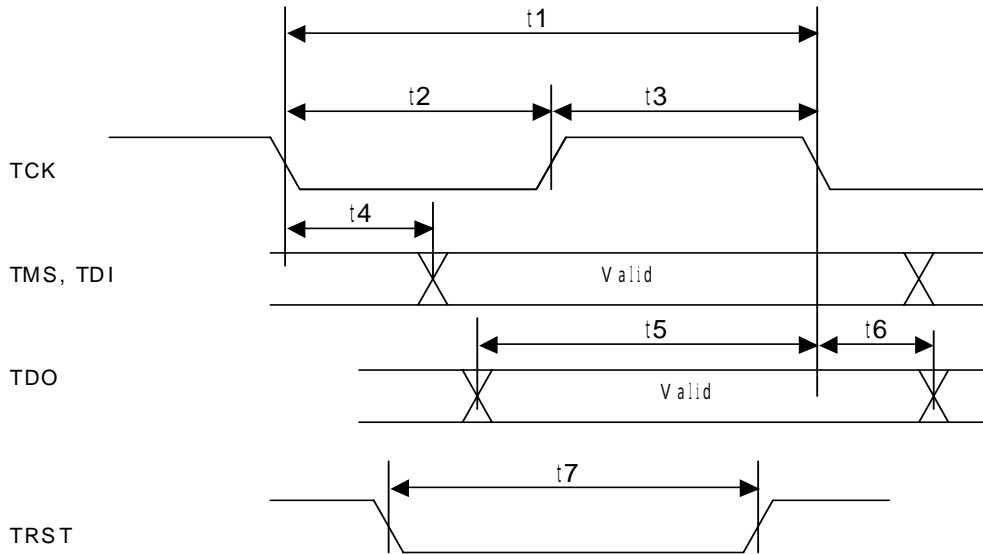
Parameter	Symbol	MIN	TYP	MAX	Unit
Input capacitance	C_I			50	ρF
Output capacitance	C_O			50	ρF

DC Characteristics ($1.2\text{V} < V_{DD} \leq 5.5\text{V}$) : $V_{DD} = \text{VCC10}$ of JTAG-IF

Parameter	Symbol	Condition	Condition			Unit
			MIN	TYP	MAX	
Input Voltage high	V_{IH}	$V_{DD}(V)$	1.2-1.95	$V_{DD} \times 0.65$		V
			1.95-2.7	1.6		V
			2.7-5.5	2		V
Input Voltage low	V_{IL}	$V_{DD}(V)$	1.2-1.95		$V_{DD} \times 0.35$	V
			1.95-2.7		0.7	V
			2.7-5.5		0.8	V
Output Voltage high	V_{OH}	$I_{OH} = -100\mu\text{A}$	1.2-3.2	$V_{DD}-0.2$		V
			3.3-5.5	3.0		
		$I_{OH} = -3\text{mA}$	1.2		0.95	V
		$I_{OH} = -6\text{mA}$	1.4	1.05		V
		$I_{OH} = -8\text{mA}$	1.65	1.2		V
		$I_{OL} = -9\text{mA}$	2.3	1.75		V
Output Voltage low	V_{OL}	$I_{OH} = -100\mu\text{A}$	1.2-5.5		0.2	V
		$I_{OH} = -3\text{mA}$	1.2		0.15	V
		$I_{OH} = -6\text{mA}$	1.4		0.35	V
		$I_{OH} = -8\text{mA}$	1.65		0.45	V
		$I_{OL} = -9\text{mA}$	2.3		0.55	V
		$I_{OL} = -12\text{mA}$	3.0		0.7	V
Output current high	I_{OH}		1.2		-3	mA
			1.4-1.6		-6	mA
			1.65-1.95		-8	mA
			2.3-2.7		-9	mA
			3.0-5.5		-12	mA
Output current low	I_{OL}		1.2		3	mA
			1.4-1.6		6	mA
			1.65-1.95		8	mA
			2.3-2.7		9	mA
			3.0-5.5		12	mA
VCCIO current	I_{VCCIO}		5.0		5	mA

JTAG信号

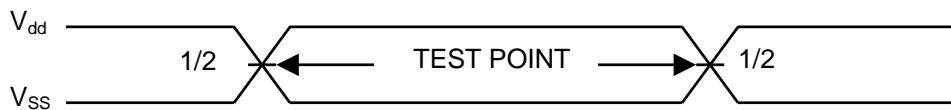
Timing diagram



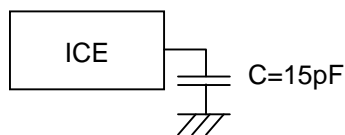
AC Characteristics $V_{DD}=V_{CC10}$ of JTAG-IF

Parameter	Symbol	V_{DD} (V)	Min	Typ.	Max	Unit	Remarks
TCK Cycle Width	t1	1.2-3.3	10			nS	
TCK Cycle Low Width	t2	1.2-3.3	$0.4 * t1$			nS	
TCK Cycle High Width	t3	1.2-3.3	$0.4 * t1$			nS	
Tdly:TCK->TDI,TMS	t4	3.3			4.5	nS	
		1.2		5			
Tsu:TDO/TCK	t5	3.3			6.5	nS	
		1.2		7.5			
Thold:TDO/TCK	t6	3.3	0			nS	
		1.2	0				
TRST Low Width	t7	1.2-3.3	1000			nS	

AC input waveforms



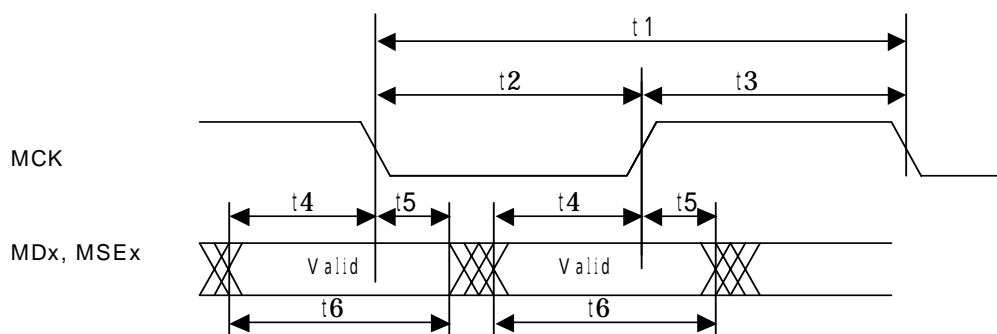
Load condition



TRACE信号

<Double Edge Mode>

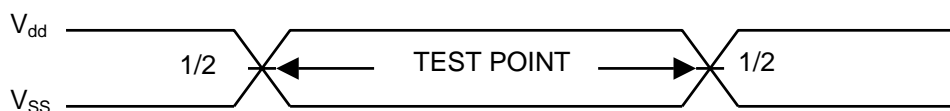
Timing diagram



AC Characteristics

Parameter	Symbol	Min	Max	Unit	Remarks
MCK Cycle Width	t_1	6.5		nS	
MCK Cycle Low Width	t_2	2.0		nS	
MCK Cycle High Width	t_3	2.0		nS	
Tsu:MDx,MSEx/MCK Thold:MDx,MSEx/ MCK	t_4/t_5	1.5/-0.5 ~ -1.0/2		nS	4stepをコマンドで指定 (>tdata_dly) Off/small/medium/large
Tvalid_width	t_6	1.0		nS	

AC input waveforms



1 1 . JTAGプローブ : PB-JTAG-N48

PB-JTAG-N48はNEC製CPUをICEする為の最大48-Bitまでのトレースバスに対応したプローブです。以下に共通仕様を示します。対象プロセッサによって個別に定義される信号がありますので、実際にコネクタを用意する場合はキットの資料を必ず参照してください。また、このケーブルは一部の多ビットのトレースバスを有したプロセッサのみしか対応していませんので、対応の有無についてもキットのマニュアルを参照ください。

インターフェースの仕様を以下に記します。

<ピン配置表>

コネクタ1

Pin番号	接続信号名	入出力 (User Side)	処理 (User Side)
1	GND	---	GNDに接続
3	DCK	Input	4.7K - 10K プルアップまたはプルダウン
5	DMS	Input	4.7K - 10K プルアップまたはプルダウン
7	DDI	Input	4.7K - 10K プルアップまたはプルダウン
9	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
11	Reserved 1		Open
13	Reserved 2		Open
15	Reserved 3		Open
17	TRCCLK	Output	22 - 33 シリーズ抵抗 (推奨)
19	TRCEND	Output	22 - 33 シリーズ抵抗 (推奨)
21	TRCDATA0	Output	22 - 33 シリーズ抵抗 (推奨)
23	TRCDATA1	Output	22 - 33 シリーズ抵抗 (推奨)
25	TRCDATA2	Output	22 - 33 シリーズ抵抗 (推奨)
27	TRCDATA3	Output	22 - 33 シリーズ抵抗 (推奨)
29	TRCDATA4	Output	(KIT依存)
31	TRCDATA5	Output	(KIT依存)
33	TRCDATA6	Output	(KIT依存)
35	TRCDATA7	Output	(KIT依存)
37	GND	---	GNDに接続

Pin番号	接続信号名	入出力 (User Side)	処理 (User Side)
2	GND	---	GNDに接続
4	VCCIO	---	CPUのIO系電源に接続 (電源監視用)
6	DRST-	Input	4.7K - 50K プルダウン
8	PORT1_OUT	Input	(KIT依存)
10	PORT2_OUT	Input	(KIT依存)
12	PORT3_OUT	Input	(KIT依存)
14	PORT1_IN	Output	(KIT依存)
16	PORT2_IN	Output	(KIT依存)
18	PORT3_IN	Output	(KIT依存)
20	TRCCE	Input	(KIT依存)
22	TRCDATA8	Output	(KIT依存)
24	TRCDATA9	Output	(KIT依存)
26	TRCDATA10	Output	(KIT依存)
28	TRCDATA11	Output	(KIT依存)
30	TRCDATA12	Output	(KIT依存)
32	TRCDATA13	Output	(KIT依存)
34	TRCDATA14	Output	(KIT依存)
36	TRCDATA15	Output	(KIT依存)
38	GND	---	GNDに接続

コネクタ 2

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
1	GND		GNDに接続
3	TRCDATA16	Output	22 - 33 シリーズ抵抗 (推奨)
5	TRCDATA17	Output	22 - 33 シリーズ抵抗 (推奨)
7	TRCDATA18	Output	22 - 33 シリーズ抵抗 (推奨)
9	TRCDATA19	Output	22 - 33 シリーズ抵抗 (推奨)
11	TRCDATA20	Output	22 - 33 シリーズ抵抗 (推奨)
13	TRCDATA21	Output	22 - 33 シリーズ抵抗 (推奨)
15	TRCDATA22	Output	22 - 33 シリーズ抵抗 (推奨)
17	TRCDATA23	Output	22 - 33 シリーズ抵抗 (推奨)
19	TRCDATA24	Output	22 - 33 シリーズ抵抗 (推奨)
21	TRCDATA25	Output	22 - 33 シリーズ抵抗 (推奨)
23	TRCDATA26	Output	22 - 33 シリーズ抵抗 (推奨)
25	TRCDATA27	Output	22 - 33 シリーズ抵抗 (推奨)
27	TRCDATA28	Output	22 - 33 シリーズ抵抗 (推奨)
29	TRCDATA29	Output	22 - 33 シリーズ抵抗 (推奨)
31	TRCDATA30	Output	22 - 33 シリーズ抵抗 (推奨)
33	TRCDATA31	Output	22 - 33 シリーズ抵抗 (推奨)
35	---	---	Open
37	GND		GNDに接続

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
2	GND		GNDに接続
4	TRCDATA32	Output	22 - 33 シリーズ抵抗 (推奨)
6	TRCDATA33	Output	22 - 33 シリーズ抵抗 (推奨)
8	TRCDATA34	Output	22 - 33 シリーズ抵抗 (推奨)
10	TRCDATA35	Output	22 - 33 シリーズ抵抗 (推奨)
12	TRCDATA36	Output	22 - 33 シリーズ抵抗 (推奨)
14	TRCDATA37	Output	22 - 33 シリーズ抵抗 (推奨)
16	TRCDATA38	Output	22 - 33 シリーズ抵抗 (推奨)
18	TRCDATA39	Output	22 - 33 シリーズ抵抗 (推奨)
20	TRCDATA40	Output	22 - 33 シリーズ抵抗 (推奨)
22	TRCDATA41	Output	22 - 33 シリーズ抵抗 (推奨)
24	TRCDATA42	Output	22 - 33 シリーズ抵抗 (推奨)
26	TRCDATA43	Output	22 - 33 シリーズ抵抗 (推奨)
28	TRCDATA44	Output	22 - 33 シリーズ抵抗 (推奨)
30	TRCDATA45	Output	22 - 33 シリーズ抵抗 (推奨)
32	TRCDATA46	Output	22 - 33 シリーズ抵抗 (推奨)
34	TRCDATA47	Output	22 - 33 シリーズ抵抗 (推奨)
36	---	---	Open
38	GND	Output	GNDに接続

備考：入出力 (User Side) はユーザ基板側での方向です。



コネクタ 1 はPB-JTAG-N-xxの先端と互換です。

< コネクタの型番 >

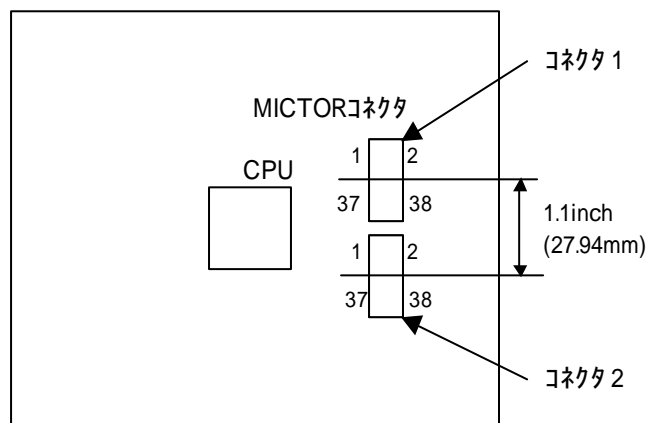
メーカー : AMP社
 型番 : 2-5767004-2 (レセブタクル)

< 配線と配線長 >

- ・ トレース関連信号は非常に高速に遷移する信号です。配線ラインは特性インピーダンスを50 Ωとして、等長でかつ極力短くなるように（配線長は50mm以下を推奨）配線してください。また、トレース信号どうし、及び、その他の回路信号からのクロストークの影響を受けないよう、適宜シールドするなどの処理をしてください。
- ・ CPUからの出力信号にはシリーズマッチ用の直列抵抗をCPUの近傍に入れてください。
- ・ 原則として全ての信号はICE用コネクタ以外に配線しないでください。

< 基板レイアウト >

基板上的コネクタの物理的なレイアウト図例を以下に示します。



注意：実際に配置する場合は、コネクタの寸法資料に基づき、設計してください。

< ICE接続時の注意 >

- ・ ケーブルの先端の裏面には、2本の支柱(10mm)が取り付けられています。邪魔になる場合は、取り外し、添付のナットでネジを仮固定し紛失しないようにしてください。また、高さが不足する場合は、添付のネジを支柱にねじ込み、ネジ途中のナットで高さを調整して固定してください。
- ・ ケーブル先端の基板とユーザシステムの基板の実装部品との間が7mm以上のクリアランスが確保できない場合は、延長コネクタ(Option:EXT-MICTOR38)をご使用ください。これにより、プラス約12mmのクリアランスが確保できます。

電氣的な条件

Absolute Maximum Ratings

Parameter	Symbol	Rating	Unit
Supply voltage	V_{DD}	-0.5~+3.6	V
Input voltage	V_I	-0.5~+3.6	V

Note: The V_{DD} is power voltage on target(= VCC10 of JTAG-IF)

Capacitance ($T_A=25^\circ\text{C}$)

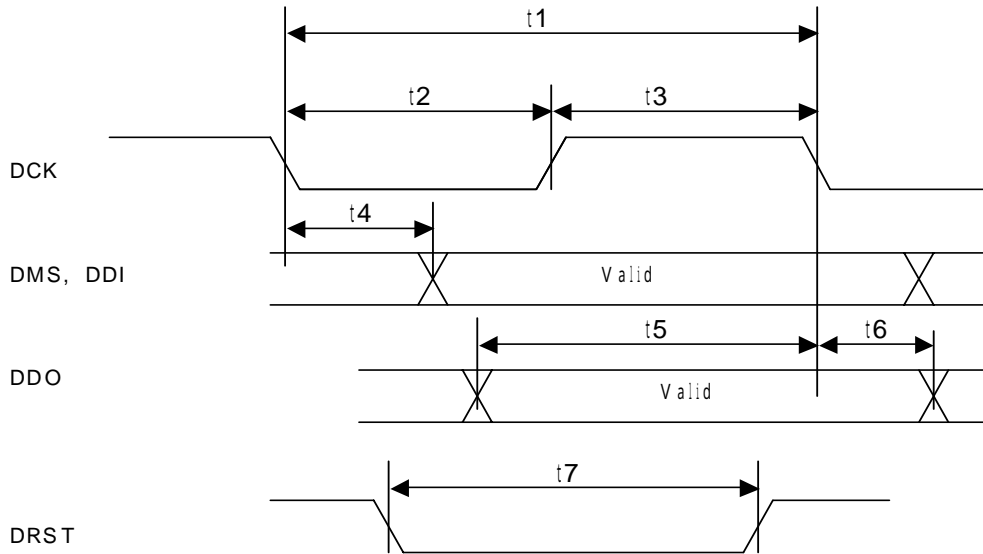
Parameter	Symbol	MIN	TYP	MAX	Unit
Input capacitance	C_i			50	μF
Output capacitance	C_o			50	μF

DC Characteristics 1.8V< V_{DD} <=3.6V): V_{DD} =VCC10 of JTAG-IF

Parameter	Symbol	Condition		MIN	TYP	MAX	Unit
			$V_{DD}(\text{V})$				
Input Voltage high	V_{IH}			1.7		5.5	V
Input Voltage low	V_{IL}					0.7	V
Output Voltage high	V_{OH}	$I_{OH} = -100\mu\text{A}$		$V_{DD}-0.2$			V
		$I_{OH} = -4\text{mA}$	1.8	1.2		V	
		$I_{OH} = -8\text{mA}$	2.3	1.75		V	
		$I_{OH} = -12\text{mA}$	3	2.3		V	
Output Voltage low	V_{OL}	$I_{OL} = 100\mu\text{A}$				0.2	V
		$I_{OL} = 4\text{mA}$	1.65			0.45	V
		$I_{OL} = 8\text{mA}$	2.3			0.55	V
		$I_{OL} = 12\text{mA}$	3.0			0.7	V
Output current high	I_{OH}		1.8-1.95			-4	mA
			2.3-2.7			-8	mA
			3.0-3.6			-12	mA
Output current low	I_{OL}		1.8-1.95			4	mA
			2.3-2.7			8	mA
			3.0-3.6			12	mA
VDD current	I_{VDD}		3.3			2.5	mA

JTAG信号

Timing diagram



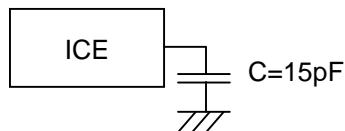
AC Characteristics (1.8V<V_{DD}<=3.3V):V_{DD}=VCC10 of JTAG-IF, DCK=25MHz

Parameter	Symbol	Min	Max	Unit	Remarks
DCK Cycle Width	t1	40		nS	
DCK Cycle Low Width	t2	17	23	nS	
DCK Cycle Low Width	t3	17	23	nS	
Tdly:DCK->DDI,DMS	t4		8.5	nS	
Tsu:DDO/DCK	t5	13.5		nS	
Thold:DDO/DCK	t6	0		nS	
DRST Low Width	t7	1000		nS	

AC input waveforms



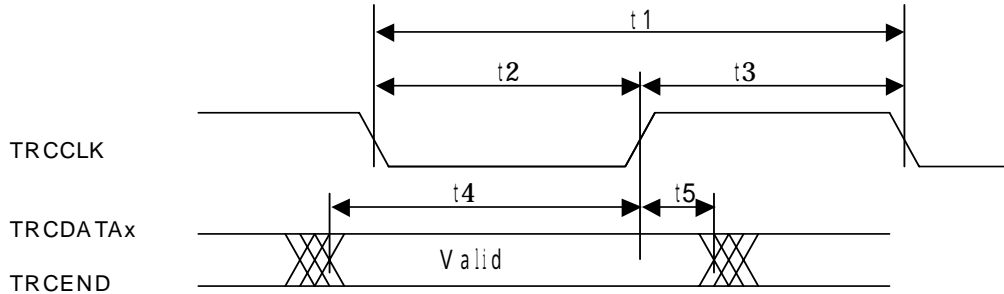
Load condition



TRACE信号

<Single Edge Mode>

Timing diagram

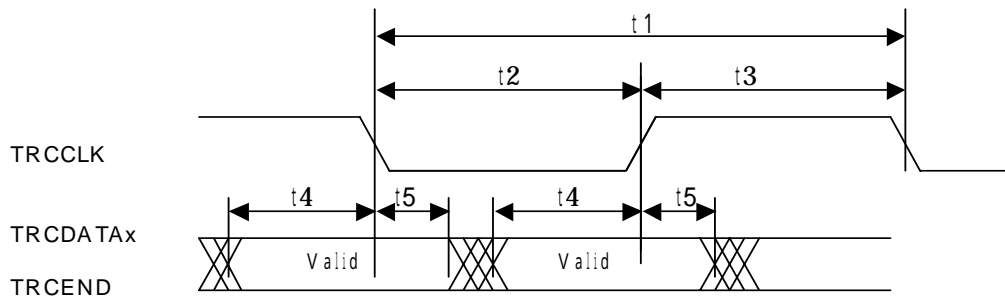


AC Characteristics (1.8V<V_{DD}<=3.3V):V_{DD}=VCCIO of JTAG-IF

Parameter	Symbol	Min	Max	Unit	Remarks
TRCCLK Cycle Width	t1	5		nS	
TRCCLK Cycle Low Width	t2	2		nS	
TRCCLK Cycle High Width	t3	2		nS	
Tsu:TRCDATA,../TRCCLK	t4	2/3/4/5		nS	値はtdata_dlyコマンドの以下のパラメータに対応します。 Off/small/medium/large
Thold:TRCDATA,../TRCCLK	t5	0/-1/-2/-3		nS	

<Double Edge Mode>

Timing diagram



AC Characteristics (1.8V<V_{DD}<=3.3V):V_{DD}=VCCIO of JTAG-IF

Parameter	Symbol	Min	Max	Unit	Remarks
TRCCLK Cycle Width	t1	10		nS	
TRCCLK Cycle Low Width	t2	4		nS	
TRCCLK Cycle High Width	t3	4		nS	
Tsu:TRCDATA,../TRCCLK	t4	2/3/4/5		nS	値はtdata_dlyコマンドの以下のパラメータに対応します。 Off/small/medium/large
Thold:TRCDATA,../TRCCLK	t5	0/-1/-2/-3		nS	

AC input waveforms



1 2 . JTAGプローブ : PB-JTAG-A-A36

PB-JTAG-A-xxはARM-CPUをICEする場合のJTAGプローブです。以下に共通仕様を示します。対象プロセッサによって個別に定義される信号がありますので、実際にコネクタを用意する場合は必ずそれぞれのキットの資料も合わせて参照してください。

< ピン配置表 >

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
1	NC.	---	未使用
3	NC.	---	未使用
5	Reserved	---	未使用
7	DGBRQ	Input	4.7K - 10K プルダウン
9	nSRST	Input	4.7K - 10K プルアップ
11	TDO	Output	22 - 33 シリーズ抵抗 (推奨)
13	RTCLK	Output	22 - 33 シリーズ抵抗 (推奨)
15	TCK	Input	4.7K - 10K プルアップまたはプルダウン
17	TMS	Input	4.7K - 10K プルアップまたはプルダウン
19	TDI	Input	4.7K - 10K プルアップまたはプルダウン
21	nTRST	Input	4.7K - 50K プルダウン
23	TRACEPKT[15]	Output	22 - 33 シリーズ抵抗 (推奨)
25	TRACEPKT[14]	Output	22 - 33 シリーズ抵抗 (推奨)
27	TRACEPKT[13]	Output	22 - 33 シリーズ抵抗 (推奨)
29	TRACEPKT[12]	Output	22 - 33 シリーズ抵抗 (推奨)
31	TRACEPKT[11]	Output	22 - 33 シリーズ抵抗 (推奨)
33	TRACEPKT[10]	Output	22 - 33 シリーズ抵抗 (推奨)
35	TRACEPKT[9]	Output	22 - 33 シリーズ抵抗 (推奨)
37	TRACEPKT[8]	Output	22 - 33 シリーズ抵抗 (推奨)

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
2	NC.	---	未使用
4	NC.	---	未使用
6	TRACECLK	Output	22 - 33 シリーズ抵抗 (推奨)
8	DBGACK	Output	22 - 33 シリーズ抵抗 (推奨)
10	EXTTRIG	Input	未使用の割込み入力に接続することを推奨 (OPTION)
12	VTRef	Output	CPUのIO系電源に接続 (電源監視用)
14	Vsuupply	Output	CPUのIO系電源に接続 (ICEでは未使用)
16	TRACEPKT[7]	Output	22 - 33 シリーズ抵抗 (推奨)
18	TRACEPKT[6]	Output	22 - 33 シリーズ抵抗 (推奨)
20	TRACEPKT[5]	Output	22 - 33 シリーズ抵抗 (推奨)
22	TRACEPKT[4]	Output	22 - 33 シリーズ抵抗 (推奨)
24	TRACEPKT[3]	Output	22 - 33 シリーズ抵抗 (推奨)
26	TRACEPKT[2]	Output	22 - 33 シリーズ抵抗 (推奨)
28	TRACEPKT[1]	Output	22 - 33 シリーズ抵抗 (推奨)
30	TRACEPKT[0]	Output	22 - 33 シリーズ抵抗 (推奨)
32	TRACESYNC	Output	22 - 33 シリーズ抵抗 (推奨)
34	PIPSTAT[2]	Output	22 - 33 シリーズ抵抗 (推奨)
36	PIPSTAT[1]	Output	22 - 33 シリーズ抵抗 (推奨)
38	PIPSTAT[0]	Output	22 - 33 シリーズ抵抗 (推奨)

< コネクタの型番 >

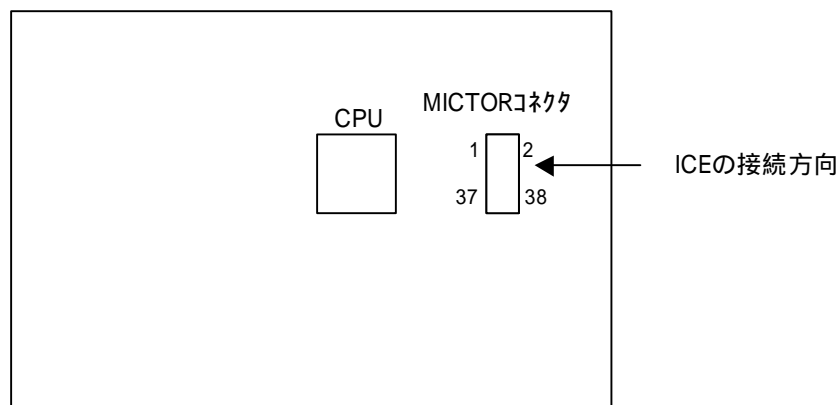
メーカー : AMP社
 型番 : 2-5767004-2 (レセブタクル)

< 配線と配線長 >

- ・ トレース(ETM)関連信号は非常に高速に遷移する信号です。配線ラインは特性インピーダンスを50Ωとして、等長でかつ極力短くなるように(配線長は50mm以下を推奨)配線してください。また、トレース信号どうし、及び、その他の回路信号からのクロストークの影響を受けないよう、適宜シールドするなどの処理をしてください。
- ・ CPUからの出力信号にはシリーズマッチ用の直列抵抗をCPUの近傍に入れてください。
- ・ 原則として全ての信号はICE用コネクタ以外に配線しないでください。
- ・ nSRSTはCPUをリセットするための信号です。ボード上のCPUをリセットする信号とオアしてください。ICEからは0C.で出力されますので、ボード上のリセット要求信号が0C.で出力していれば、ワイヤードオアできます。

< 基板レイアウト >

基板上的コネクタの物理的なレイアウト図例を以下に示します。



注意：実際に配置する場合は、コネクタの寸法資料に基づき、設計してください。

電気的な条件

Absolute Maximum Ratings

Parameter	Symbol	Rating	Unit
Supply voltage	V_{DD}	-0.5~+3.6	V
Input voltage	V_I	-0.5~+3.6	V

Note: The V_{DD} is power voltage on target(= VCC10 of JTAG-IF)

Capacitance ($T_A=25^\circ\text{C}$)

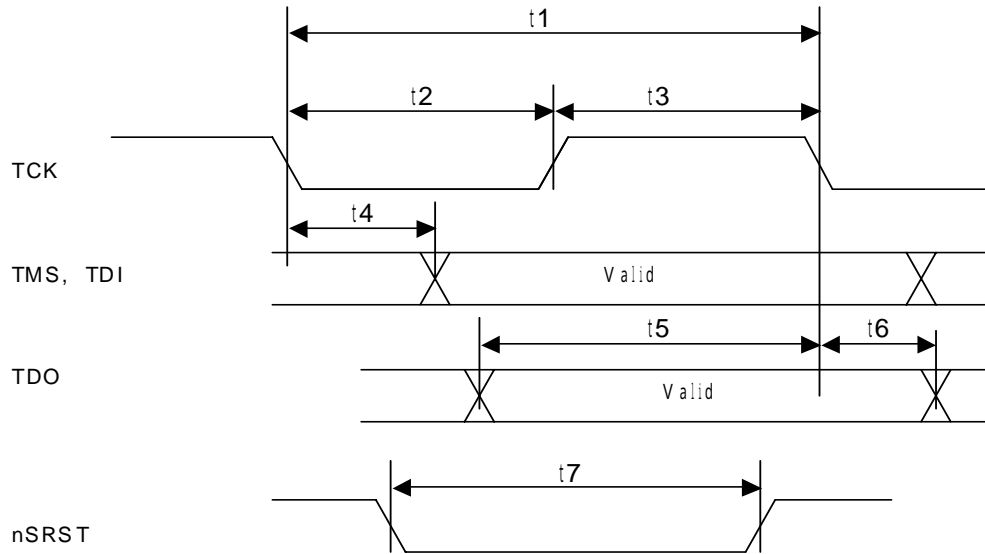
Parameter	Symbol	MIN	TYP	MAX	Unit
Input capacitance	C_I			50	ρF
Output capacitance	C_O			50	ρF

DC Characteristics ($1.2\text{V} < V_{DD} \leq 3.6\text{V}$) : $V_{DD} = \text{VCC10}$ of JTAG-IF

Parameter	Symbol	Condition	Condition			Unit	
			MIN	TYP	MAX		
Input Voltage high	V_{IH}		$V_{DD}(V)$				
			1.2-1.95	$V_{DD} \times 0.65$		V	
			1.95-2.7	1.6		V	
Input Voltage low	V_{IL}		2.7-5.5	2		V	
			1.2-1.95		$V_{DD} \times 0.35$	V	
			1.95-2.7		0.7	V	
Output Voltage high	V_{OH}	$I_{OH} = -100\mu\text{A}$	2.7-3.6		0.8	V	
			1.2-3.2	$V_{DD}-0.2$		V	
		$I_{OH} = -3\text{mA}$	3.3-3.6	3.0			
		$I_{OH} = -6\text{mA}$	1.2		0.95	V	
		$I_{OH} = -8\text{mA}$	1.4	1.05		V	
		$I_{OL} = -9\text{mA}$	1.65	1.2		V	
Output Voltage low	V_{OL}	$I_{OH} = -100\mu\text{A}$	2.3	1.75		V	
			3.0	2.3		V	
		$I_{OH} = -3\text{mA}$	1.2-5.5			0.2	V
		$I_{OH} = -6\text{mA}$	1.2		0.15	V	
		$I_{OH} = -8\text{mA}$	1.4		0.35	V	
		$I_{OL} = -9\text{mA}$	1.65		0.45	V	
Output current high	I_{OH}		$I_{OL} = -12\text{mA}$	2.3		0.55	V
			3.0		0.7	V	
				1.2		-3	mA
				1.4-1.6		-6	mA
				1.65-1.95		-8	mA
Output current low	I_{OL}			2.3-2.7		-9	mA
				3.0-3.6		-12	mA
				1.2		3	mA
				1.4-1.6		6	mA
				1.65-1.95		8	mA
VCCIO current	I_{VCCIO}		2.3-2.7		9	mA	
			3.0-3.6		12	mA	
			3.3		5	mA	

JTAG信号

Timing diagram



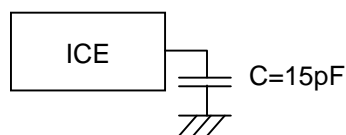
AC Characteristics $V_{DD}=V_{CC10}$ of JTAG-IF

Parameter	Symbol	V_{DD} (V)	Min	Typ.	Max	Unit	Remarks
DCK Cycle Width	t1	1.2-3.3	10			nS	RTCKに依存
DCK Cycle Low Width	t2	1.2-3.3	$0.4 * t1$			nS	RTCKに依存
DCK Cycle High Width	t3	1.2-3.3	$0.4 * t1$			nS	RTCKに依存
Tdly:DCK->DDI,DMS	t4	3.3			4.5	nS	
		1.2		5			
Tsu:DDO/DCK	t5	3.3			6.5	nS	
		1.2		7.5			
Thold:DDO/DCK	t6	3.3	0			nS	
		1.2	0				
DRST Low Width	t7	1.2-3.3	1000			nS	

AC input waveforms



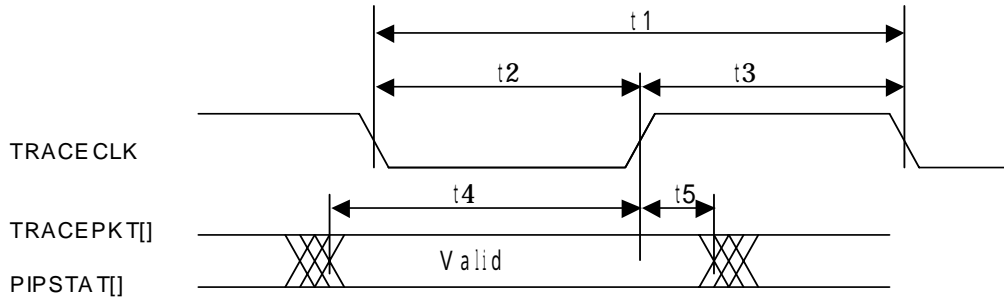
Load condition



TRACE信号

<Single Edge Mode>

Timing diagram

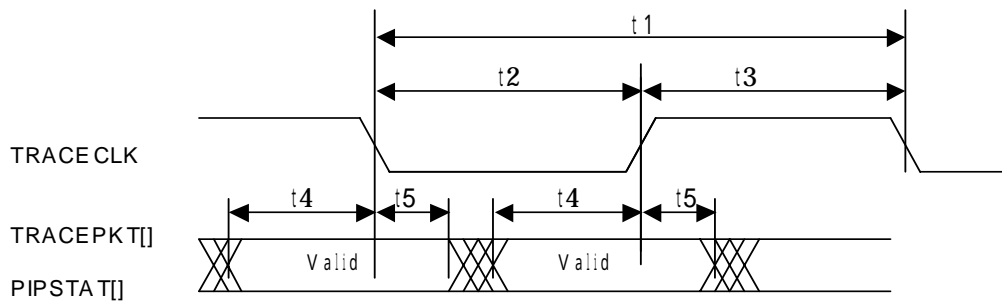


AC Characteristics (1.2V V_{DD} $\leq 3.3V$): $V_{DD} = V_{CCIO}$ of JTAG-IF

Parameter	Symbol	Min	Max	Unit	Remarks
TRACECLK Cycle Width	t1	3		nS	
TRACECLK Cycle Low Width	t2	1		nS	
TRACECLK Cycle High Width	t3	1		nS	
Tsu:TRCDATA,../TRACECLK	t4	-0.5/0.5/1.5/2.5		nS	値はtdata_dlyコマンドの以下のパラメータに対応します。 Off/small/medium/large
Thold:TRCDATA,../TRACECLK	t5	2.0/1.0/0.0/-1.0		nS	

<Double Edge Mode>

Timing diagram



AC Characteristics (1.2V V_{DD} $\leq 3.3V$): $V_{DD} = V_{CCIO}$ of JTAG-IF

Parameter	Symbol	Min	Max	Unit	Remarks
TRACECLK Cycle Width	t1	6		nS	
TRACECLK Cycle Low Width	t2	2		nS	
TRACECLK Cycle High Width	t3	2		nS	
Tsu:TRCDATA,../TRACECLK	t4	-0.5/0.5/1.5/2.5		nS	値はtdata_dlyコマンドの以下のパラメータに対応します。 Off/small/medium/large
Thold:TRCDATA,../TRACECLK	t5	2.0/1.0/0.0/-1.0		nS	

AC input waveforms



1 3 . 高速ダウンロードプローブ:PB-HSDL-50

高速ダウンロードプローブは、バス接続方式でユーザシステムのRAMに対し高速にデータの書き込みを行うための製品です。

インターフェース仕様

PB-HSDL-50のインターフェースは、標準ROMケーブルのIFに準拠していますので、13章を参照して接続するためのコネクタをユーザシステムに用意してください。

使用上の注意事項

- ・ ユーザシステム上のROM空間とシェアすることが可能です。その際はINH-信号がローレベルの時に高速ダウンロードプローブが選択されるように設計してください。高速ダウンロードプローブのINH-信号は、高速ダウンロード処理中だけローレベルになる信号です。
- ・ 高速ダウンロードプローブを割付ける空間のメモリコントローラ等の初期化は、高速ダウンロードプローブを有効にする前に完了させておいてください。その際、バスの設定は高速ダウンロードプローブのスペック範囲で、できるだけ高速にアクセスできるように設定してください。この設定はダウンロード速度に大きく影響します。

電氣的な条件

Absolute Maximum Ratings

Parameter	Symbol	Rating	Unit
Supply voltage	V_{DD}	-0.5~+3.6	V
Input voltage	V_I	-0.5~+3.6	V

Note: The V_{DD} is power voltage on target(= VCC10 of JTAG-IF)

Capacitance ($T_A=25^\circ\text{C}$)

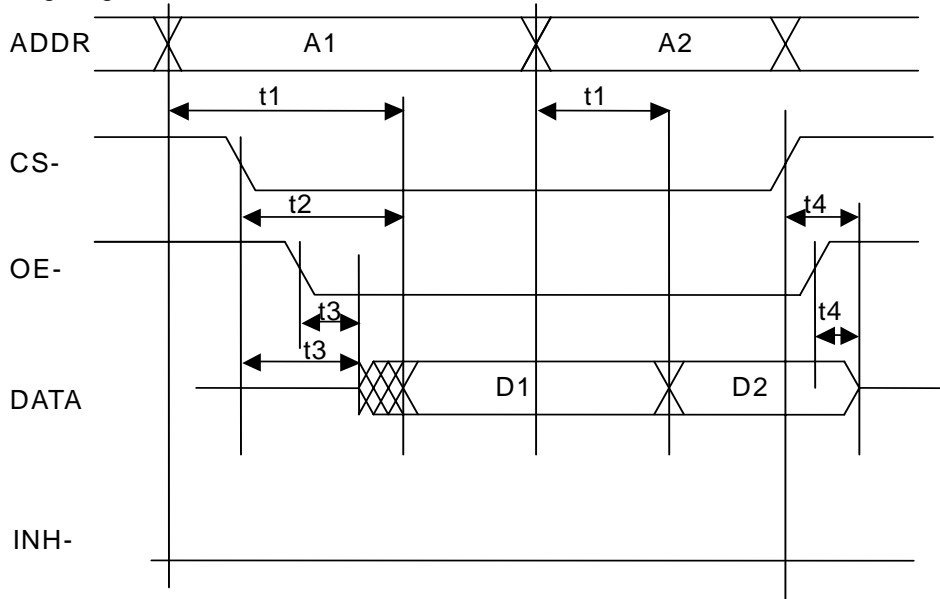
Parameter	Symbol	MIN	TYP	MAX	Unit
Input capacitance	C_I			50	ρF
Output capacitance	C_O			50	ρF

DC Characteristics ($1.2\text{V} < V_{DD} \leq 3.6\text{V}$): $V_{DD} = \text{VCC10}$ of JTAG-IF

Parameter	Symbol	Condition	Condition			Unit	
			MIN	TYP	MAX		
Input Voltage high	V_{IH}		$V_{DD}(V)$				
			1.2-1.95	$V_{DD} \times 0.65$		V	
			1.95-2.7	1.6		V	
Input Voltage low	V_{IL}		2.7-5.5	2		V	
			1.2-1.95		$V_{DD} \times 0.35$	V	
			1.95-2.7		0.7	V	
Output Voltage high	V_{OH}	$I_{OH} = -100\mu\text{A}$	2.7-3.6		0.8	V	
			1.2-3.2	$V_{DD}-0.2$		V	
		$I_{OH} = -3\text{mA}$	3.3-3.6	3.0			
		$I_{OH} = -6\text{mA}$	1.2		0.95	V	
		$I_{OH} = -8\text{mA}$	1.4	1.05		V	
		$I_{OL} = -9\text{mA}$	1.65	1.2		V	
Output Voltage low	V_{OL}	$I_{OH} = -100\mu\text{A}$	2.3	1.75		V	
			3.0	2.3		V	
		$I_{OH} = -3\text{mA}$	1.2-5.5			0.2	V
		$I_{OH} = -6\text{mA}$	1.2		0.15	V	
		$I_{OH} = -8\text{mA}$	1.4		0.35	V	
		$I_{OL} = -9\text{mA}$	1.65		0.45	V	
Output current high	I_{OH}		$I_{OL} = -12\text{mA}$	2.3		0.55	V
			3.0		0.7	V	
				1.2		-3	mA
				1.4-1.6		-6	mA
				1.65-1.95		-8	mA
Output current low	I_{OL}			2.3-2.7		-9	mA
				3.0-3.6		-12	mA
				1.2		3	mA
				1.4-1.6		6	mA
				1.65-1.95		8	mA
VCCIO current	I_{VCCIO}		2.3-2.7		9	mA	
			3.0-3.6		12	mA	
			3.3		5	mA	

READサイクル・タイミング

Timing diagram



補足：INH-信号の状態は以下です。

- ・ 通常はHighレベル
- ・ 転送コマンド処理中のみLOWレベル

AC Characteristics (1.2V<V_{DD}<=3.3V):V_{DD}=PSENSE(V_{DD} IN) of ROM-IF

Item	Symbol	Typ.	Unit	Remarks
ADDR -> DATA	t1	25	nS	Access time from the address
CS- -> DATA	t2	15	nS	Access time from the CS- active
CS-/OE- -> DATA	t3	15	nS	DATA output delay from CS- and OE- active
CS-/OE- -> DATA	t4	17	nS	DATA-Hiz delay from CS- or OE- inactive

Load condition: 15pF

AC input waveforms



1 4 . 標準ROMケーブル:CBL-STD16-2K

本ケーブルはNEC社が推奨する16-BITの標準ROMコネクタに対応したケーブルです。通常はこのコネクタを基板上に用意することによって、ROMを実装したままの状態でのROMに対するエミュレーションが可能になります。また、DIP-40とDIP-42のROMに対しては本ケーブルの先端に取り付けるアダプタを用意しています。

信号線の種類

signal	IN/OUT	name	comment
A0 - A23	IN	ADDRESS BUS	ROMと等価なアドレス信号を接続します。 ・未使用の上位アドレスはGNDに接続します。 ・16ビットバスではA0にはCPUのA1信号を接続します。 ・32ビットバスではA0にはCPUのA2信号を接続します。
D0 - D15	OUT	DATA BUS	ROMと等価なデータ信号を接続します。
CE-	IN	CHIP ENABLE	LOWレベルでROMエミュレータが選択されます。
OE-	IN	OUTPUT ENABLE	CE-がLOWで、本信号がLOWレベルの時にROMエミュレータのデータバスが出力されます。
WRL- WRH-	IN	Write low-byte Write High-byte	エミュレーションメモリへのライトが必要な場合はLOWアクティブのライト信号を接続します。 ライト信号の接続は必須ではありません。 使用しない場合はハイレベルに固定します。
PSENSE	IN	POWER SENSE	ROMの電源：VDDを接続します。（電圧監視用）
INH-	OUT	INHBIT-	ボード上のROMをディゼーブルにする為の信号として使用してください。JINH1の切り替えにより以下の2種の信号が選択できます。 1側：GNDを選択。常にLOWレベルをドライブします。 3側：EMEMEN-を選択。エミュレーションメモリが選択された時だけローレベルを出力します。
GND	-----	GND	基板のGNDに接続します。

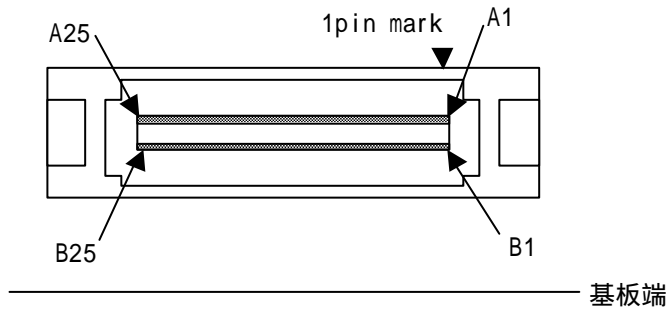
ピンの配置

A side	signal	B side	signal
A1	GND	B1	A0
A2	A1	B2	A2
A3	A3	B3	A4
A4	A5	B4	A6
A5	A7	B5	A8
A6	A9	B6	A10
A7	A11	B7	A12
A8	A13	B8	A14
A9	A15	B9	A16
A10	A17	B10	A18
A11	A19	B11	A20
A12	A21	B12	A22
A13	(WRH-)	B13	INH-(GND/EMEMEN-)
A14	(WRL-)	B14	A23
A15	CE-	B15	GND
A16	OE-	B16	PSENSE(VDD IN)
A17	D0	B17	D1
A18	D2	B18	D3
A19	D4	B19	D5
A20	D6	B20	D7
A21	D8	B21	D9
A22	D10	B22	D11
A23	D12	B23	D13
A24	D14	B24	D15
A25	GND	B25	GND

基板側のコネクタの種類

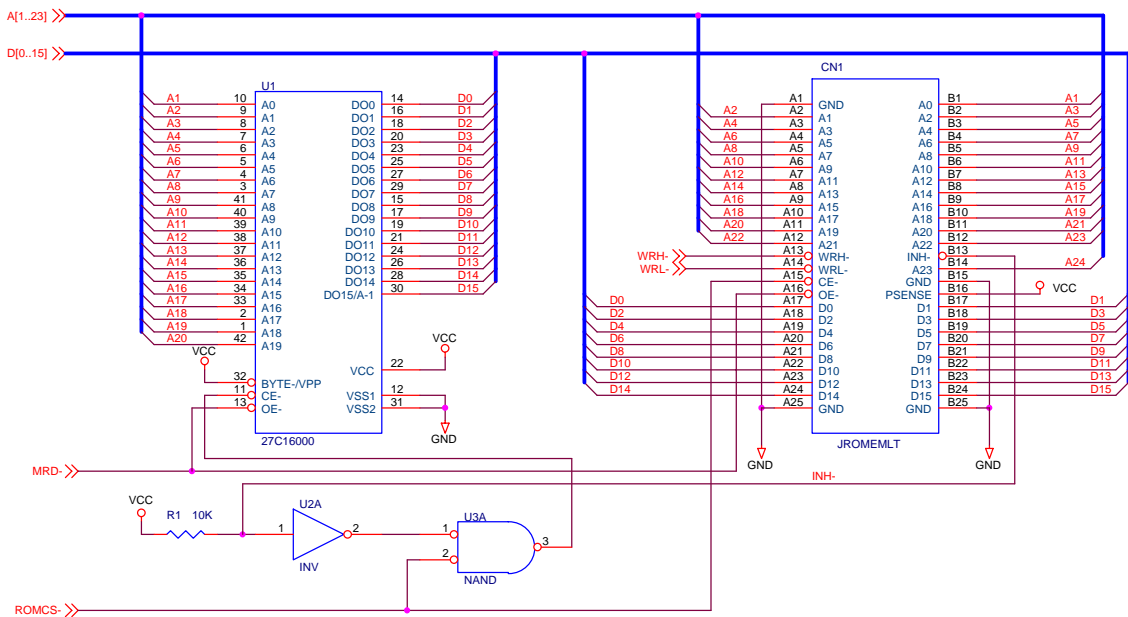
メーカー : KEL
 型番 : 8931E-050-178S (ストレート)
 8931E-050-178L (アングル)
 8930E-050-178MS (SMTストレート)

物理的な配置 (基板側)



参考回路

以下に16bitのROMに併設した本コネクタの参考回路を示します。



JINH1-JP



ADP-STD16-DIP40, ADP-STD16-DIP42を使用する場合は、JINH1のJPは必ず、1側に設定してください。3側へ設定した場合、故障の原因になります。

電気的な条件

Absolute Maximum Ratings

Parameter	Symbol	Rating	Unit
Supply voltage	V_{DD}	-0.5~+5.5	V
Output voltage	V_O	-0.5~ $V_{DD}+0.3$ V	V
Input voltage	V_I	-0.5~+5.5	V

Note: The V_{DD} is power voltage on target(= PSENSE(VDD IN) of ROM-IF)

Capacitance ($T_A=25^\circ\text{C}$)

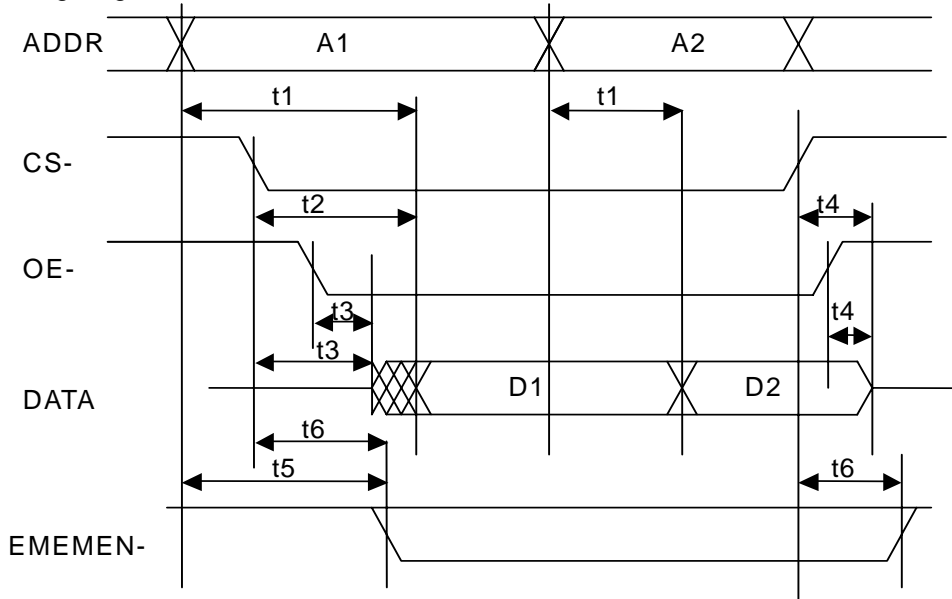
Parameter	Symbol	MIN	TYP	MAX	Unit
Input capacitance	C_i			50	ρF
Output capacitance	C_o			50	ρF

DC Characteristics ($1.8\text{V} < V_{DD} \leq 5.5\text{V}$) : $V_{DD} = \text{PSENSE(VDD IN)}$ of ROM-IF

Parameter	Symbol	Condition		MIN	TYP	MAX	Unit
			$V_{DD}(\text{V})$				
Input Voltage high	V_{IH}			1.7		5.5	V
Input Voltage low	V_{IL}					0.7	V
Output Voltage high	V_{OH}	$I_{OH} = -100\mu\text{A}$		$V_{DD}-0.2$			V
		$I_{OH} = -4\text{mA}$	1.8	1.2			V
		$I_{OH} = -8\text{mA}$	2.3	1.75			V
		$I_{OH} = -12\text{mA}$	3	2.3			V
Output Voltage low	V_{OL}	$I_{OL} = 100\mu\text{A}$				0.2	V
		$I_{OL} = 4\text{mA}$	1.65			0.45	V
		$I_{OL} = 8\text{mA}$	2.3			0.55	V
		$I_{OL} = 12\text{mA}$	3.0			0.7	V
Output current high	I_{OH}		1.8-1.95			-4	mA
			2.3-2.7			-8	mA
			3.0-3.6			-12	mA
Output current low	I_{OL}		1.8-1.95			4	mA
			2.3-2.7			8	mA
			3.0-3.6			12	mA
VDD current	I_{VDD}		5.0			2.5	mA

READサイクル・タイミング

Timing diagram



AC Characteristics (1.8V V_{DD} $\leq 3.3V$): $V_{DD} = PSENSE(V_{DD} IN)$ of ROM-1F

Item	Symbol	Min.	Max.	Unit	Remarks
ADDR -> DATA	t1		30	nS	Access time from the address A0..A15
			35	nS	Access time from the address higher than or equal to A16
CS- -> DATA	t2		35	nS	Access time from the CS- active
CS-/OE- -> DATA	t3		19	nS	DATA output delay from CS- and OE- active
CS-/OE- -> DATA	t4		19	nS	DATA-Hiz delay from CS- or OE- inactive
ADDR -> EMEMEN-	t5		22	nS	Determination time from ADDR to EMEMEN-
CS- -> EMEMEN-	t6		15	nS	Determination time from CS- to EMEMEN-

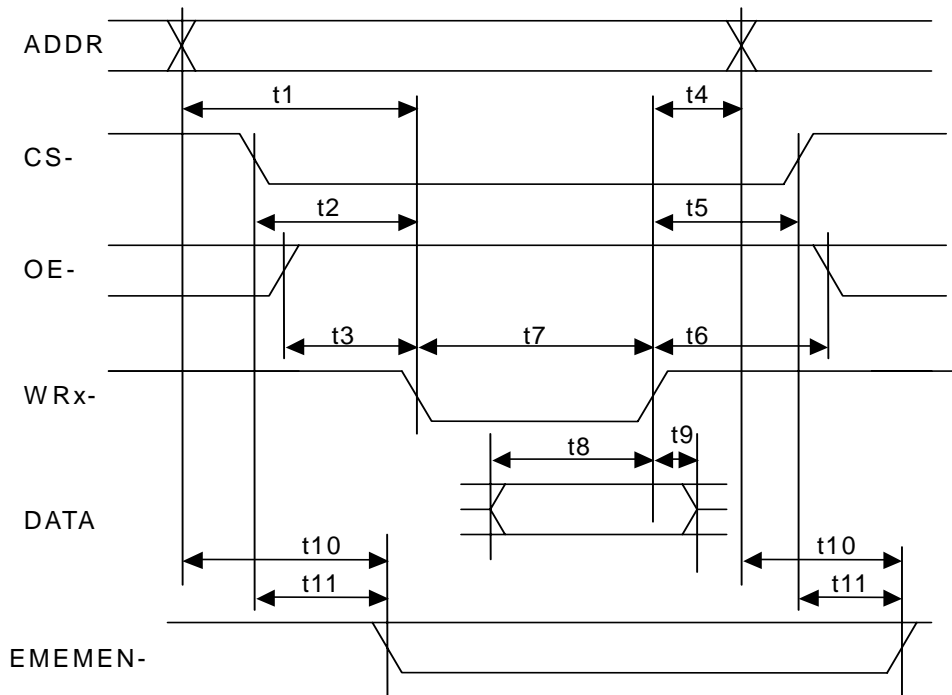
Load condition: 15pF

AC input/output waveforms



WRITEサイクル・タイミング

Timing diagram



AC Characteristics (1.8V $V_{DD} \le 3.3V$: $V_{DD} = PSENSE(V_{DD IN})$ of ROM-IF

Item	Symbol	Min.	Max.	Unit	Remarks
Tsu:ADDR/WRx-	t1	10		nS	Setup of ADDR vs. WRx- ↓
Tsu:CS-/WRx-	t2	10		nS	Setup of CS- vs. WRx- ↓
Tsu:OE-/WRx-	t3	10		nS	Setup of OE- vs. WRx- ↓
Thold:ADDR/WRx-	t4	10		nS	Hold of ADDR vs. WRx- ↑
Thold:CS-/WRx-	t5	10		nS	WHold of CS- vs. WRx- ↑
Thold:OE-/WRx-	t6	10		nS	Hold of OE- vs. WRx- ↑
Twide:WRx-	t7	20		nS	Active time of WRx-
Tsu:DATA/WRx-	t8	18		nS	WSetup of DATA vs. WRx- ↓
Thold:DATA/WRx-	t9	8		nS	Hold of DATA vs. WRx- ↑
ADDR -> EMEMEN-	t10		22	nS	Determination time from ADDR to EMEMEN-
CS- -> EMEMEN-	t11		15	nS	CDetermination time from CS- to EMEMEN-

Load condition: 15pF

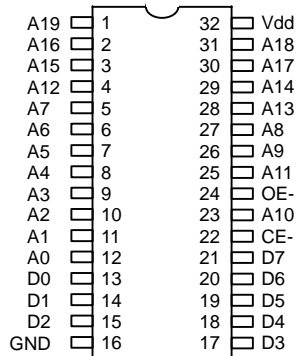
AC input/output waveforms



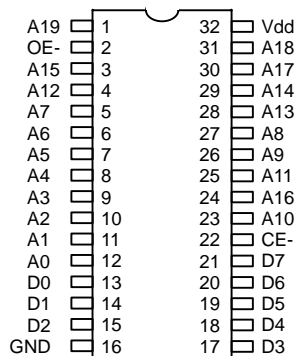
1 5 . DIP32-ROM用アダプタ(ADP-STD16-DIP32)

DIP32pinのROM用のアダプタは標準ROMケーブルの先端に取り付けて使用します。アダプタのピン配置を以下に示します。DIP32pinのROMプローブは、以下の2種類のピン配置に対応するようになっています。切り替えは、J1,J2のジャンパーで行います。

J1,J2: OE:24Pin側ショート(出荷時の状態)



J1,J2: OE:2Pin側ショート



J1,J2は必ず同じ側に設定してください。

OE:24Pin 側ショートの設定

OE:24PIN
 J1
 J2
 OE:2PIN

OE:2Pin 側ショートの設定

OE:24PIN
 J1
 J2
 OE:2PIN



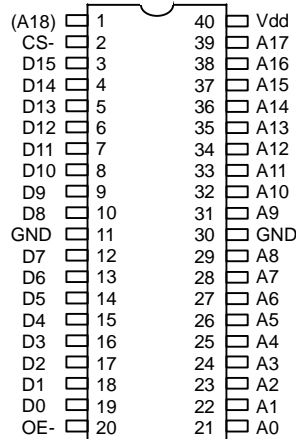
ADP-STD16-DIP32は、RT4WIN32 Ver.5.06以上をご使用ください。

1 6 . DIP40/42-ROM用アダプタ

DIP40pin, DIP42pinのROM用のアダプタは標準ROMケーブルの先端に取り付けて使用します。

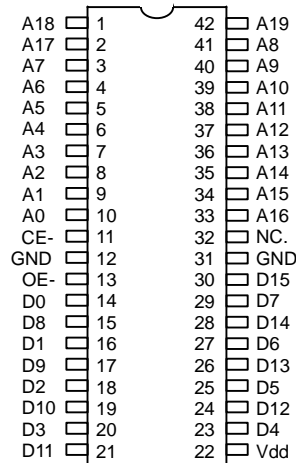
DIP40-ROM用アダプタ : ADP-STD16-DIP40

DIP40pinのROM用アダプタのピン配置を以下に示します。



DIP42-ROM用アダプタ : ADP-STD16-DIP42

DIP42pinのROM用アダプタのピン配置を以下に示します。



CBL-STD16-2KにADP-STD16-DIP40, ADP-STD16-DIP42を使用する場合は、CBL-STD16-2KのJINH1のJPを1側に設定してください。3側へ設定した場合、故障の原因になります。

APPENDIX.A 基板モジュールの組込み方法

以下の手順で実施ください。

< 準備 >

基板モジュールを実装する位置を決め、そのスロットを塞いでいる板の部分を奥に押し取り除いてください。この時、モジュールを実装しないスロットの板には手を触れないように行ってください。また、外した板が本体内に落ちた場合は隙間から取り出ししてください。

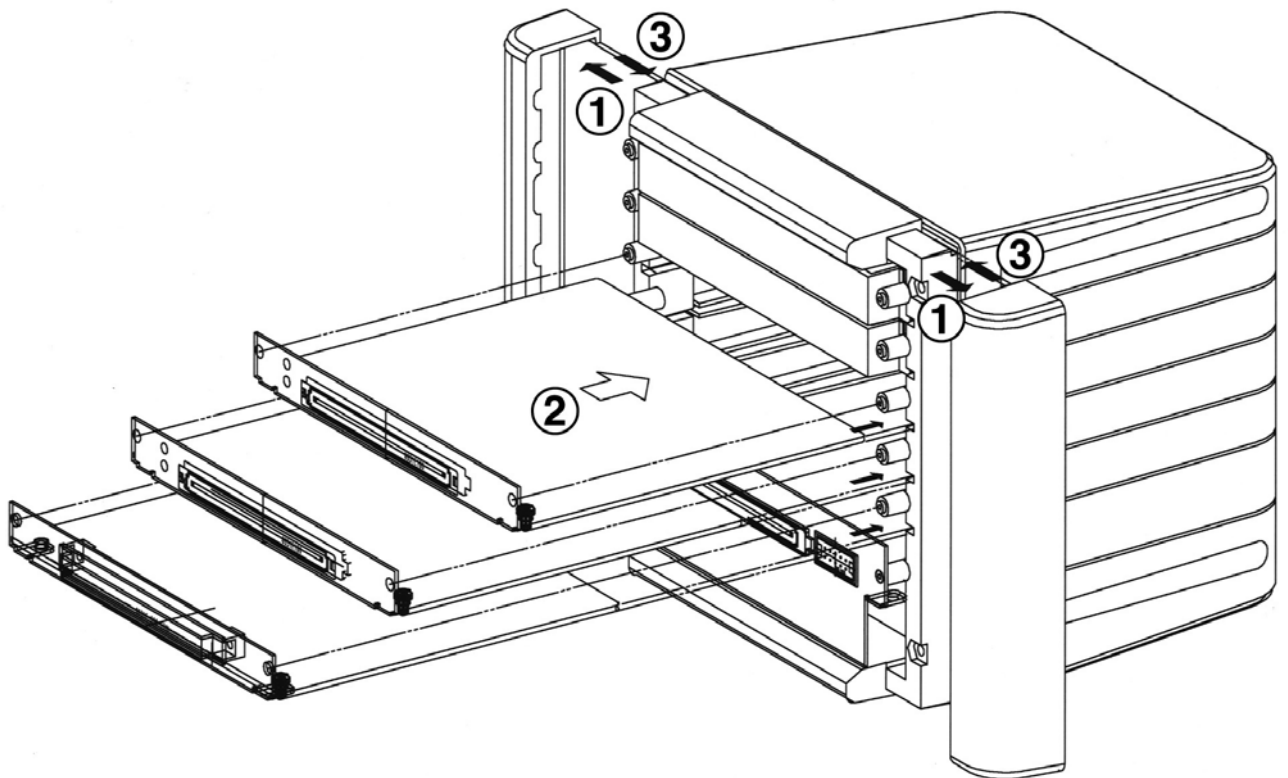


**基板モジュールの実装位置はそれぞれ決まっています。
5章を参照して正しい位置に実装してください。**

< 組込み >

本体両側の柱の部分をそれぞれ左右にスライドさせて取り外してください。
基板モジュールをスロット奥のコネクタに装着されるまでしっかり入れてください。
この時基板のパネルの穴に固定用の凸がはまっていることを確認してください。
1で外した柱を元通りに装着してください。

以上で完了です。



APPENDIX.B MEMモジュールの組み込み方法

以下の手順で実施ください。

<E.MEMベース基板の取り出し>

本体両側の柱の部分それぞれ左右にスライドさせて取り外してください。
基板モジュールを抜き出します。抜き出しに際しては、基板に取り付けられたパネルと本体との隙間（数ミリ）にコイン等を入れ、この原理で基板を前に押し出してください。
（本体を正面から見て左側から先に行うとスムーズに外れます）



基板モジュールの取り出しに際しては、パネルの角に手を添えないようにしてください。尖っていますので怪我をする危険性があります。

<E.MEMモジュールの取り付け>

E.MEMベース基板には、最大3枚のMEMモジュールが装着できます。以下の順番で取り付けてください。途中を飛ばした場合は、正しくメモリが認識されません。

- 1 枚目： JERAM2-1
- 2 枚目： JERAM2-2
- 3 枚目： JERAM2-3



MEMモジュールには向きがありますので、E.MEMベース基板、MEMモジュールそれぞれの マークを合わせて取り付けてください。

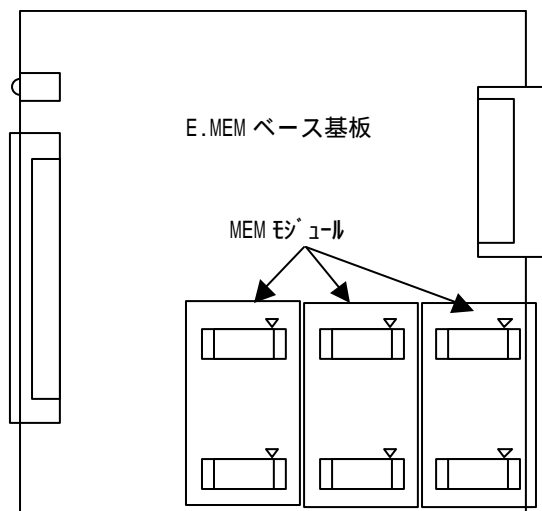
<E.MEMベース基板の取り付け>

基板モジュールをスロット奥のコネクタに装着されるまでしっかり入れてください。
この時基板のパネルの穴に固定用の凸がはまっていることを確認してください。
で外した柱を元通りに装着してください。



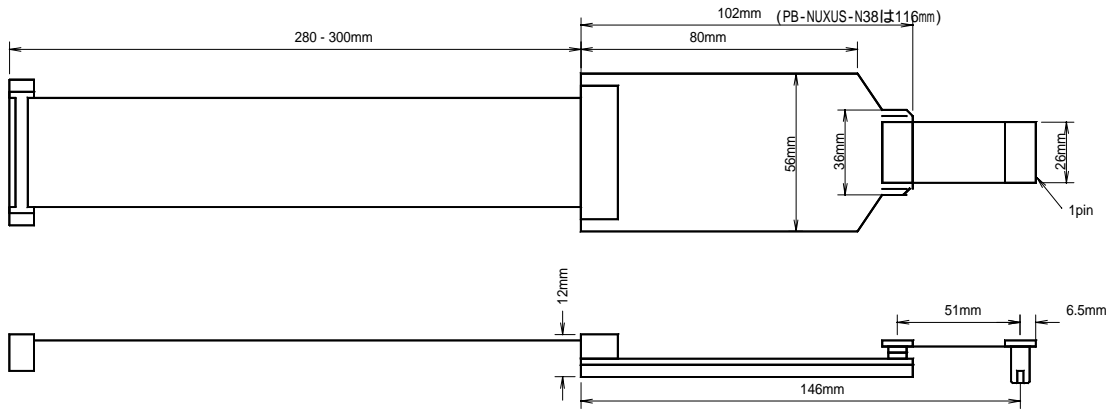
E.MEMベース基板の取り出し、取り付け方法は、APPNDIX.Aの図を参照して実施ください。

以上で完了です。

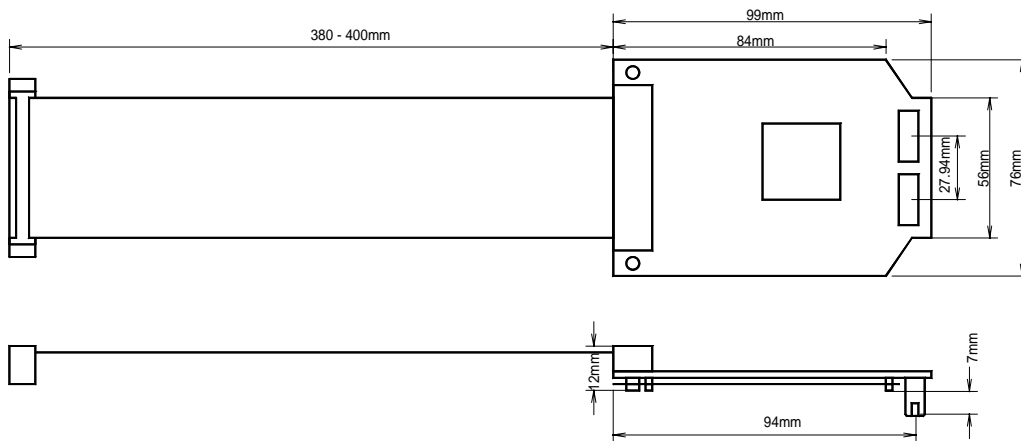


APPENDIX.C プローブ・ケーブルの外形寸法図

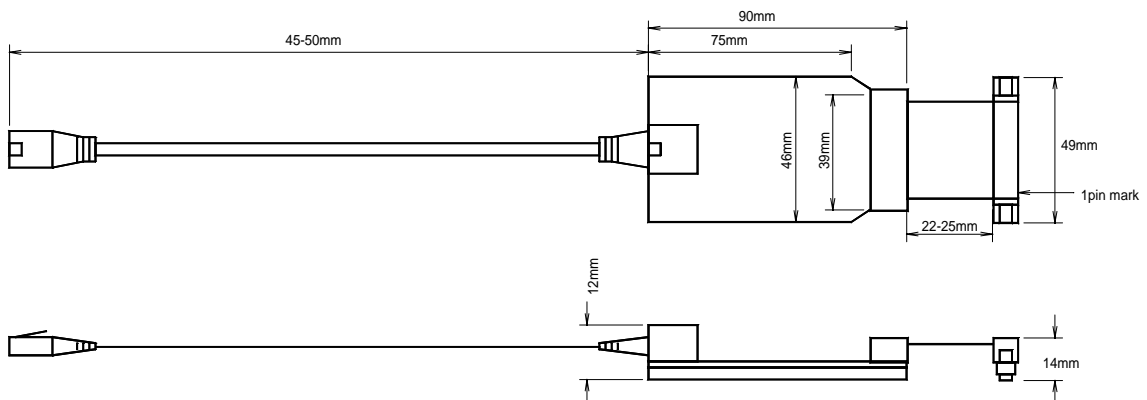
PB-JTAG-N-xx, PB-JTAG-A-xx, PB-NEXUS-N38



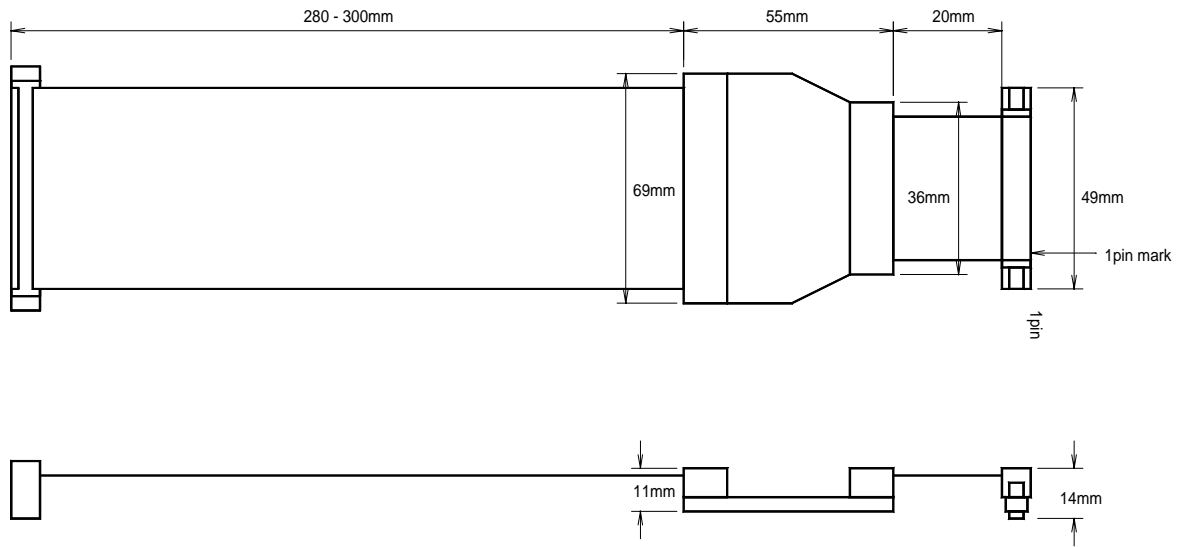
PB-JTAG-N48



PB-HSDL-50



標準ROMケーブル(CBL-STD16-2K)



DIP-40/42-ROM用アダプタ(ADP-STD16-DIP32/40/42)

