

KIT-V850E/Ix4-TP(-H)

ユーザース・マニュアル(Rev.1.0)

RealTimeEvaluator

■ ソフトウェアのバージョンアップ

- 最新のRTE for Win32 (Rte4win32)は、以下のサイトよりダウンロードできます。

http://www.midas.co.jp/products/download/program/rte4win_32.htm

■ ご注意

- KIT-V850E/Ix4-TP(-H)(プログラム及びマニュアル)に関する著作権は株式会社マイダス・ラボが所有します。
- 本プログラム及びマニュアルは著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- 本製品は万全の注意を持って作製されていますが、株式会社マイダス・ラボは当該製品について、不具合が内在していないことを保証しません。
- 本製品をご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いません。
- 本プログラム及びマニュアルに記載されている事柄は、予告なく変更されることがあります。

■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

改訂履歴

Rev.1.0 2009-04-04 初版

目次

1. はじめに	4
2. ハードウェア仕様	5
3. RTE FOR WIN32の設定	7
CHKRTE2.EXEの起動	7
4. 初期設定コマンド	10
MULTIを使用する場合	10
5. インターフェース仕様 (MICTORTM)	11
6. 内蔵フラッシュROM・サポート機能	12
ブロック管理.....	12
キャッシュの仕組み.....	12
フラッシュROMへの書き込み.....	12
INITコマンド.....	12
自動書き込みモードの変更	12
キャッシュ制御コマンド	13
内部コマンドからの書き込み	13
注意事項.....	13
7. 注意事項	14
操作上の注意.....	14
ASIDレジスタの初期化	14
HALT命令.....	14
ブレークポイント	14
その他	14
8. トレース機能の詳細	15
トレースの概要	15
ディレイカウント	16
トレースの実行モード	16
サブスイッチ、セクション、クォリファイ	17
トレースの開始	17
トリガ条件	18
トレースの停止.....	19
トレースの終了.....	19
強制ディレイモード.....	20

1. はじめに

KIT-V850E/Ix4-TP(-H)はNEC製のRISCマイコンV850E/Ix4を搭載したシステムをオンボードでJTAG接続してデバッグするためのソフトウェアです。使用できるハードウェアとKITの対応は以下の通りです。

- ・KIT-V850E/Ix4-TP :RTE-2000-TP用のKITです。
- ・KIT-V850E/Ix4-TP-H :RTE-2000H-TP用のKITです。

尚、本書では、KIT-V850E/Ix4-TPとKIT-V850E/Ix4-TP-Hを特に区別しない説明ではこれらKITのことをKIT-V850E/Ix4-TP(-H)と記述し、RTE-2000-TPとRTE-2000H-TPを区別しない説明ではRTE-2000(H)-TPと記述します。

本マニュアルは、当KITの使用方法について記述したものです。ご使用にあたりましては本体となりますRTE-XXXX-TPのハードウェア・ユーザーズ・マニュアルと合わせてお読みください。

本製品には下記のものが付属します。最初に付属品の確認を行ってください。

- ・RTE for Win32 (Rte4win32) Set Up CD-ROM
- ・ユーザーズ・マニュアル(本書)
- ・ライセンス設定シート

2. ハードウェア仕様

対象デバイス	V850E/IH4(H), V850E/IG4(H),...	
使用するRTE-TPの形式	RTE-2000-TP	RTE-2000H-TP
JTAG-IFケーブル ()内はオプションです。	RTE-NEC/MICTOR38-2K	PB-JTAG-N-A36(72/144)
エミュレーション機能		
動作周波数(*5)	100KHz ~ CPUの最大動作周波数まで	
インターフェース	JTAG/N-Wire	
内部フラッシュ	自動書き込み機能	
JTAG CLK	100KHz - 25MHz	
動作電圧	1.8 3.3V(5Vトランス) (*2)	1.2 3.3V(5Vトランス)
イベント機能		
イベント数		
実行アドレスの設定	8	
データアクセスの設定	6	
アドレス指定	Mask指定可	
データ指定	Mask指定可	
ステータス指定	Mask指定可	
シーケンシャル器段数	4	
パスカウンタ	12ビット	
ブレーク機能		
H/Wブレークポイントブレークポイント		
命令/アクセス系ブレークポイント	2	
アドレス指定	Mask指定可	
データ指定	Mask指定可	
ステータス指定	Mask指定可	
S/Wブレークポイント	100 (内蔵フラッシュROM領域は4ポイントまで)	
イベントによるブレーク設定	可	
ステップブレーク	可	
マニュアルブレーク	可	
トレース機能		
トレースデータバス	4bit	
トレース容量 ()内はオプションです。	4bit x 256K-word	4bit x 1M(2M/4M)-word
トリガ設定		
実行アドレスによるトリガ設定	可	
データアクセスによるトリガ設定	可	
イベントによるトリガ設定	可	
外部入力によるトリガ設定	可	
開始、停止指定(サブスイッチ)	可	
トレースディレイ ()内はオプションです。	0 - 3FFFF	0 FFFFF(1FFFFFF/3FFFFFF)
トレースクロック ()内はオプションです。	max133MHz	max333MHz(B仕様:400MHz)
タイムタグ	100nS - 30h	
逆アセンブルトレース表示機能	有	
完全トレースモード指定機能(no real time)	有	
外部ROMエミュレーション機能(*4)		
ブロック内マップ機能(USER/EMEM)	64K-Word	
RAMとして使用	可	
メモリ容量	8M - 128Mバイト	
アクセスタイム ()内はバーストサイクル時	35nS(30nS) (*1)	
動作電圧	1.8V - 5V (*2)	
電氣的条件	LV-TTL, 5Vトランス (*3)	

エミュレーション可能なROM数	
DIP-32pin-ROM(8bit-ROM)	4 (max)
DIP-40/42pin-ROM(16bit-ROM)	4 (max)
拡張16BIT-標準ROMコネクタ	4 (max)
エミュレーション可能なROMの容量(bit)	
DIP-32-ROM(8-bit bus)	1M, 2M, 4M, 8M(27C010/020/040/080)
DIP-40-ROM(16bit-bus)	1M, 2M, 4M(27C1024/2048/4096)
DIP-42-ROM(16bit-bus)	8M, 16M(27C8000/16000)
拡張16bit-標準ROM(16bit-bus)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M(32M ¹ 1つ)
バス幅指定(bit)	8/16/32
端子マスク機能	NMI, WAIT-, RESET-
実行時間計測機能()内はJTAGCLK=25MHz時の値)	
分解能(nS)	t = JTAGCLK周期の2倍 (80nSec)
最大計測時間(nS)	t * 2 ³¹ (約171Sec)

*1, 2, 3. RTE-2000(H)-TP+CBL-STD16-2Kを使用した場合の値です。

*2. 2.3V以下で使用する場合は各ケーブルのDC特性に注意ください。電氣的に整合しない場合があります。

*4. RTE-2000(H)-TPでは、E.MEM基板を最大4枚まで実装でき、その時の最大容量は128M¹ 1つです。

32-bit幅では2枚、64-Bit幅では4枚必要です。8-Bitバス幅のROMでは、ROM 1個に1枚必要です。

*5. 100kHz以下でご使用の場合は別途ご相談ください。

*6. 高速ダウンロード機能をご使用になるにはオプションのPB-HSDL-xxが必要です。本KITでの対応状況は別途ご確認ください。

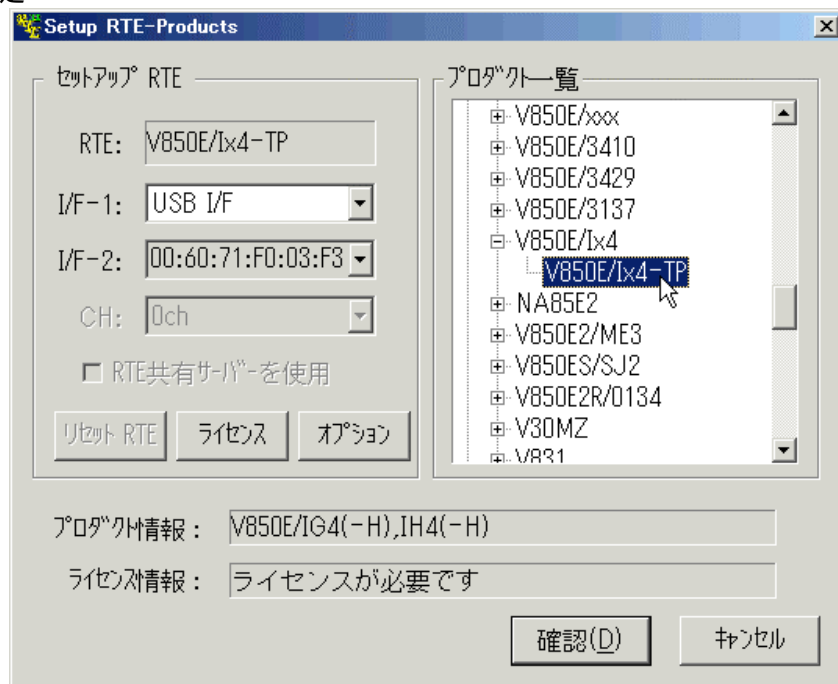
3. RTE for WIN32の設定

『RTE for WIN32』の設定について説明します。

ChkRTE2.exeの起動

ユーザシステムとの接続を完了し、全ての機器の電源が投入された状態で ChkRTE2.exeを起動し、『RTE for WIN32』の環境設定を実施してください。『RTE for WIN32』の環境設定は、新規にハードウェアを設置した時に必ず1回は実施してください。

< RTEの設定 >



< RTEの選択 >

プロダクト一覧より、TPの下層にあるV850E/Ix4-TPを指定してください。

< I/F-1, I/F-2の選択 >

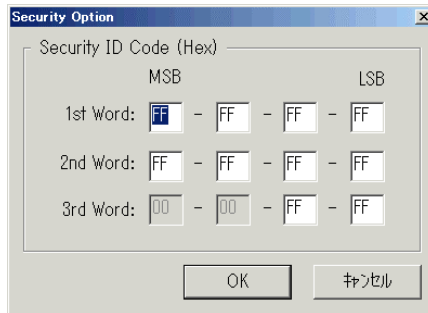
使用するホストインターフェースに合ったものをプルダウンメニューから選んで指定してください。(画面は、USB-IFを割り付けた場合です)

< ライセンス >

ボタンをクリックして、KITに添付のライセンス設定シートを見て、ライセンスの設定を行ってください。詳細は、『RTE for WIN32』のマニュアルを参照してください。

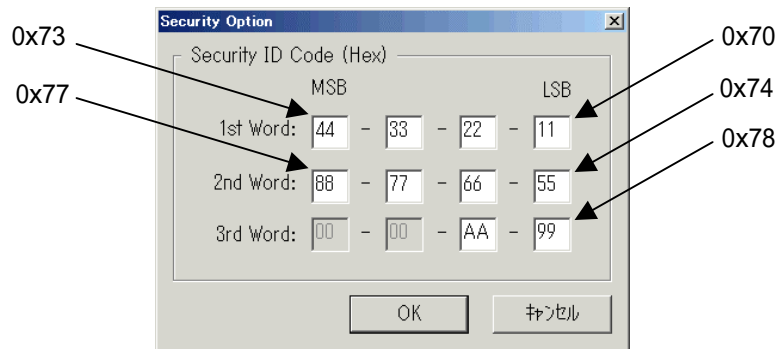
< オプション >

ボタンをクリックして、セキュリティIDコードを入力してください。



<初期状態>

以下は、ROM内のIDコードとの対応付けと、実際に0x70番地から0x11, 0x22, 0x33, ...と入っている場合の入力例です。IDコードを変更した場合、このオプション画面で必ず同じ値に変更してください。



<入力例>



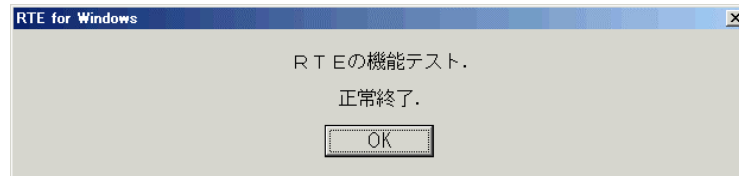
- 内蔵ROM/フラッシュ・メモリのセキュリティ機能について**
 デバッガを起動するためには、10バイトのIDコード認証が必要です。
 IDコードの概要は以下の通りです。詳細はCPUのマニュアルをご参照ください。
- ・ 0x70 ~ 0x79 番の10バイトがIDコードです。
 - ・ 0x79番地のビット7はICEの接続許可フラグです。
ICEを接続する場合は“1”でなければいけません。
 - ・ 当該オプションで入力したIDコードと、内蔵ROM/フラッシュ・メモリに埋め込まれたIDコードが一致しなければデバッガは起動しません。
 - ・ フラッシュ・メモリが消去状態時のIDコードは
0xFFFFFFFFFFFFFFFFFFFFFFFFです。



“KIT-V850E/Ix4-TP-H”は、rte4win32 ver.7.03B4 ~ , または
7.03.00以上で対応しています。

<機能テスト>

機能テストは、ユーザシステムとの接続が正しく行われていることを確認します。RTEの設定後、画面の指示に従い機能テストを実施すると、正常終了時に下記のダイアログが表示されます。この状態になれば、デバッガからの制御が可能です。



途中でエラーになる場合は、ユーザシステムに障害があるか、JTAG-IFケーブルが正しく接続できていない可能性がありますので、それらの確認を行ってください。



CHKRTE2.EXEの機能テストは、RTE-2000(H)-TPとユーザシステムが接続され、両方に電源が入っている状態で行ってください。

4. 初期設定コマンド

デバッグを開始する前に、ユーザシステムのハードウェアに依存した初期設定が必要です。初期設定のためのコマンドとして以下が用意されていますので、必要に応じて、正しく設定してからご使用ください。

Multiを使用する場合

ターゲットウインドウ内で以下の内部コマンドを使用します。

IFROMENV

- ・内蔵フラッシュROMの書込みに関する設定

ENVコマンド

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

ROMコマンド

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内のキャッシュ機能領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

5. インターフェース仕様 (MICTORコネクタ)

JTAG/N-Wireインターフェースの接続信号の一覧を以下に示します。

<ピン配置表>

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
1	GND	---	GNDに接続
3	DCK	Input	4.7K - 10K プルアップまたはプルダウン
5	DMS	Input	4.7K - 10K プルアップまたはプルダウン
7	DDI	Input	4.7K - 10K プルアップまたはプルダウン
9	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
11	Reserved	---	4.7K - 50K プルダウン
13	Reserved	---	4.7K - 50K プルダウン
15	Reserved	---	4.7K - 50K プルダウン
17	TRCCLK	Output	22 - 33 シリーズ抵抗 (推奨)
19	TRCEND	Output	22 - 33 シリーズ抵抗 (推奨)
21	TRCDATA0	Output	22 - 33 シリーズ抵抗 (推奨)
23	TRCDATA1	Output	22 - 33 シリーズ抵抗 (推奨)
25	TRCDATA2	Output	22 - 33 シリーズ抵抗 (推奨)
27	TRCDATA3	Output	22 - 33 シリーズ抵抗 (推奨)
29	TRCDATA4	Output	0 - 50K プルダウン
31	TRCDATA5	Output	0 - 50K プルダウン
33	TRCDATA6	Output	0 - 50K プルダウン
35	TRCDATA7	Output	0 - 50K プルダウン
37	GND	---	GNDに接続

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
2	GND	---	GNDに接続
4	VDDIO	---	CPUのIO系電源に接続 (電源監視用)
6	DRST-	Input	4.7K - 50K プルダウン
8	RESET-	Input	1K - 4.7Kプルアップ、CPUのリセットへ(*2)
10	FLMDO	Input	4.7K - 50K プルダウン、CPUのFLMDOへ(*3)
12	Reserved	Input	Open
14	Reserved	Output	Open
16	Reserved	Output	Open
18	Reserved	Output	Open
20	TRCCE	Input	4.7K - 50K プルダウン
22	TRCDATA8	Output	0 - 50K プルダウン
24	TRCDATA9	Output	0 - 50K プルダウン
26	TRCDATA10	Output	0 - 50K プルダウン
28	TRCDATA11	Output	0 - 50K プルダウン
30	TRCDATA12	Output	0 - 50K プルダウン
32	TRCDATA13	Output	0 - 50K プルダウン
34	TRCDATA14	Output	0 - 50K プルダウン
36	TRCDATA15	Output	0 - 50K プルダウン
38	GND	---	GNDに接続

<注意事項>

1. プルアップ抵抗を接続する電位は、CPUのVDDIO (3.3V~5V) です。
2. **RESET-**: オプションです。この信号をボードのリセットに接続しておくことで、ICEからの操作でボードをリセットすることができます。使用しない場合は未接続で構いません。OC. で出力されます。
3. **FLMDO**: VDDIOが5Vの場合、FLMDOはボード上で5Vにレベル変換してからCPUに接続してください。ICEが出力する信号のハイレベルは3.3VのCMOSレベルです。直接接続した場合、CPUのFLMDO端子のスペックを満たしません。

6. 内蔵フラッシュROM・サポート機能

本キットでは、内蔵フラッシュROMに対し自動書き込みをサポートしています。これはフラッシュROM領域に対するデバッガからの書き込み（ダウンロードやその他のメモリライト操作）を一旦ホスト上のメモリに保存（キャッシュ）しておき、実行コマンドが発行された時点で、フラッシュROMの内容と異なる部分がある場合、自動的に書き込みを実施し、実行を開始する機能です。

この機能を禁止するためには、”ifromenvコマンド”で禁止の設定をしてください。

本機能の詳細を以下に説明します。

ブロック管理

フラッシュROMは複数のブロック(4K)で構成されているため、このブロックを1単位として管理し、各ブロックの状態を次の3つに分類します。

- ・ INVALID : キャッシュ（保存）していない状態（=初期状態）
- ・ VALID : キャッシュしている内容とフラッシュROMの内容が同じ状態
- ・ DIRTY : キャッシュしているが、実際のフラッシュROMの内容とは異なる状態

キャッシュの仕組み

書き込みデータ、及びフラッシュROMの内容は次の条件でキャッシュされます。

- ・ メモリリード時
フラッシュROM領域をリードした時、該当ブロックがINVALIDの場合にフラッシュROMからリードして保存します。状態はVALIDになります。該当ブロックがINVALID以外のときは、キャッシュしたデータを表示します。
- ・ メモリライト（ダウンロードやその他のライト操作）時
フラッシュROM領域へのライトは、該当ブロックがINVALIDの場合一旦フラッシュROMから読み出した値をキャッシュに入れ、その後、キャッシュに対してライトデータを変更します。このとき、ライトデータとキャッシュデータが一致した場合はVALIDに、一致しない場合はDIRTYになります。

フラッシュROMへの書き込み

実際にフラッシュROMへ書き込みを行うのは、プログラムを実行(RUN,STEP)するときです。

- ・ 実行に先立ち、DIRTYのブロックを書き込みます。
- ・ 書き込みは、ERASE -> WRIT E-> 内部VERIFY (-> READ VERIFY)で行います。
- ・ 書き込み後、状態はVALIDになります。

INITコマンド

INITコマンドを行うとキャッシュ状態はすべてINVALIDになります。この時、書き込みは行いません。また、自動書き込みの設定は初期化されます。

自動書き込みモードの変更

ifromenvコマンドで設定を変更した場合は、キャッシュの状態はすべてINVALIDになります。この時、書き込みは行いません。

キャッシュ制御コマンド

キャッシュの状態を強制的に変更する以下の2つのコマンドが用意されています。

- ・ ifromclear : キャッシュの状態を全てINVALIDにします。この時、書き込みは行いません。
- ・ ifromflush : DIRTYのブロックをフラッシュROMに強制的に書き込みます。
書きこみ後の状態は、VALIDです。

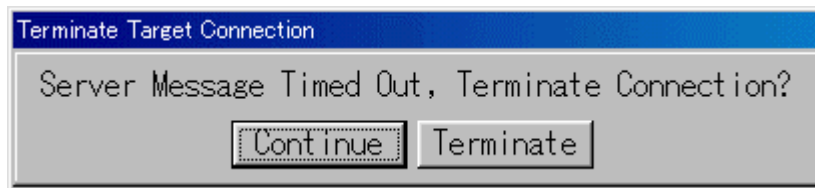
内部コマンドからの書き込み

自動書き込みモード中でも、ifromwriteコマンド(ファイルからフラッシュROMへ書き込むコマンド)は使用できます。但し、以下の点にご注意ください。

- ・ このコマンドは直ぐに実行され、フラッシュROMへの書き込みが行われます。
- ・ 書き込んだブロックはVALID状態になり、実行で再度書き込まれることはありません。
- ・ このコマンドは、全ブロックを消去してから書き込みを行いますので、書き込みデータがない領域は0xFFとなり、キャッシュのデータもこれと同じになります。

注意事項

- ・ キャッシュがDIRTY状態でプログラムを実行した場合、実際に実行が始まるまでに20秒程度待たされる場合があります。これがフラッシュROMへの書き込み時間です。
- ・ この時、MULTI (デバッガ) が以下の確認メッセージを表示する場合があります。



表示された場合、**Continue**をクリックして続行させてください。



MULTIで以下を設定することで上記タイムアウトのメッセージを表示するまでの時間を延ばすことができます。
SERVERTIMEOUT=30

7. 注意事項

KIT-V850E/Ix4-TP(-H)を使用するにあたり、注意して頂く事項を以下にまとめます。

操作上の注意

- 1) ICE本体の電源が切れている状態で、ユーザシステムの電源を入れないでください。双方の故障の原因となります。
- 2) 当該ICEは、CPU内部のデバッグ制御回路(DCU)を外部から制御するものです。そのため以下の条件が満たされない場合、正しく動作しません。
 - * ユーザシステムとJTAG-IFケーブルが接続されていること。
 - * ユーザシステムの電源が投入され、CPUが正しく動作できる状態にあること。

ASIDレジスタの初期化

エミュレータ使用中は、ASIDレジスタの値は0x00に設定してください。これは将来の互換性のためです。0x00以外の値で使用した場合、ブレーク機能が使用できなくなる場合があります。

HALT命令

HALT命令でブレークした場合、ブレーク時のアドレスは、HALT命令の次の命令の先頭アドレスの値になります。

ブレークポイント

- ・内蔵フラッシュROM領域へのブレークポイント設定数は、以下の通りです。

CPUの種類	ソフトウェアブレークポイント相当	ハードウェアブレークポイント
V850E/IH4(H)	4ポイント	2ポイント
V850E/IG4(H)	4ポイント	2ポイント



MULTI使用時の注意事項

MULTIでは暗黙的に以下でブレークポイントが使用されます。

1. ソースレベルでのStep, Next, Return, Come等の実行時：2点
2. ソースレベルでダウンロード直後の実行開始時：1点
3. syscall機能使用時：1点(常時)

内蔵フラッシュROMに配置したプログラムをデバッグする場合は、これらを含めてブレークポイントの設定数の上限を越えないように配慮する必要があります。設定数が越えた場合、以下のエラーが表示されます。
(0x87) Exhaust the number of settings

- ・MULTIのソースウインドウ上から設定するブレークポイントは、ソフトウェアブレークポイント相当が優先的に使用されますので、8点を越えてブレークポイントを設定した場合にハードウェアブレークポイントが使用されます。このハードウェアブレークポイントは、内部コマンド：abpxコマンドで設定するアクセス系のブレークポイントとの兼用ですので、どちらかで使用している場合、他方では使用できません。
- ・2命令同時に実行する命令列の2番目の命令へのハードウェアブレークポイントは無効です。

その他

- ・ICE接続中にセルフプログラミング機能は使用しないでください。
- ・製品にリリース・ノート等が添付されている場合は必ずそれらも参照ください。

8. トレース機能の詳細

リアルタイムトレース機能について説明します。

トレースの概要

リアルタイムトレースは、CPUから出力された実行内容(トレースデータ)を、実行ごとにICE内のトレースバッファに書き込みます。この内容は、"trace"コマンドで見ることができます。

トレースデータの取り込みは、トレースモード、トレース開始条件、トリガ条件、セクション条件、クォリファイ条件などの設定によって指定できます。トレースデータ取り込みの流れについては、図 1、図 2を参照してください。

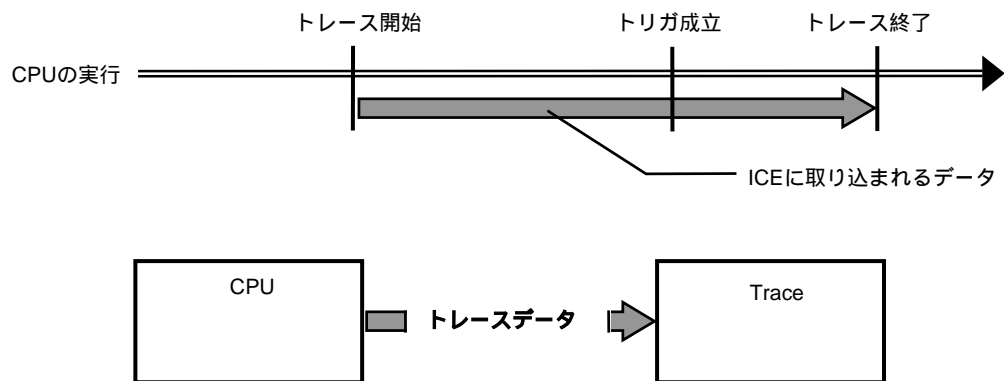


図 1 トレースデータ取り込みの流れ

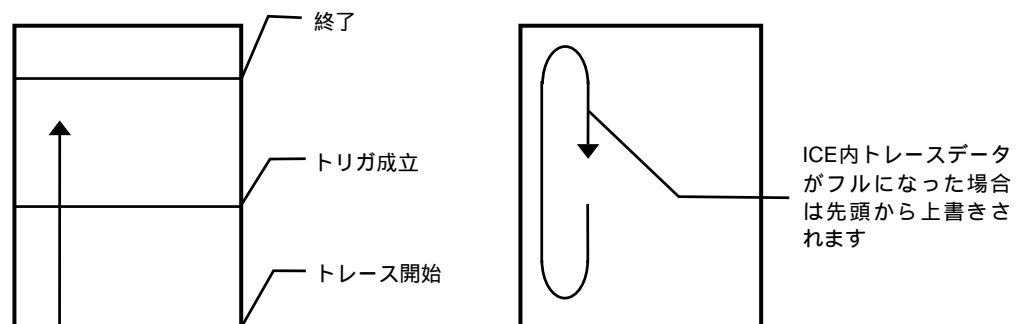
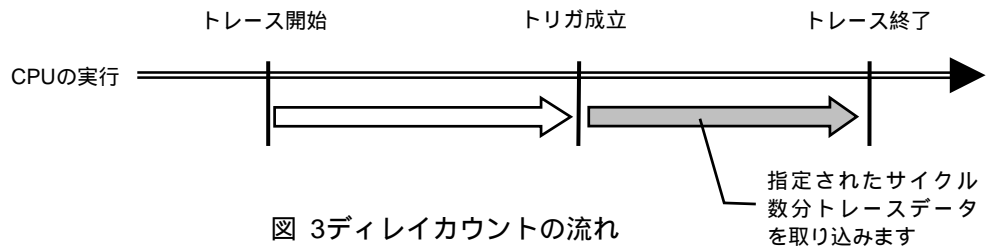


図 2 ICE内のトレースデータ

ディレイカウント

ディレイカウントは、トリガ成立後に取り込むサイクル数です(図 3)。サイクル数は、CPUの実行内容により異なります。1サイクルが1実行単位ではありません。



トレースの実行モード

リアルタイム・モードは、CPUの実行を優先してトレースデータを取り込むモードです。CPU内のトレースバッファ(FIFO)がフルになった場合、トレースデータの取りこぼしが発生することがあります(図 4)

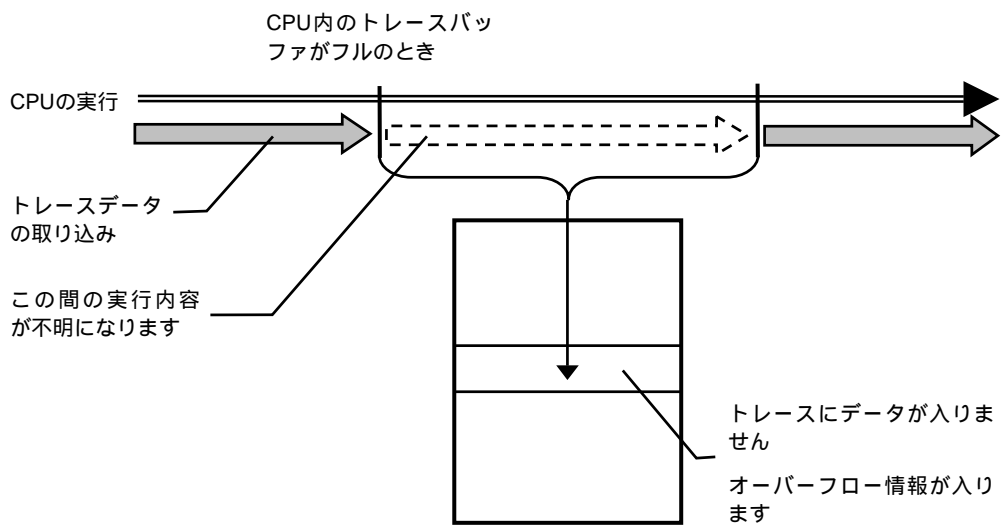


図 4 リアルタイム・モード

非リアルタイム・モードは、トレースデータの取りこぼしがないようにするモードです。このモードでは、CPU内のトレースバッファ(FIFO)がフルになった場合、CPUの実行を一時停止し、その後自動的に再開します(図5)。

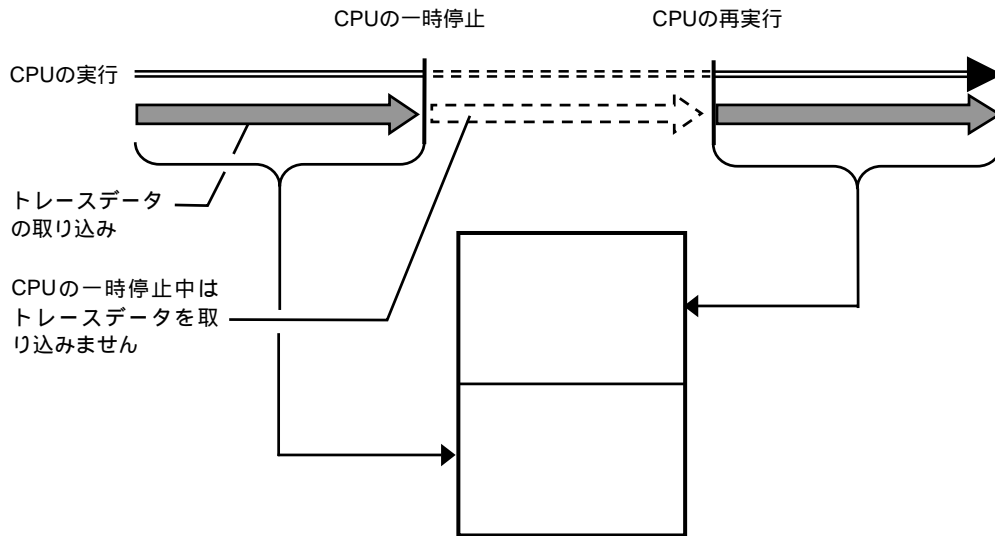


図5 非リアルタイム・モード

サブスイッチ、セクション、クオリファイ

サブスイッチは、セクション条件の成立状態とクオリファイ条件の成立状態のandまたは、orの組み合わせによる状態をいい(tenv [subor|suband]により設定)、成立の状態をon、不成立の状態をoffと定め、このon/offそれぞれの状態で、トレースに取り込むサイクルを指定することができます。(sswon/sswoffコマンド)通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、このサブスイッチのon/offの状態がトレースの開始と停止に対応します。(sswon/sswoffコマンドの初期値はこのようになっています。これ以降この設定になっていることう前提で説明します)

セクションは、tsp1,2コマンドとevt secon, secoffの条件で指定できます。tsp1, seconがセクションの成立条件(on)、tsp2, secoffが非成立条件(off)となります。

クオリファイ条件は、evtコマンドでqualifyに指定したイベントの条件成立がそのままクオリファイの成立となります。

サブスイッチに用いる条件はsswenvコマンドで、TSP1/2, second/off, qualifyから選択します。

トレースの開始

トレースの取り込みを開始するには、強制的に開始する方法(tron force)と、セクションとクオリファイの設定に基づく、サブスイッチの状態で行う方法があります。(図6)

サブスイッチによる取り込み条件の設定は、sswon, sswoffで指定します。通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、サブスイッチがonの状態ではトレースを取り込み、サブスイッチがoffの状態ではトレースの取り込みを停止することができます。

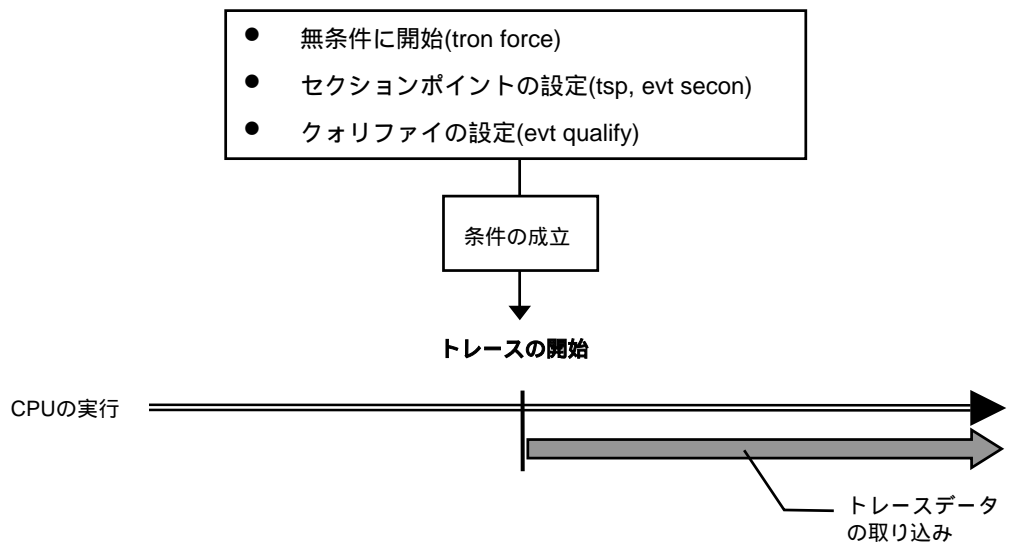


図 6 トレースの開始

トリガ条件

ディレイカウンタの起点となる条件です(図 7)。トリガ条件を設定することにより、条件前後の実行内容を見ることができます。

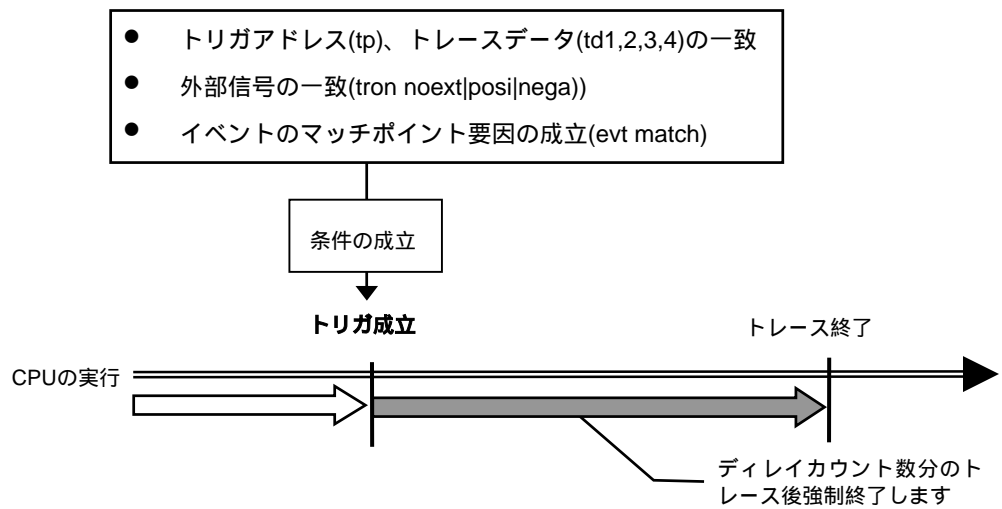


図 7 トリガ条件

トレースの停止

トレースの取り込みを停止するには、セクションとクオリファイの設定に基づく、サブスイッチの状態で行います。(図 8)

サブスイッチによる取り込み条件の設定は、sswon, sswoffで指定します。通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、サブスイッチがonの状態ではトレースを取り込み、サブスイッチがoffの状態ではトレースの取り込みを停止することができます。

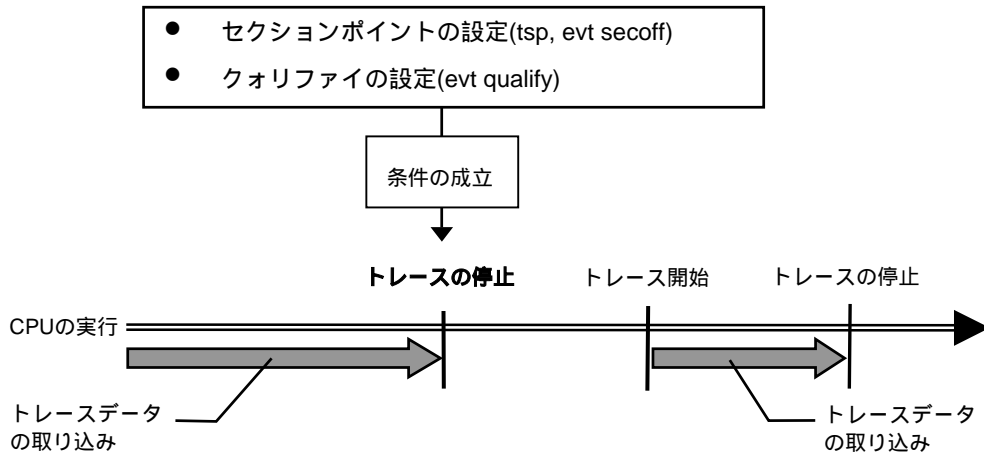


図 8 トレースの停止

トレースの終了

トレースの終了時は、以降のトレースデータの取り込みをしません。停止条件とは違い、再度トレースを開始することはありません(図 9)。

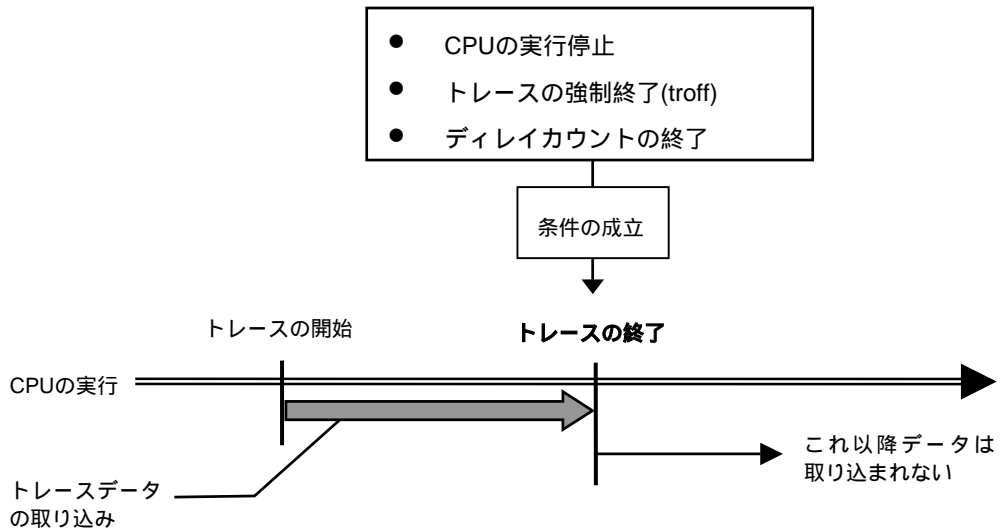


図 9 トレースの終了

強制ディレイモード

強制ディレイモードは、トレース開始後、指定されたディレイカウント(サイクル数)分取り込んだ時点で強制的にトレースを終了します。このモード中はトリガ条件を無視します(図 10)。この場合のトレース開始は、CPUの実行開始です。

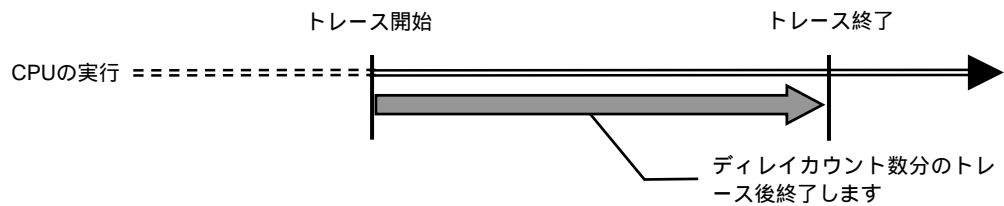


図 10 強制ディレイモード