

KIT-V850E/MA3-TP(-H)

ユーザース・マニュアル(Rev.1.00)

RealTimeEvaluator

■ ソフトウェアのバージョンアップ

- 最新のRTE for Win32 (Rte4win32)は、以下のサイトよりダウンロードできます。

http://www.midas.co.jp/products/download/program/rte4win_32.htm

■ ご注意

- KIT-V850E/MA3-TP(-H) (プログラム及びマニュアル)に関する著作権は株式会社マイダス・ラボが所有します。
- 本プログラム及びマニュアルは著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- お客様に設定される使用権は、1ライセンスにつき、1台のシステムにおいてのみ使用できるものです。1ライセンスで同時に2台以上のシステムでのご利用はできません。
- 本製品は、万全の注意を持って作製されていますが、ご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いかねますのでご了承ください。
- 本プログラム及びマニュアルに記載されている事柄は、予告なく変更されることがあります。

■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

改訂履歴

Rev.1.00 2006-01-05

初版 (RTE-2000H-TP対応版)

目次

1.	はじめに	4
2.	ハードウェア仕様	5
	エミュレーション部	5
3.	RTE for WIN32の設定	6
	ChkRTE2.exeの起動	6
4.	初期設定コマンド	8
	Multiを使用する場合	8
	PARTNERを使用する場合	8
5.	インターフェース仕様：従来型(KEL)	9
	接続信号一覧	9
6.	インターフェース仕様：高速型(MICTOR)	10
	接続信号一覧	10
7.	内蔵フラッシュROM・サポート機能	11
	ブロック管理	11
	キャッシュの仕組み	11
	フラッシュROMへの書き込み	11
	INITコマンド	11
	自動書き込みモードの変更	12
	キャッシュ制御コマンド	12
	内部コマンドからの書き込み	12
	注意事項	12
8.	注意事項	13
	操作上の注意	13
	機能上の注意	13
	その他	13

1. はじめに

KIT-V850E/MA3-TP(-H)は、NEC製のRISCプロセッサV850E/MA3を搭載したシステムをインサートキット・エミュレーション・デバッグするためのソフトウェアです。使用できるハードウェアとKITの対応は以下の通りです。

- ・KIT-V850E/MA3-TP :RTE-1000-TP, RTE-2000-TP用のKITです。
- ・KIT-V850E/MA3-TP-H :RTE-2000H-TP用のKITです。

尚、本書では、KIT-V850E/MA3-TPとKIT-V850E/MA3-TP-Hを特に区別しない説明ではこれらKITのことをKIT-V850E/MA3-TP(-H)と記述し、RTE-2000-TPとRTE-2000H-TPを区別しない説明ではRTE-2000(H)-TPと記述します。

本マニュアルは、当KITの使用方法について記述したものです。ご使用にあたりましては本体となりますRTE-XXXX-TPのハードウェア・ユーザズ・マニュアルと合わせてお読みください。

本製品には下記のものが付属します。最初に付属品の確認を行ってください。

- ・RTE for Win32 (Rte4win32) Set Up CD-ROM
- ・ユーザズ・マニュアル(本書)
- ・ライセンス設定シート

2. ハードウェア仕様

エミュレーション部

対象デバイス	V850E/MA3	
使用するRTE-TPの形式	RTE-2000-TP	RTE-2000H-TP
JTAG-IFケーブル()内はオプションです	RTE-NEC/MICTOR38-2K	PB-JTAG-N-A36(72/144)
エミュレーション機能		
*6 CPU動作周波数	100KHz ~ CPUの最大動作周波数まで	
インターフェース	JTAG/N-Wire	
動作電圧	1.8 3.3V(5Vトランジスタ)(*2)	1.2 3.3V(5Vトランジスタ)
JTAG CLK	100KHz - 25MHz	
ブレーク機能		
H/Wブレークポイント	2	
*5 S/Wブレークポイント	100 (内蔵ROM領域は4ポイントまで)	
ステップブレーク	可	
マニュアルブレーク	可	
ROMエミュレーション機能(*4)		
ブロック内マップ機能(USER/EMEM)	64K-Word	
RAMとして使用	可	
メモリ容量	8M - 128Mバイト	
アクセスタイム、()内はバーストサイクル時	35nS(30nS) (*1)	
動作電圧	1.8V - 3.3V (*2)	
電氣的条件	LV-TTL, 5Vトランジスタ (*3)	
エミュレーション可能なROM数		
DIP-32pin-ROM(8bit-ROM)	4(max)	
DIP-40/42pin-ROM(16bit-ROM)	4(max)	
拡張16BIT-標準ROMコネクタ	4(max)	
エミュレーション可能なROMの容量(bit)		
DIP-32-ROM(8-bit bus)	1M, 2M, 4M, 8M(27C010/020/040/080)	
DIP-40-ROM(16bit-bus)	1M, 2M, 4M(27C1024/2048/4096)	
DIP-42-ROM(16bit-bus)	8M, 16M(27C8000/16000)	
拡張16bit-標準ROM(16bit-bus)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M(32M/160kバイト)	
バス幅指定(bit)	8/16/32	
高速ダウンロード機能(PB-HSDL-50)	無	有(*7)
端子マスク機能	NMI, INTWDG, WAIT-, HLDRQ, RESET-	
実行時間計測機能()内はJTAGCLK=25MHz時の値)		
分解能(nS)	t = JTAGCLK周期の2倍 (80nSec)	
最大計測時間(nS)	t * 2 ³¹ (約171Sec)	

*1, 2, 3. RTE-2000(H)-TP+CBL-STD16-2Kを使用した場合の値です。

*2. 2.3V以下で使用する場合は各ケーブルのDC特性に注意ください。電氣的に整合しない場合があります。

*4. RTE-2000(H)-TPでは、E.MEM基板を最大4枚まで実装でき、その時の最大容量は128Mバイトです。

32-bit幅では2枚、64-bit幅では4枚必要です。8-bitバス幅のROMでは、ROM 1個に1枚必要です。

*5. S/Wブレークポイントの設定可能数はデバッガに依存します。

*6. 100KHz以下でご使用の場合は、別途ご相談ください。

*7. 高速ダウンロード機能をご使用になるにはオプションのPB-HSDL-xxが必要です。本KITでの対応状況は別途ご確認ください。

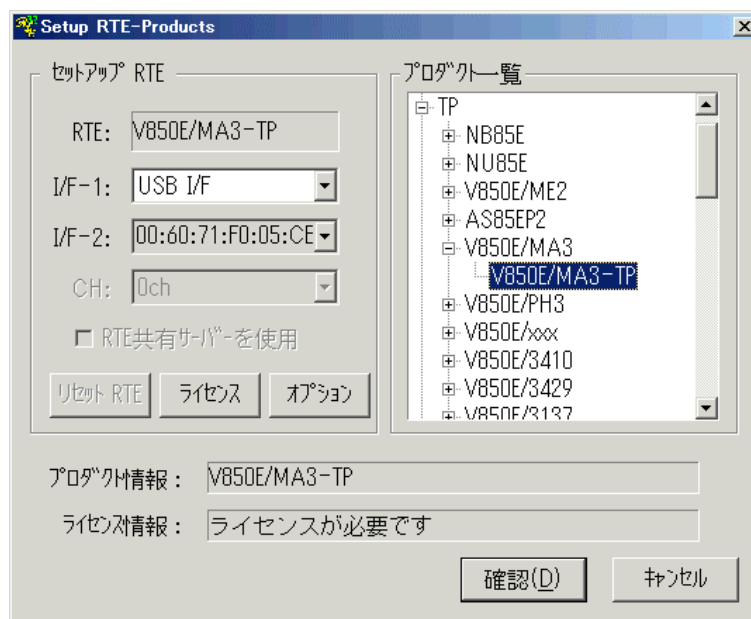
3. RTE for WIN32の設定

『RTE for WIN32』の設定について説明します。

ChkRTE2.exeの起動

ユーザシステムとの接続を完了し、全ての機器の電源が投入された状態で ChkRTE2.exe を起動し、『RTE for WIN32』の環境設定を実施してください。『RTE for WIN32』の環境設定は、新規にハードウェアを設置した時に必ず1回は実施してください。

< RTEの設定 >



< RTEの選択 >

プロダクト一覧より、TPの下層にあるV850E/MA3-TPを指定してください。

< I/F-1, I/F-2の選択 >

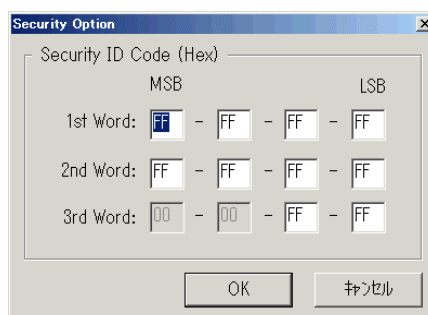
使用するホストインターフェースに合ったものをプルダウンメニューから選んで指定してください。(画面は、ISA-Cardを割り付けた場合です)

< ライセンス >

ボタンをクリックして、KITに添付のライセンス設定シートを見て、ライセンスの設定を行ってください。詳細は、『RTE for WIN32』のマニュアルを参照してください。

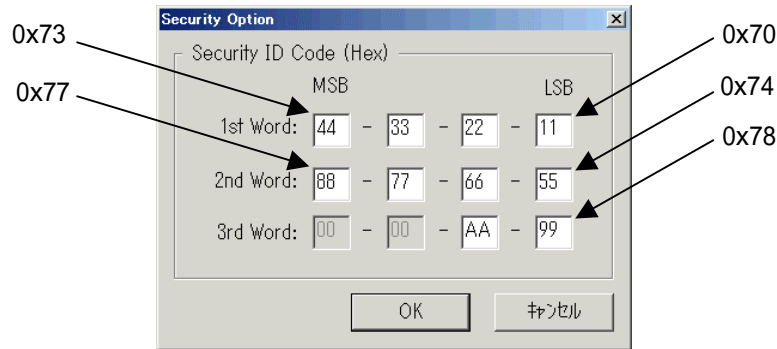
< オプション >

ボタンをクリックして、セキュリティIDコードを入力してください。



<初期状態>

以下は、ROM内のIDコードとの対応付けと、実際に0x70番地から0x11, 0x22, 0x33, ...と入っている場合の入力例です。IDコードを変更した場合、このオプション画面で必ず同じ値に変更してください。



<入力例>

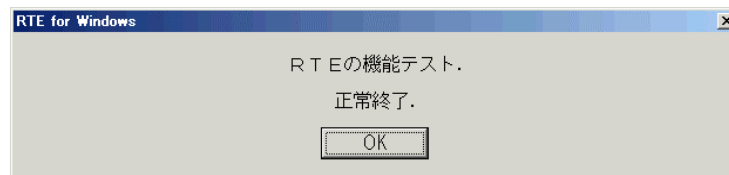
内蔵ROM/フラッシュ・メモリのセキュリティ機能について
 デバッガを起動するためには、10バイトのIDコード認証が必要です。
 IDコードの概要は以下の通りです。詳細はCPUのマニュアルをご参照ください。

- ・ 0x70 ~ 0x79番の10バイトがIDコードです。
- ・ 0x79番地のビット7はICEの接続許可フラグです。
 ICEを接続する場合は“1”でなければいけません。
- ・ 当該オプションで入力したIDコードと、内蔵ROM/フラッシュ・メモリに埋め込まれたIDコードが一致しなければデバッガは起動しません。
- ・ フラッシュ・メモリが消去状態時のIDコードは 0xFFFFFFFFFFFFFFFFFFFFFFFFです。

“KIT-V850E/MA3-TP-H”は、rte4win32 ver.6.00.00以上で対応しています。

<機能テスト>

機能テストは、ユーザシステムとの接続が正しく行われ、IDコードの認証がパスできる状態になっていることが必要です。RTEの設定後、画面の指示に従い機能テストを実施すると、正常終了時に下記のダイアログが表示されます。この状態になれば、デバッガからの制御が可能です。



途中でエラーになる場合は、ユーザシステムに障害があるか、JTAG-IFケーブルが正しく接続できていない可能性がありますので、それらの確認を行ってください。

CHKRTE2.EXEの機能テストは、RTE-xxxx-TPとユーザシステムが接続され、両方に電源が入っている状態で行ってください。

4. 初期設定コマンド

デバッグを開始する前に、ユーザシステムのハードウェアに依存した初期設定が必要です。初期設定のためのコマンドとして以下が用意されていますので、必ず、正しく設定してからご使用ください。

Multiを使用する場合

ターゲットウインドウ内で以下の内部コマンドを使用します。

ENVコマンド

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

ROMコマンド

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

PARTNERを使用する場合

設定用のダイアログを使用します。

CPU環境設定ダイアログ

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

エミュレーションROM設定ダイアログ

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

5. インターフェース仕様：従来型(KEL)

従来型(KEL)のJTAG/N-Wireインターフェースの接続信号一覧を以下に示します。



新規の設計では、次章で説明する高速型のインターフェースのご使用を推奨します。

接続信号一覧

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
A1	(TRCLK)	Output	Open、またはGND
A2	(TRCDATA0)	Output	Open、またはGND
A3	(TRCDATA1)	Output	Open、またはGND
A4	(TRCDATA2)	Output	Open、またはGND
A5	(TRCDATA3)	Output	Open、またはGND
A6	(TRCEND)	Output	Open、またはGND
A7	DDI	Input	4.7K - 10K プルアップ
A8	DCK	Input	4.7K - 10K プルアップ
A9	DMS	Input	4.7K - 10K プルアップ
A10	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
A11	DRST-	Input	4.7K - 50K プルダウン
A12	(DBINT)	Input	Open
A13	MODE1	Input	4.7K - 50K プルダウン

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
B1-B10	GND	-----	GNDに接続
B11	NC.	-----	Open
B12	NC.	-----	Open
B13	VCCIO	-----	I0系電源に直接接続 (電源監視用)

備考：入出力 (User Side) はユーザ基板側での方向です。

B13-VCCIO: 当該信号とインターフェースするデバイスのI0用の電源を直接接続してください。

接続信号名中の()で囲んだ信号名の端子：V850E/MA3では未使用です。



コネクタや配線に関する事柄はRTE-XXXX-TPのマニュアルを参照ください。



RTE-2000H-TPでこのコネクタをご使用になる場合は、オプションのCBL-KEL26が必要です。

6. インターフェース仕様：高速型(MICTOR)

高速型(MICTOR)のJTAG/N-Wireインターフェースの接続信号の一覧を以下に示します。

接続信号一覧

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
1	GND		GNDに接続
3(A8)	DCK	Input	4.7K - 10K プルアップ
5(A9)	DMS	Input	4.7K - 10K プルアップ
7(A7)	DDI	Input	4.7K - 10K プルアップ
9(A10)	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
11	---	---	Open
13	---	---	Open
15	---	---	Open
17(A1)	(TRCLK)	Output	Open、またはGND
19(A6)	(TRCEND)	Output	Open、またはGND
21(A2)	(TRCDATA0)	Output	Open、またはGND
23(A3)	(TRCDATA1)	Output	Open、またはGND
25(A4)	(TRCDATA2)	Output	Open、またはGND
27(A5)	(TRCDATA3)	Output	Open、またはGND
29	---	---	Open、またはGND
31	---	---	Open、またはGND
33	---	---	Open、またはGND
35	---	---	Open、またはGND
37	GND		GNDに接続

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
2	GND		GNDに接続
4(B13)	VCCIO	---	CPUのIO系電源に直接接続 (電源監視用)
6(A11)	DRST-	Input	4.7K - 50K プルダウン
8(A12)	(DBINT)	Input	Open
10(A13)	MODE1	Input	4.7K - 50K プルダウン
12	---	---	Open
14(B11)	(EVTTRG)	Output	Open、またはGND
16(B12)	---	---	Open
18	---	---	Open
20	---	---	Open
22	---	---	Open、またはGND
24	---	---	Open、またはGND
26	---	---	Open、またはGND
28	---	---	Open、またはGND
30	---	---	Open、またはGND
32	---	---	Open、またはGND
34	---	---	Open、またはGND
36	---	---	Open、またはGND
38	GND	---	GNDに接続

備考：Pi番号中の()内はKELタイプのコネクタの相当ピンです。

入出力 (User Side) はユーザ基板側での方向です。

接続信号名中の()で囲んだ信号名の端子は、V850E/MA3では未使用です。

7. 内蔵フラッシュROM・サポート機能

本キットでは、内蔵フラッシュROMに対し自動書き込みをサポートしています。これはフラッシュROM領域に対するデバッガからの書き込み（ダウンロードやその他のメモリライト操作）を一旦ホスト上のメモリに保存（キャッシュ）しておき、実行コマンドが発行された時点で、フラッシュROMの内容と異なる部分がある場合、自動的に書き込みを実施し、実行を開始する機能です。

この機能を禁止する為には、“ifromenvコマンド”で禁止の設定をしてください。



本機能はrte4win32 ver6.00.00以降で対応した機能です。それ以前のバージョンでは対応していません。

本機能の詳細を以下に説明します。

ブロック管理

フラッシュROMは複数のブロックで構成されているため、このブロックを1単位として管理し、各ブロックの状態を次の3つに分類します。

- ・INVALID : キャッシュ（保存）していない状態（=初期状態）
- ・VALID : キャッシュしている内容とフラッシュROMの内容が同じ状態
- ・DIRTY : キャッシュしているが、実際のフラッシュROMの内容とは異なる状態

キャッシュの仕組み

書き込みデータ、及びフラッシュROMの内容は次の条件でキャッシュされます。

- ・メモリリード時
フラッシュROM領域をリードした時、該当ブロックがINVALIDの場合にフラッシュROMからリードして保存します。状態はVALIDになります。該当ブロックがINVALID以外のときは、キャッシュしたデータを表示します。
- ・メモリライト（ダウンロードやその他のライト操作）時
フラッシュROM領域へのライトは、該当ブロックがINVALIDの場合は一旦フラッシュROMから読み出した値をキャッシュに入れ、その後、キャッシュに対してライトデータを変更します。このとき、ライトデータとキャッシュデータが一致した場合はVALIDに、一致しない場合はDIRTYになります。

フラッシュROMへの書き込み

実際にフラッシュROMへ書き込みを行うのは、プログラムを実行（RUN,STEP）するときです。

- ・実行に先立ち、DIRTYのブロックを書き込みます。
- ・書き込みは、ERASE -> WRITE-> 内部VERIFY（-> READ VERIFY）で行います。
- ・書き込み後、状態はVALIDになります。

INITコマンド

INITコマンドを行うとキャッシュ状態はすべてINVALIDになります。この時、書き込みは行いません。

自動書き込みモードの変更

ifromenvコマンドで設定を変更した場合は、キャッシュの状態はすべて一旦INVALIDになります。この時、書き込みは行いません。

キャッシュ制御コマンド

キャッシュの状態を強制的に変更する以下の2つのコマンドが用意されています。

- ・ ifromclear : キャッシュの状態を全てINVALIDにします。
この時、書き込みは行いません。
- ・ ifromflush : DIRTYのブロックをフラッシュROMに強制的に書き込みます。
書きこみ後の状態は、VALIDです。

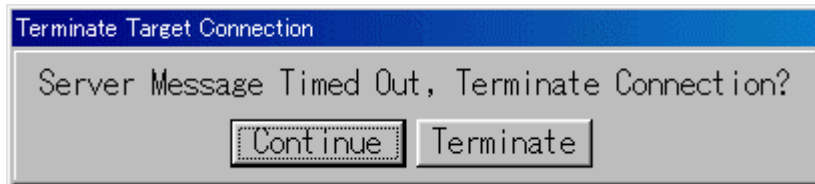
内部コマンドからの書き込み

自動書き込みモード中でも、ifromwriteコマンド（ファイルからフラッシュROMへ書き込むコマンド）は使用できます。但し、以下の点にご注意ください。

- ・ このコマンドは直ぐに実行され、フラッシュROMへの書き込みが行われます。
- ・ 書き込んだブロックはVALID状態になり、実行で再度書き込まれることはありません。
- ・ このコマンドは、全ブロックを消去してから書き込みを行いますので、書き込みデータがない領域は0xFFとなり、キャッシュのデータもこれと同じになります。

注意事項

- ・ キャッシュがDIRTY状態でプログラムを実行した場合、実際に実行が始まるまでに20秒程度待たされる場合があります。これがフラッシュROMへの書き込み時間です。
- ・ この時、MULTI（デバugg）が以下の確認メッセージを表示する場合があります。



表示された場合、Continueをクリックして続行させてください。



MULTIで以下を設定することで上記タイムアウトのメッセージを表示するまでの時間を延ばすことができます。
SERVERTIMEOUT=30

8. 注意事項

KIT-V850E/MA3-TP(-H)を使用する上での注意事項を以下にまとめます。

操作上の注意

- 1) ICE本体の電源が切れている状態で、ユーザシステムの電源を入れしないでください。双方の故障の原因となります。
- 2) 当該ICEは、CPU内部のデバッグ制御回路(DCU)を外部から制御するものです。そのため、以下の条件が満たされない場合、正しく動作しません。
 - * ユーザシステムとJTAG-IFケーブルが接続されていること。
 - * ユーザシステムの電源が投入され、CPUが正しく動作できる状態にあること。
 - * IDコードの設定が正しく行われていること。(3 RTE for WIN32の設定参照)

機能上の注意

- 1) 内蔵ROM空間へのブレークポイントの設定数は、ROMコレクション機能を応用したブレークポイント(4点)とハードウェアブレークポイント(2点)の合計6点までです。



MULTI使用時の注意事項

MULTIでは暗黙的に以下でブレークポイントが使用されます。

1. ソースレベルでのStep, Next, Return, Come等の実行時: 2点
2. ソースレベルでダウンロード直後の実行開始時: 1点
3. syscall機能使用時: 1点(常時)

内蔵ROMに配置したプログラムをデバッグする場合は、これらを含めてブレークポイントの設定数の上限を越えないように配慮する必要があります。設定数が越えた場合、以下のエラーが表示されます。

(0x87) Exhaust the number of settings



Partner使用時の注意事項

Partnerでは暗黙的に以下でブレークポイントが使用されます。

1. ソースレベルでのステップ, ホース, リターン, 加等の実行時: 2点(max)
2. syscall機能使用時: 1点(常時)

ROMに配置したプログラムをデバッグする場合は、これらを含めてブレークポイントの設定数の上限を越えないように配慮する必要があります。設定数が越えた場合、エラーが表示されます。

- 2) 2命令同時に実行する命令列の2番目の命令へのハードウェアブレークポイントは無効です。
- 3) その他、リリースノート等が添付されている場合、必ずそれらも参照ください。

その他

- 1) ASIDレジスタの初期化
本エミュレータ使用中は、ASIDレジスタの値は0x00に設定してください。これは将来の互換性の為です。0x00以外の値で使用了場合、ブレーク機能が使用できなくなる場合があります。
- 2) ROMコレクション機能について
ROMコレクション機能はROM領域へのソフトウェアブレーク機能の為にICE側で使用します。関連レジスタへの書込みは禁止します。

ICE接続時はROMコレクション機能は使用できません。

ROMコレクション機能を利用したブレークポイントはCPUへのリセットによりクリアされますので、実行中にユーザシステムにリセットを入れた場合、それ以降は無効となります。ブレーク後、再実行することで再度有効になります。

- 3) ICE接続中にセルフプログラミング機能は使用しないでください。