

RTE-MOTHER-A

ユーザーズ・マニュアル (Rev. 1.20)

Midas lab

改訂履歴

実施日	Revision	章	内容
1999年01月15日	0.10		初版(暫定)
1999年05月31日	0.20	6.1.5 6.2.2 6.2.6.9 6.2.8.11 6.3.3 6.3.4.8 9.4	<ul style="list-style-type: none"> ・ 表の GCS7 の説明に、GCS5-空間とサイズが異なる場合の制限事項を追記 ・ 表に EXTBUS_CONTROL 追加 ・ 注意事項の 1 と 3 に追記。 ・ 章追加 ・ 章追加 ・ 章追加 ・ T19 を DMAAK- DMARQ- に変更
1999年09月10日	1.00	5.1 5.7 6.2.7.3 6.2.7.5 6.2.7.9 6.2.9.6 6.3.4.9 6.4.2 6.5.2 7	<ul style="list-style-type: none"> ・ コネクタの図の文字列を修正 ・ JP6 の説明を変更 ・ 注意事項 2 に追記 ・ 各ビットの名称を xxxLOW から xxxHigh に変更 ・ 各ビットの名称を xxxLOW から xxxHigh に変更 ・ [BREQ_EN,BREQ_NUM[1:0]] の [1,0,1] の組み合わせを設定禁止に修正 ・ 章追加 ・ レガシー・デバイスの一覧表追記 ・ 供給電源に関する表を追記 ・ 大幅に内容を追記
1999年10月06日	1.10	6.3.7.2 7.1.2 7.2	<ul style="list-style-type: none"> ・ サブシステム・ベンダ / デバイス ID を追記 ・ lan_test を追加 ・ シリアル EEPROM について、工場出荷時未実装を削除 ・ MAC アドレスがシリアル EEPROM から取得可能なことと、シリアル EEPROM の内容を追記
1999年10月30日	1.20	6.3.9.1 7.1.2	<ul style="list-style-type: none"> ・ 32 ビット幅での読み出し / 書き込みができる CPU ボードでは、USB 機能が使用できないことを追記。 ・ usb_test に「接続された USB 機器からのシグネチャの読み出し」を追加

目次

1. はじめに.....	1
1.1. マニュアル表記について	1
1.2. 用語	1
2. 機能.....	2
3. 主な特徴.....	2
4. 基本仕様.....	3
5. ボードの構成.....	4
5.1. IDE アクセス LED コネクタ (JHDD)	4
5.2. フロント・パネル用コネクタ (JPANEL)	5
5.3. 電源スイッチ接続用コネクタ (JPOWERSW)	5
5.4. 電源スイッチ (SW_POWER)	6
5.5. Audio 入力切り替えジャンパ (JP1,JP2,JP3,JP4)	6
5.6. EXT-BUS 強制 16Bit ジャンパ (JP5)	6
5.7. バッテリ・バックアップ・メモリ・クリア・ジャンパ (JP6)	6
5.8. 前面パネル・リセット・スイッチ無効ジャンパ (JP7)	6
5.9. コンフィグレーション ROM 切り替えジャンパ (JP8)	6
5.10. スイッチ 1 (SW1)	7
5.11. 電源コネクタ (JPOWER1)	7
5.12. LED	8
5.13. JGBUS コネクタ (JGBUS)	8
5.14. PCI スロット (JPCI1,JPCI2)	8
5.15. ISA スロット (JISA1,JISA2)	8
5.16. PCMCIA スロット (JPCMCIA1,JPCMCIA2)	9
5.17. キーボード / マウス・コネクタ (JKEY_MOUSE)	9
5.18. USB コネクタ (JUSB)	9
5.19. シリアル・コネクタ (JSIO1,JSIO2)	10
5.20. パラレル・コネクタ (JPRT)	11
5.21. Audio 用ミニ・ジャック (JIN-R,JIN-L,JLINEOUT)	11
5.22. LAN コネクタ (JLAN)	12
5.23. IDE コネクタ (JIDE1,JIDE2)	12
5.24. EXT-BUS コネクタ (JEXT32,JEXT16)	12
6. ハードウェア・リファレンス.....	13
6.1. GBUS	13
6.1.1. GBUS バス権調停	13
6.1.2. GBUS バス権の一時放棄	14
6.1.3. GBUS のバスロック	14

6.1.4. タイムオーバー・レディー	14
6.1.5. GBUS メモリ・I/O のマップ (CPU ボードからのアクセス)	15
6.1.6. GBUS メモリマップ (PCI バスからのアクセス)	16
6.2. ローカル・バス	17
6.2.1. ウエイト数	17
6.2.2. リソース一覧	18
6.2.3. SRAM (GCS0:0000-0000H ~ GCS0:001F-FFFFH)	19
6.2.4. フラッシュ ROM (GCS1:0000-0000H ~ GCS1:007F-FFFFH)	19
6.2.5. UART/PRINTER (TL16PIR552) (GCS2:0000-0000H ~ GCS2:0000-302FH)	20
6.2.6. Audio 回路	21
6.2.6.1. uPD63310 レジスタ (GCS2:0000-4000H ~ GCS2:0000-401FH)	22
6.2.6.2. Audio 制御レジスタ (AUDIO_CONT GCS2:0000-5000H) [Read/Write]	23
6.2.6.3. Audio ステータス・レジスタ (AUDIO_STATUS GCS2:0000-5010H) [Read Only/Write Only]	24
6.2.6.4. Audio MCLKDIV 設定レジスタ (AUDIO_MCLKDIV GCS2:0000-5020H) [Read/Write]	26
6.2.6.5. Audio FIFO (AUDIO_FIFO GCS2:0000-5030H) [Read/Write]	27
6.2.6.6. Audio FIFO_FULL_LEVEL 設定レジスタ (AUDIO_FIFO_FULL_LEVEL GCS2:0000-5040H) [Read/Write]	27
6.2.6.7. Audio FIFO_HALF_LEVEL 設定レジスタ (AUDIO_FIFO_HALF_LEVEL GCS2:0000-5050H) [Read/Write]	28
6.2.6.8. Audio FIFO_DEPTH レジスタ (AUDIO_FIFO_DEPTH GCS2:0000-5060H) [Read Only]	28
6.2.6.9. Audio 制御レジスタ 2 (AUDIO_CONT2 GCS2:0000-5070H) [Read/Write]	29
6.2.6.10. Audio ステータス・レジスタ 2 (AUDIO_STATUS2 GCS2:0000-5080H) [Read Only]	30
6.2.7. 割り込み制御回路	31
6.2.7.1. 割り込みリソースと概要	31
6.2.7.2. 割り込みステータス・レジスタ 0 (INT_STATUS0 GCS2:0000-6000H) [Read Only]	33
6.2.7.3. 割り込みクリア・レジスタ 0 (INT_CLEAR0 GCS2:0000-6010H) [Write Only]	35
6.2.7.4. 割り込みエッジ指定レジスタ 0 (INT_EDGE0 GCS2:0000-6020H) [Read/Write]	36
6.2.7.5. 割り込みポラリティ指定レジスタ 0 (INT_POLARITY0 GCS2:0000-6030H) [Read/Write]	37
6.2.7.6. 割り込みステータス・レジスタ 1 (INT_STATUS1 GCS2:0000-6040H) [Read Only]	38
6.2.7.7. 割り込みクリア・レジスタ 1 (INT_CLEAR1 GCS2:0000-6050H) [Write Only]	39
6.2.7.8. 割り込みエッジ指定レジスタ 1 (INT_EDGE1 GCS2:0000-6060H) [Read/Write]	40
6.2.7.9. 割り込みポラリティ指定レジスタ 1 (INT_POLARITY1 GCS2:0000-6070H) [Read/Write]	41
6.2.7.10. GINTO0 割り込みイネーブル・レジスタ 0 (GINTO0_INTEN0 GCS2:0000-6100H) [Read/Write]	42
6.2.7.11. GINTO1 割り込みイネーブル・レジスタ 0 (GINTO1_INTEN0 GCS2:0000-6120H) [Read/Write]	42
6.2.7.12. GINTO2 割り込みイネーブル・レジスタ 0 (GINTO2_INTEN0 GCS2:0000-6140H) [Read/Write]	42
6.2.7.13. GINTO3 割り込みイネーブル・レジスタ 0 (GINTO3_INTEN0 GCS2:0000-6160H) [Read/Write]	42
6.2.7.14. GINTO0 割り込みイネーブル・レジスタ 1 (GINTO0_INTEN1 GCS2:0000-6110H) [Read/Write]	43

6.2.7.15. GINTO1 割り込みイネーブル・レジスタ 1 (GINTO1_INTEN1 GCS2:0000-6130H) [Read/Write]	43
6.2.7.16. GINTO2 割り込みイネーブル・レジスタ 1 (GINTO2_INTEN1 GCS2:0000-6150H) [Read/Write]	43
6.2.7.17. GINTO3 割り込みイネーブル・レジスタ 1 (GINTO3_INTEN1 GCS2:0000-6170H) [Read/Write]	43
6.2.8. EXT-BUS 制御レジスタ	44
6.2.8.1. バンク・ウィンドウ	44
6.2.8.2. EXT-BUS メモリ空間アドレス・マスク・レジスタ (EXTBUS_MEM_AMASK GCS2:0000-7000H) [Read/Write]	45
6.2.8.3. EXT-BUS I/O 空間アドレス・マスク・レジスタ (EXTBUS_IO_AMASK GCS2:0000-7010H) [Read/Write]	45
6.2.8.4. EXT-BUS CPU 用メモリ空間バンク・アドレス・レジスタ (EXTBUS_CORE_MEM_BANK_ADDR GCS2:0000-7020H) [Read/Write]	46
6.2.8.5. EXT-BUS CPU 用 I/O 空間バンク・アドレス・レジスタ (EXTBUS_CORE_IO_BANK_ADDR GCS2:0000-7030H) [Read/Write]	46
6.2.8.6. EXT-BUS DMA0 用メモリ空間バンク・アドレス・レジスタ (EXTBUS_DMA0_MEM_BANK_ADDR GCS2:0000-7040H) [Read/Write]	47
6.2.8.7. EXT-BUS DMA0 用 I/O 空間バンク・アドレス・レジスタ (EXTBUS_DMA0_IO_BANK_ADDR GCS2:0000-7050H) [Read/Write]	47
6.2.8.8. EXT-BUS DMA1 用メモリ空間バンク・アドレス・レジスタ (EXTBUS_DMA1_MEM_BANK_ADDR GCS2:0000-7060H) [Read/Write]	48
6.2.8.9. EXT-BUS DMA1 用 I/O 空間バンク・アドレス・レジスタ (EXTBUS_DMA1_IO_BANK_ADDR GCS2:0000-7070H) [Read/Write]	48
6.2.8.10. EXT-BUS ステータス・レジスタ (EXTBUS_STATUS GCS2:0000-7080H) [Read Only]	49
6.2.8.11. EXT-BUS コントロール・レジスタ (EXTBUS_CONTROL GCS2:0000-7090H) [Read/Write]	49
6.2.9. その他制御レジスタ	50
6.2.9.1. SW1 読み出しレジスタ (SW1_RDOUT GCS2:0000-8000H) [Read Only]	50
6.2.9.2. POWER 制御レジスタ (POWER_CONTROL GCS2:0000-8020H) [Read/Write]	50
6.2.9.3. POWER ステータス・レジスタ (POWER_STATUS GCS2:0000-8030H) [Read Only]	50
6.2.9.4. ISA 割り込みベクタ・レジスタ (ISA_INT_VECTOR GCS2:0000-8040H) [Read Only]	51
6.2.9.5. ISA 割り込みステータス・レジスタ (ISA_INT_STATUS GCS2:0000-8050H) [Read Only]	51
6.2.9.6. BREQ 制御レジスタ (BREQ_CONTROL GCS2:0000-8060H) [Read/Write]	52
6.2.9.7. フラッシュ ROM 制御レジスタ (FROM_CONTROL GCS2:0000-8070H) [Read/Write]	53
6.2.9.8. バスロック制御レジスタ (BLOCK_CONTROL GCS2:0000-8080H) [Read/Write]	53
6.2.9.9. TOVRDY LED クリア・レジスタ (TOVRDY_LED_CLR GCS2:0000-8090H) [Write Only]	54
6.2.9.10. ABORT LED クリア・レジスタ (ABORT_LED_CLR GCS2:0000-80A0H) [Write Only]	54
6.2.9.11. BACKOFF LED クリア・レジスタ (BACKOFF_LED_CLR GCS2:0000-80B0H) [Write Only]	54
6.3. PCI バス	55
6.3.1. バス・アービター	55

6.3.2. 割り込みアクノリッジ・サイクル	55
6.3.3. 推奨マップ	55
6.3.4. PCI9080	56
6.3.4.1. PCI9080 制御レジスタ	56
6.3.4.2. PCI バス・メモリ領域	56
6.3.4.3. PCI バス I/O 領域	56
6.3.4.4. GCS7-がサポートされていない場合	57
6.3.4.5. PCI バス・コンフィグレーション領域	57
6.3.4.6. アポート・エラー	57
6.3.4.7. パックオフ・エラー	58
6.3.4.8. PCI バスから GBUS へのアクセス	58
6.3.4.9. 初期値	59
6.3.5. デバイス番号	60
6.3.6. PCI スロット	60
6.3.6.1. 電源	60
6.3.6.2. デバイス番号	60
6.3.6.3. 割り込み	60
6.3.7. LAN コントローラ (SB82558)	61
6.3.7.1. 仕様	61
6.3.7.2. デバイス番号	61
6.3.7.3. アドレス	61
6.3.7.4. 割り込み	61
6.3.8. M1523B (SouthBridge)	62
6.3.8.1. 仕様	62
6.3.8.2. デバイス番号	62
6.3.8.3. コンフィグレーション機能	62
6.3.8.4. ハードウェア的接続	63
6.3.9. USB コントローラ (M1523B (SouthBridge) 内蔵)	64
6.3.9.1. 仕様	64
6.3.9.2. デバイス番号	64
6.3.9.3. アドレス	64
6.3.9.4. 割り込み	64
6.3.9.5. 電源	64
6.3.9.6. コンフィグレーション・レジスタ	64
6.3.10. IDE バスマスター・コントローラ (M1523B (SouthBridge) 内蔵)	65
6.3.10.1. 仕様	65
6.3.10.2. デバイス番号	65
6.3.10.3. アドレス	65
6.3.10.4. 割り込み	65
6.3.10.5. コンフィグレーション・レジスタ	65
6.4. ISA バス	66
6.4.1. ISA バス接続デバイス	66
6.4.2. M1523B 内蔵レガシー・デバイス	66

6.4.3. RTC (<i>Real Time Clock M5819</i>)	68
6.4.3.1. アドレス	68
6.4.4. ISA スロット	68
6.4.4.1. 電源	68
6.4.4.2. ハードウェア的接続	68
6.4.5. PCMCIA コントローラ (<i>RF5C396</i>)	69
6.4.5.1. 仕様	69
6.4.5.2. アドレス	69
6.4.5.3. ハードウェア的接続	69
6.5. PCMCIA バス	70
6.5.1. スロット	70
6.5.2. 電源 70	70
7. ソフトウェア	71
7.1. サンプル・プログラム	71
7.1.1. サンプル・プログラムに関する注意事項	71
7.1.2. サンプル・プログラムの概要	71
7.1.3. サンプル・プログラムの資源の割り付け	73
7.2. LAN コントローラ	75
7.3. 一般注意事項	75
8. GBUS 仕様	77
8.1. 用語	77
8.1.1. CPU ボードとマザー・ボード	77
8.1.2. バス・サイクル、マイクロ・サイクル	77
8.2. 信号	77
8.3. ピン配置	82
8.4. 未使用端子の処理	83
8.5. GCS-[7:0]の割り付け	83
8.6. バス・サイクル	84
8.6.1. シングル・サイクル	84
8.6.2. パースト・サイクル	84
8.6.3. GWAITI-	85
8.6.4. GBTERM-	86
8.7. タイミング	87
8.7.1. セットアップ・タイム	87
8.7.2. ディレイ・タイム	87
9. APPENDIX.A 32BIT EXT-BUS 仕様	89
9.1. ピン配置	89
9.2. 信号	90
9.3. データバスの接続	91
9.3.1. 16 ビット・データバス CPU (参考)	91
9.3.2. 32 ビット・データバス CPU (RTE-MOTHER-A の場合)	92

9.4. タイミング.....	93
9.5. 適合コネクタ	94
9.6. 注意事項	94
10. APPENDIX.B 16BIT EXT-BUS 仕様.....	95
10.1. ピン配置	95
10.2. 信号	96
10.3. タイミング.....	97

1. はじめに

「RTE-MOTHER-A」は、弊社のCPUボード RTE-CB シリーズに接続して使用することを目的としたマザーボードです。RTE-CB シリーズとは GBUS で接続します。

「RTE-MOTHER-A」は、各種の汎用バスやインターフェースに接続するコネクタを備えています。これらの機能を利用して、リアル・タイム OS やドライバ、もしくはミドルウェアの開発 / 評価など、幅広くご利用頂けます。

1.1. マニュアル表記について

本書では、数字の表記については表の表記を用います。16進数や2進数の表記では、桁数が多くて読みにくい場合は、4桁ごとに“-”（ハイフン）を入れてあります。

進数	表記規則	例
10進数	数字のみを示します	“10”は10進数の“10”を示します
16進数	数字の末尾に”H”を記します	“10H”は10進数の“16”を示します
2進数	数字の末尾に”B”を記します	“10B”は10進数の“2”を示します

数字表記規則

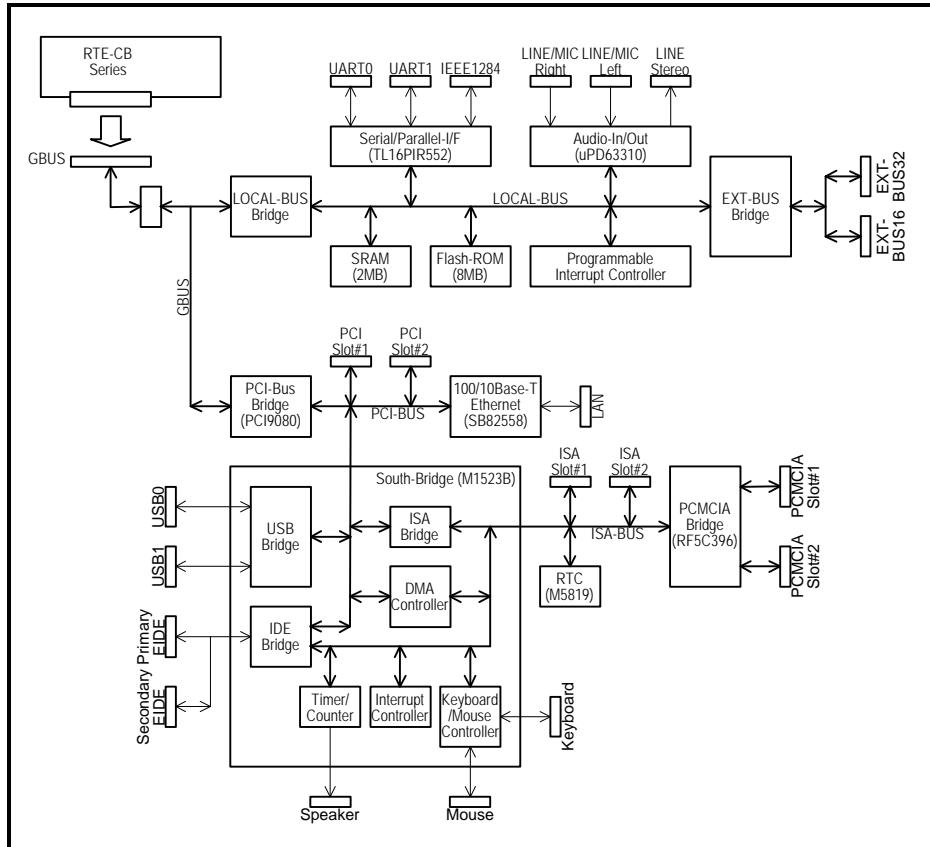
また、複数本の信号を示すために、カギ括弧を使用します。例えば、ADDR というバスがある場合、ADDR[19:16]という表記は、ADDR19, ADDR18, ADDR17, ADDR16 の4本の信号を示します。また、BE-の様な負論理の信号は、BE-[3:0]と表記した場合は、BE3-, BE2-, BE1-, BE0-の4本の信号を示します。対象となる信号が1本の場合でも、BE-[3]のように表記する場合もあり、これはBE3-と同じ信号を示します。

1.2. 用語

「バス・サイクル」、「マイクロ・サイクル」、「バースト・サイクル」等の用語は、GBUS の用語に従います。詳しくは「8.1 用語」を参照してください。

2. 機能

RTE-MOTHER-A の機能ブロックの概要を下図に示します。



RTE-MOTHER-A ブロック図

3. 主な特徴

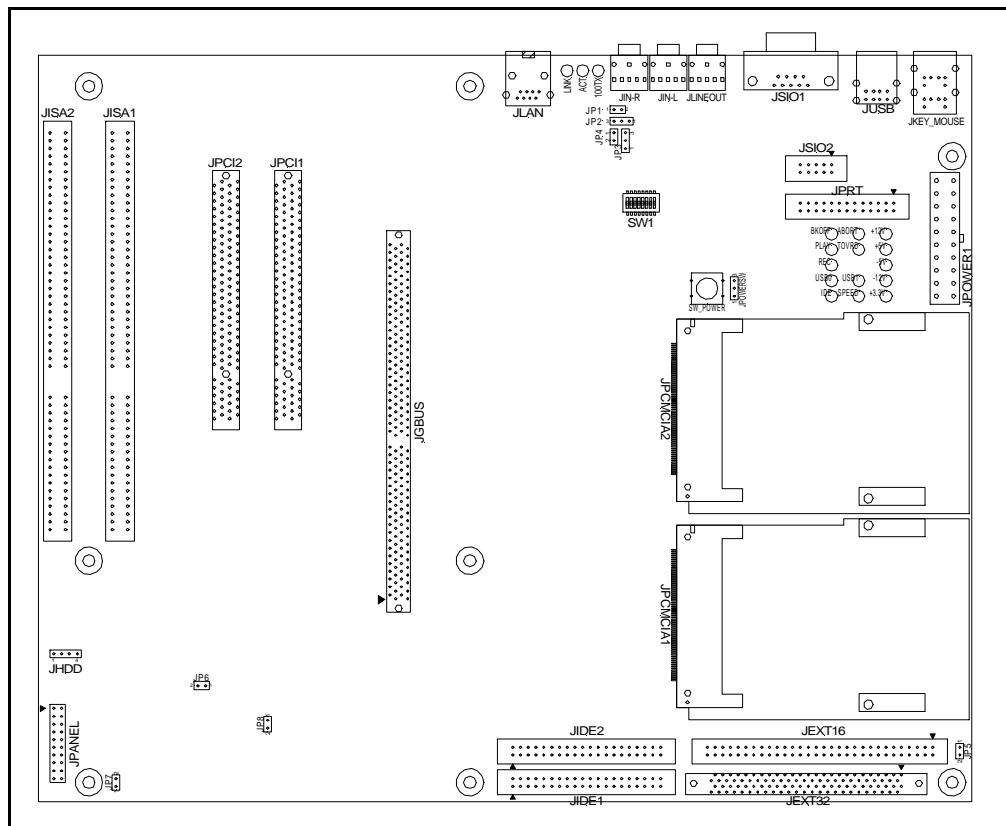
- ATX 規格に準拠した筐体に収納することができ、電源は ATX 規格品を使用できます。
- 各種標準バスに接続するためのコネクタを搭載しています (PCI × 2, ISA × 2, PCMCIA × 2, USB × 2, E-IDE × 2)。
- RTE-PC シリーズと互換性のある EXT-BUS(32Bit)および EXT-BUS(16Bit)へ接続するコネクタを搭載しています。
- RTE-CB シリーズと PCI バス上で共有できる SRAM を 2Mbyte 搭載しています。
- フラッシュ ROM を 8Mbyte 搭載しています。
- 音声入出力のためのインターフェースを搭載しています。
- PC/AT(DOS/V)機互換の各種機能を搭載しています。
- 100Base-TX のイーサネット・インターフェースを搭載しています。
- シリアル / パラレルのインターフェースを搭載しています。

4. 基本仕様

バス	
GBUS	CPU ボード (RTE-CB シリーズ) 接続バス データ 32Bit、アドレス 31Bit、33MHz、バースト可能
PCI-BUS	2 スロット PCI 2.1 準拠、33.33MHz、32Bit、+5V
ISA-BUS	16Bit タイプ 2 スロット
PCMCIA	2 スロット PCMCIA2.1/JEIDA4.2 準拠、+5V/+3.3V
EXT-BUS	RTE-PC シリーズ互換 EXT バス 32Bit 用、16Bit 用のいずれか一方を使用可能
インターフェース	
シリアル	2 チャンネル DB9 コネクタ、10Pin ピンヘッダ
プリンタ	1 チャンネル IEEE1284 準拠、ECP/EPP モード対応、26Pin ピンヘッダ
USB	2 チャンネル OpenHCI 1.0a 準拠
EIDE	2 チャンネル PIO モード 0~4、Multiword-DMA モード 0~2 対応、ATA CD-ROM サポート
キーボード	PS2 互換
マウス	PS2 互換
メモリ	
SRAM	2Mbyte (512Kword × 8bit × 4) RTE-CB シリーズ、および PCI バスからアクセス可能
フラッシュ ROM	8Mbyte (2Mword × 8bit × 4)
その他	
RTC	PC/AT 互換リアルタイム・クロック
AUDIO	ステレオ入力 × 1 チャンネル、ステレオ出力 × 1 チャンネル A/D,D/A コンバータ分解能 16Bit/モノラル、最大 48KHz サンプリング
LAN	10/100Base-T、10Base-T/100Base-TX 自動ネゴシエーション、全二重/半二重

5. ポードの構成

下図は RTE-MOTHER-A 上の主要な部品の物理的な配置です。ここでは、それぞれの部品について説明します。

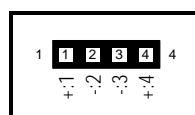


RTE-MOTHER-A の部品配置図

5.1. IDE アクセス LED コネクタ (JHDD)

JHDD コネクタに LED を接続すると、IDE バスに接続されたハードディスクをアクセスした時と、PCMCIA スロットに接続したハードディスクにアクセスした時に点灯します。

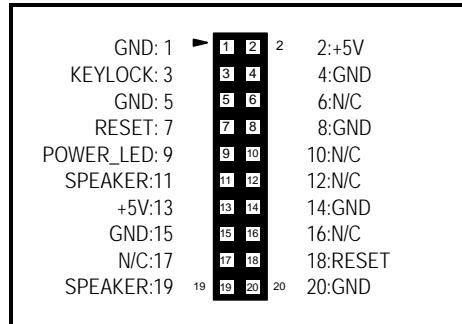
ピン配置を以下に示します。1 ピンと 4 ピンは同じ信号です。



5.2. フロント・パネル用コネクタ(JPANEL)

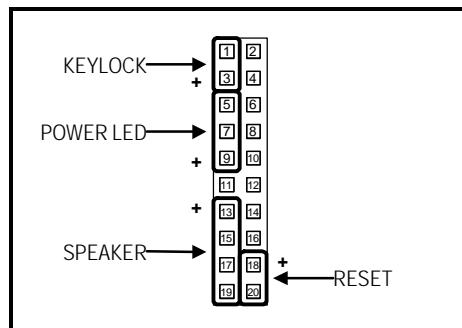
JPANEL コネクタは、前面パネルに接続するためのコネクタです。ATX 規格の筐体であれば、前面パネルのコネクタが接続できるようになっています。

ピン配置と機能を以下に示します (N/C は未接続を示します)。



端子名	機能
KEYLOCK	Low の時キーボードがロックされる。プルアップされているため、何も接続しなければキーボードはロックされない。
POWER_LED	この端子と GND との間に、電源用の LED を接続する。330 の抵抗を経由して+5V に接続している。
SPEAKER	スピーカーを接続する。SouthBridge によるビープ音、および PCMCIA カードによるビープ音が発生時に鳴る。
RESET	Low の時マザーボードがリセットされる。プルアップされているため、必要ない場合は何も接続しない。

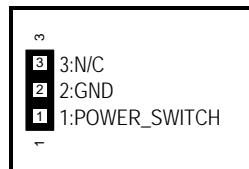
代表的な ATX 筐体でのケーブルの接続は次のようにになります。



5.3. 電源スイッチ接続用コネクタ(JPOWERSW)

JPOWERSW は、電源用のスイッチを接続するためのコネクタです。このスイッチは、ATX 規格の電源を使用した場合にのみ有効です。

ピン配置を以下に示します。スイッチは、押した時に 1 ピンと GND がショートするものを使用します。スイッチを 1 回押すごとに、電源の ON/OFF が切り替わります。



5.4. 電源スイッチ(SW_POWER)

SW_POWER スイッチは、JPOWERSW コネクタに接続したスイッチと同じ働きをします。JPOWERSW コネクタにスイッチを接続していない場合に、SW_POWER スイッチにより電源をON/OFF できます。JPOWERSW 同様、電源がATX 規格の電源を使用した場合のみ有効です。

5.5. Audio 入力切り替えジャンパ(JP1,JP2,JP3,JP4)

JP1～JP4 は、Audio の入力をマイク入力として行うか、ライン入力として行うかを切り替えるジャンパです（「6.2.6 Audio 回路」参照）。

下表に JP1～JP4 の設定を示します。出荷時は、マイク入力に設定されています。

JIN-R 入力	JP1	JP2
マイク入力	Short	1-2 Short
ライン入力	Open	2-3 Short

JIN-L 入力	JP4	JP3
マイク入力	Short	1-2 Short
ライン入力	Open	2-3 Short

5.6. EXT-BUS 強制16Bit ジャンパ(JP5)

JP5 は、JEXT16 コネクタに 16Bit 用ボードを接続した場合に、16Bit として認識されない時に強制的に 16Bit として認識させるためのジャンパです。出荷時は Open になっていますが、Short 状態にする事で、JEXT-BUS を強制的に 16Bit モードにすることができます（「6.2.8.10 EXT-BUS ステータス・レジスタ (EXTBUS_STATUS GCS2:0000-7080H) [Read Only]」参照）。

 **JP5 を Short した状態で、JEXT32 にボードを接続しないでください。
故障の原因になります。**

5.7. バッテリ・バックアップ・メモリ・クリア・ジャンパ(JP6)

JP6 は、RTC 内のバッテリ・バックアップ・メモリをクリアする場合に使用します。通常は 1-2 をショートさせた状態で使用して下さい。バックアップ・メモリをクリアする場合は、マザーボードの電源を切った状態で、一旦 2-3 をショートさせ、1-2 をショートさせた状態に戻し、マザーボードの電源を入れてください。

JP6	用途
1-2 ショート	通常使用状態
2-3 ショート	バッテリ・バックアップ・メモリ・クリア

 **JP6 を 2-3 ショート状態にする場合は、マザーボードの電源を切った状態で行ってください。JP6 が 2-3 ショート状態の時にマザーボードの電源を入れると故障の原因となります。**

5.8. 前面パネル・リセット・スイッチ無効ジャンパ(JP7)

JP7 は、前面パネルのリセット・スイッチを無効にしたい場合に Open 状態にします。

5.9. コンフィグレーションROM 切り替えジャンパ(JP8)

JP8 は、マザーボード上に搭載されている FPGA の FLEX シリーズ用のコンフィグレーション ROM を切り替えます。JP8 が Short 状態の時、ソケットに搭載する EPC1441PC8 が有効になります。JP8 が Open の時、EPC2TC32 が有効になります。

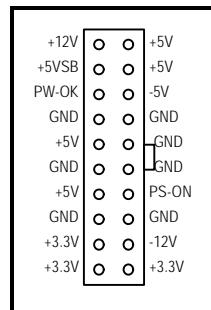
 **JP8 は出荷時の設定でご使用ください。**

5.10. スイッチ1 (SW1)

SW1 は、ローカル・バスに接続された汎用の入力レジスタのスイッチです。設定状態は、入力レジスタから読み出せます（「6.2.9.1 SW1 読み出しレジスタ (SW1_RDOU GCS:0000-8000H) [Read Only]」を参照）。レジスタからの読み出し時、スイッチは、OFF で 1、ON で 0 の値になります。全ビットについて特に使用用途は決まっていません。

5.11. 電源コネクタ (JPOWER1)

ATX 規格の電源を接続できます。ピン配置を下図に示します。



ATX 規格の電源を接続した場合、電源ユニットの AC 電源が入った初期状態では、+5VSB のみが供給されます。この状態の時、ボード上の SW_POWER スイッチを押すか、JPOWERSW に接続したスイッチを押すことで、+5V,+3.3V,+12V,-5V,-12V が供給されるようになります。再びスイッチを押すと+5VSB 以外の電源の供給は停止します。

JPOWER1 コネクタから供給される+3.3V は、本ボード内では使用していません。ボード内の+3.3V は、ボード上のレギュレータにより+5V から作られています。これは、次に説明する ATX 規格以外の電源を接続した場合を考慮したものです。

ATX 規格の電源を用意できない場合は、下表を参考に必要な電源のみを供給してください。下表の消費電流はマザー・ボードが消費する電流のみを示し、接続したボード (RTE-CB シリーズ、PCI ボード、ISA ボード、PCMCIA カードなど) や機器 (USB 機器、キーボード、マウスなど) が消費する電流は考慮されていません。

端子	使用用途	電流
+5V	必ず供給してください。	最大 3.5A
+5VSB	未接続にしてください。	--
+3.3V	未接続にしてください。	--
+12V	JGBUS、JPCI1/2、JISA1/2 に供給されています。 JPCMCIA1/2 で、Vpp として+12V が必要なカードを使用する場合、必要となります。	0A
-5V	JISA1/2 に供給されています。	0A
-12V	JPCI1/2、JISA1/2 に供給されています。	0A
PW-OK	未接続にしてください	--
PS-ON	未接続にしてください。	--



一部の電源のみ接続する場合は、接続しようとするボードで必要となる電源容量を良く確認し、供給する電源容量が足りないことがないように十分注意してください。供給する電源容量が足りない場合、ボードの故障の原因となります。



ATX 規格以外の電源を使用する場合、ボード上の SW_POWER スイッチと JPOWERSW に接続したスイッチは使用できません。

5.12. LED

本ボード上の LED を下表に示します。

LED名	機能
+5V	+5V 電源が供給されている時に点灯します。
+3.3V	+3.3V 電源が供給されている時に点灯します。
+12V	+12V 電源が供給されている時に点灯します。
-5V	-5V 電源が供給されている時に点灯します。
-12V	-12V 電源が供給されている時に点灯します。
USB0	下側の USB コネクタに+5V が供給されている時に点灯します（制御レジスタの内容を反映、「6.2.9.2 POWER 制御レジスタ (POWER_CONTROL GCS2:0000-8020H) [Read/Write]」参照）。
USB1	上側の USB コネクタに+5V が供給されている時に点灯します（制御レジスタの内容を反映、「6.2.9.2 POWER 制御レジスタ (POWER_CONTROL GCS2:0000-8020H) [Read/Write]」参照）。
IDE	IDE バス上、もしくは PCMCIA スロットに実装されたハードディスクのアクセスで点灯します。
SPEED	SouthBridge である M1523B の SPEEDLED 端子が High の時に点灯します。
PLAY , REC	Audio 機能が動作中に点灯します（詳しくは「6.2.6.3 Audio ステータス・レジスタ (AUDIO_STATUS GCS2:0000-5010H) [Read Only/Write Only]」参照）。
TOVRDY	タイムオーバー・レディーが発生すると点灯します（「6.1.4 タイムオーバー・レディー」参照）。
ABORT	PCI9080 経由で PCI バスにアクセスしている時に、アボート・ターミネーションが発生した場合に点灯します（「6.3.4.6 アボート・エラー」参照）。
BRKOFF	GBUS の信号である GUSE_DIRECT_ACC-信号が Low で、PCI9080 経由で PCI バスにアクセスしている時、PCI9080 がバックオフを要求した場合点灯します（「6.3.4.7 バックオフ・エラー」参照）。
LINK	LAN が LINK 状態の時に点灯します。
ACT	LAN との間でパケットのやり取りを行っている場合点灯します。
100TX	LAN が 100Base-TX で動作している時に点灯します。

5.13. JGBUS コネクタ (JGBUS)

弊社の RTE-CB シリーズの CPU ボードを接続するためのコネクタです。電源として+5V,+12V が供給されます。ただし、JPOWER1 に該当電源が供給されている場合に限ります（「6.1 GBUS」参照）。

5.14. PCI スロット (JPCI1,JPCI2)

PCI カードを差すコネクタです（「6.3.6 PCI スロット」参照）。PCI9080 によって制御されます。PCI 2.1 に準拠した 32Bit の+5V 仕様のカードが使用可能です。電源として、+5V,+12V,-12V が供給されます（+3.3V は供給されません）。ただし、JPOWER1 に該当電源が供給されている場合に限ります。JPCI1 が IDSEL として AD19 を、JPCI2 が IDSEL として AD20 を使用します。

5.15. ISA スロット (JISA1,JISA2)

16Bit もしくは 8Bit の ISA 用カードを挿すコネクタです。SouthBridge である M1523B によって制御されます（「6.4.4 ISA スロット」参照）。電源として、+5V,+12V,-5V,-12V が供給されます。ただし、JPOWER1 に該当電源が供給されている場合に限ります。

割り込み線としては、IRQ3～IRQ7,IRQ9～IRQ11,IRQ14,IRQ15 を使用することができます。ただし、割り込み線は、PCMCIA カードとシェアされます。

DMA は、DMA0～DMA3 および DMA5,DMA6 を使用することができます。

5.16. PCMCIA スロット (JPCMCIA1,JPCMCIA2)

PCMCIA カードを挿すコネクタです（「6.5 PCMCIA バス」参照）。ISA バス上にある RFC5C396 によって制御されます。PCMCIA2.1 / JEIDA4.2 に準拠した 16Bit の+5V および+3.3V 仕様のカードが使用可能です。Vpp として+12V が必要なメモリカードを使用する場合は、JPOWER1 に+12V が供給されている必要があります。

PCMCIA スロットに供給される電源は、コントローラ (RFC5C396) を制御することで ON/OFF します。また、オーバー・カレント状態はローカル・バスのレジスタにより読み出すことができ（「6.2.9.2 POWER 制御レジスタ (POWER_CONTROL GCS2:0000-8020H) [Read/Write]」参照）、オーバー・カレントの発生により割り込みを生成することもできます（「6.2.7.1 割り込みリソースと概要」参照）。

JPCMCIA1 がコントローラ (RFC5C396) の SLOT#0、JPCMCIA2 が SLOT#1 に対応します。



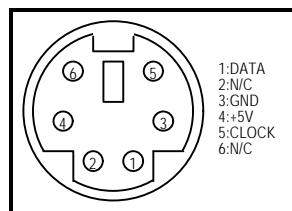
JPCMCIA1/2 コネクタは、CardBus 仕様には対応していません。

5.17. キーボード / マウス・コネクタ (JKEY_MOUSE)

JKEY_MOUSE コネクタは、PS2 互換のキーボードとマウスを接続するためのコネクタです。SouthBridge である M1523B によって制御されます（「6.4.2 M1523B 内蔵レガシー・デバイス」参照）。

下側のコネクタがキーボード、上側のコネクタがマウス用です。

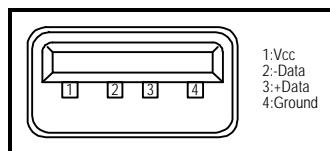
コネクタのピン配置を下図に示します。+5V の電源は、マザーボード上の+5V が供給されている場合、常に供給されています。



5.18. USB コネクタ (JUSB)

JUSB は、USB (Universal Serial Bus) のルート HUB コネクタです。SouthBridge である M1523B によって制御されます（「6.3.9 USB コントローラ (M1523B (SouthBridge) 内蔵)」参照）。

コネクタのピン配置を下図に示します。USB コネクタの電源供給は、ローカル・バスのレジスタを設定することで行います（「6.2.9.2 POWER 制御レジスタ (POWER_CONTROL GCS2:0000-8020H) [Read/Write]」参照）。また、オーバー・カレント状態はローカル・バスのレジスタにより読み出すことができ（「6.2.9.3 POWER ステータス・レジスタ (POWER_STATUS GCS2:0000-8030H) [Read Only]」参照）。オーバー・カレントの発生により割り込みを生成することもできます（「6.2.7.1 割り込みリソースと概要」参照）。



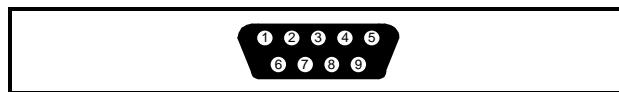
5.19. シリアル・コネクタ (JSIO1,JSIO2)

JSIO1 および JSIO2 コネクタは、ローカル・バスに接続されているシリアル・コントローラ (TL16PIR552) によって制御される RS-232C インターフェース用のコネクタです (「6.2.5 UART/PRINTER (TL16PIR552)(GCS2:0000-0000H ~ GCS2:0000-302FH)」参照)。

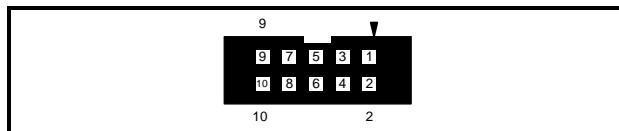
JSIO1 コネクタの形状は、PC/AT (DOS/V) 互換機で用いられる一般的な D-SUB9 ピンの RS-232C コネクタです。JSIO2 コネクタの形状は、2.54mm ピッチのピンヘッダ型コネクタです。何れも、全ての信号は RS-232C レベルに変換されています。コネクタのピン番号と内容は以下の図と表の通りです。

表には、相手側が D-SUB9 ピンと D-SUB25 ピンの場合の一般的なクロス・ケーブル (リバース・ケーブル) の布線をそれぞれ示してあります。

また、JSIO2 のピン配置はリボンケーブルに対して圧接型コネクタを使用した場合、JSIO1 のピン配置と同じになるようになっています。



JSIO1 ピン配置 (オス)



JSIO2 ピン配置

JSIO1 ピン番号	JSIO2 ピン番号	信号名	入出力	接続先ピン番号 (クロス)	
				D-SUB9	D-SUB25
1	1	DCD	入力		
2	3	RxD(RD)	入力	3	2
3	5	TxD(SD)	出力	2	3
4	7	DTR(DR)	出力	1, 6	6, 8
5	9	GND		5	7
6	2	DSR(ER)	入力	4	20
7	4	RTS(RS)	出力	8	5
8	6	CTS(CS)	入力	7	4
9	8	RI	入力		
---	10	N/C			

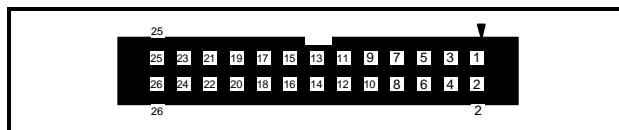
JSIO1,2 コネクタ信号

5.20. パラレル・コネクタ (JPRT)

JPRT コネクタは、ローカル・バスに接続されているパラレル・コントローラ (TL16PIR552) によって制御されるパラレル (プリンタ) 用のコネクタです ('6.2.5 UART/PRINTER (TL16PIR552) (GCS2:0000-0000H ~ GCS2:0000-302FH) 参照)。IEEE1284 に準拠した機器を接続することができます。

JPRT コネクタの形状は、2.54mm ピッチのピンヘッダ型コネクタです。全ての信号は 5V レベルです。コネクタのピン番号と内容は図と表の通りです。

JPRT のピン配置はリボンケーブルに対して圧接型コネクタを使用した場合、PC/AT 互換機で用いられている一般的な D-SUB25 ピンのピン配置と同じになるようになっています。



JPRT ピン配置

JPRT ピン番号	信号名	JPRT ピン番号	信号名
1	STB-	2	AUTO_FD-
3	D0	4	ERROR-
5	D1	6	INIT-
7	D2	8	SELECT_IN-
9	D3	10	GND
11	D4	12	GND
13	D5	14	GND
15	D6	16	GND
17	D7	18	GND
19	ACK-	20	GND
21	BUSY	22	GND
23	PE	24	GND
25	SELECT	26	NC

5.21. Audio 用ミニ・ジャック (JIN-R,JIN-L,JLINEOUT)

JIN-R,JIN-L,JLINEOUT コネクタは、Audio の入出力用のコネクタです。ローカル・バス上に接続された、μPD63310 によって制御されます ('6.2.6 Audio 回路' 参照)。

JIN-R および JIN-L コネクタは、Audio 入力用のコネクタで、JP1 ~ JP4 によりマイク入力とライン入力のいずれかに切り替えることができます ('5.5 Audio 入力切り替えジャンパ (JP1,JP2,JP3,JP4)' 参照)。

JLINEOUT コネクタは、Audio 出力用のコネクタで、ライン出力です。

下記に適合するコネクタと信号のレベルを示します。

JIN-R,JIN-L

電気的な入力条件

MIC 入力指定時： 140mVp-p (内部アンプ増幅 約 20db)

LINE 入力指定時： 1.4Vp-p

適合する物理的なプラグの形状

モノラル・ミニプラグ (3.5 DIA)

JLINEOUT

電気的な出力条件

1.4Vp-p

適合する物理的なプラグの形状

ステレオ・ミニプラグ (3.5 DIA)

5.22. LAN コネクタ (JLAN)

JLAN コネクタは、PCI バスに接続されている LAN コントローラ (SB82558) によって制御される LAN インターフェース用のコネクタです(「6.3.7 LAN コントローラ(SB82558)」参照)。100Base-TX および 10Base-T に対応しています。

5.23. IDE コネクタ (JIDE1,JIDE2)

JIDE1 および JIDE2 コネクタは、SouthBridge である M1523B によって制御される Enhanced IDE インターフェース・コネクタです(「6.3.10 IDE バスマスター・コントローラ(M1523B(SouthBridge) 内蔵)」参照)。PIO モードの 0 ~ 4 と、MultiWord-DMA モードの 0 ~ 3 に対応しています。

JIDE1 コネクタがプライマリ IDE、JIDE2 がセカンダリ IDE に対応します。各コネクタには、ハードディスク・ドライブもしくは CD-ROM ドライブが最大 2 台まで接続できます。

5.24. EXT-BUS コネクタ (JEXT32,JEXT16)

JEXT32 および JEXT16 は、弊社の RTE-PC シリーズの拡張バスと互換性のある EXT-BUS 用のコネクタです。JEXT32 は 32Bit の EXT-BUS 用ボードが、JEXT16 は 16Bit の EXT-BUS 用ボードが接続できます。JEXT32 コネクタおよび JEXT16 コネクタの仕様については、それぞれ「9 APPENDIX.A 32Bit EXT-BUS 仕様」と「10 APPENDIX.B 16Bit EXT-BUS 仕様」を参照してください。

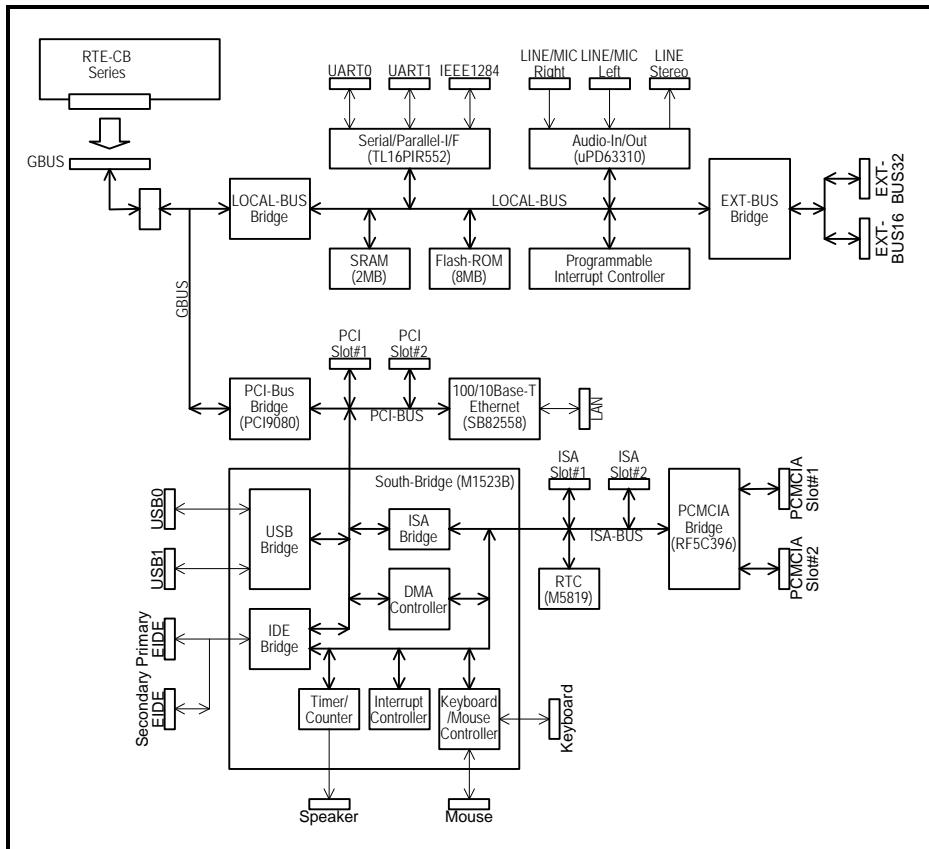
また、JEXT16 コネクタにボードを接続すると、自動的に EXT-BUS が 16Bit モードになります。このモードの自動切り替えが正常に機能しない場合、JP5 によって強制的に 16Bit モードにすることが可能ですが(「6.2.8 EXT-BUS 制御レジスタ」参照)。



JEXT32 と JEXT16 は、同時に使用することはできません。両方のコネクタにボードを接続した場合は、故障の原因となりますので、どちらか一方のコネクタのみを接続してください。

6. ハードウェア・リファレンス

ここでは、RTE-MOTHER-A ボードのハードウェアについて記述します。バスの接続構成を下図に示します。



6.1. GBUS

GBUS は、CPU ボード、RTE-MOTHER-A 上の PCI9080 (PCI バスへのブリッジ)、ローカル・バスへのブリッジが接続するバスです。このバスは、CPU ボードからも、PCI9080 を介して PCI バス上のバス・マスターからもアクセスされます。GBUS のバス・サイクルの形態などについては「8 GBUS 仕様」を参照してください。

6.1.1. GBUS パス権調停

GBUS は、CPU ボードと PCI バス上のバス・マスターの両方からアクセスされます。そのためバスの調停が必要です。この GBUS の調停は、GBUS 上の GUSE_DIRECT_ACC-信号の状態により調停方法が異なります。

GUSE_DIRECT_ACC-信号が High の場合、後からアクセスしたバス・マスターが待たれます。CPU ボードが待たれる場合は、GBUS の GREADY-信号によりウェイトがかかります。PCI9080 が待たれる場合は、PCI9080 の LHOLD 信号のアサートに対して LHOLDA 信号がアサートされずに待たれます。GUSE_DIRECT_ACC-信号が High の場合、アクセスが衝突しない限り、CPU ボードおよび PCI9080 は余分にパフォーマンスをロスすることはありません。

GUSE_DIRECT_ACC-信号が Low の場合、HOLD ベースのバス調停を行います。PCI9080 からのバス権要求として LHOLD 信号がアサートされると、GBUS 上の GHOLD-信号がアサートされます。これに対し、CPU ボードから GHOLDA-がアサートされると、PCI9080 は GBUS のアクセスを開始します。GUSE_DIRECT_ACC-信号が Low の場合、CPU ボード側に特別な調停回路がなければ、

PCI9080 がアクセスを行うたびに CPU が HOLD によって止まってしまうため、GUSE_DIRECT_ACC-信号が High の場合より CPU の処理効率が落ちます。しかし、CPU ボード上に PCI バスからアクセスできるリソースがあり、このアクセスを許可する場合は、GUSE_DIRECT_ACC-信号を Low にしなければなりません。

6.1.2. GBUS バス権の一時放棄

GBUS 上ではバースト長（回数）に制限はありません。したがって、PCI 上のバス・マスタが一旦 GBUS のバス権を取得すると、長期間にわたりバス権を手放さないことが考えられます。

このような場合を考慮し、一定の条件下で PCI9080 にバス権を放棄させることができます。この時の条件は、幾つかの選択肢からプログラマブルに選ぶことができます。また、CPU ボードからの信号によっても PCI9080 にバス権を放棄させることができます。

詳しくは、「6.2.9.6 BREQ 制御レジスタ (BREQ_CONTROL GCS2:0000-8060H) [Read/Write]」を参照してください。

6.1.3. GBUS のバスロック

SRAM および PCI バスのアクセスでは、バスロックの機能がサポートされています。

CPU ボードからのアクセスでは、GBUS 上の GBLOCK[1:0]信号、もしくはローカル・バス上の制御レジスタを使用して、SRAM や PCI バスへのアクセスでバスロックをかけることができます（「6.2.9.8 バスロック制御レジスタ (BLOCK_CONTROL GCS2:0000-8080H) [Read/Write]」参照）。PCI9080 介した PCI バス・マスタからのアクセスでは、SRAM へのアクセス時にバスロックをかけることができます。この場合、PCI バス上のバス・マスタがバスロック要求している場合に限ります。

6.1.4. タイムオーバー・レディー

CPU ボードから EXT-BUS および PCI バスに対してアクセスしている場合に、GREADY-が 10m 秒以上アクティブにならない場合、デッドロックを避けるためにタイムオーバー・レディーが生成され、バス・サイクルを強制的に終了させます。

タイムオーバー・レディーが発生すると、マザーボード上の TOVRDY-LED が点灯します。この LED はソフト的にクリアするまで点灯し続けます（「5.12 LED」、「6.2.9.9 TOVRDY LED クリア・レジスタ (TOVRDY_LED_CLR GCS2:0000-8090H) [Write Only]」参照）。また、タイムオーバー・レディーの発生で割り込みを発生させることができます（「6.2.7.1 割り込みリソースと概要」参照）。

EXT-BUS へのアクセスで発生するタイムオーバー・レディーは、1 マイクロ・サイクルが 10m 秒を越える場合に発生します。

PCI バスへのアクセスで発生するタイムオーバー・レディーは、バス・サイクル全体が 10m 秒を越える場合に発生し、そのバス・サイクルが終了するまで、GREADY-はアサートされたままになります。

6.1.5. GBUS メモリ・I/O のマップ (CPU ボードからのアクセス)

メモリおよび I/O の割り付けは、CPU ボードからの GCS-[7:0]によります。GCS-[7:0]とアクセスされるリソースの対応を下表に示します。表の推奨空間に「I/O」とある空間は、CPU ボードの CPU に I/O 空間がある場合は、I/O 空間に割り当てることを強く推奨します。

信号名	推奨空間	最少範囲	最大範囲	アクセス・リソースおよび備考
GCS0-	メモリ	2Mbyte		<ul style="list-style-type: none"> ローカル・バス上の SRAM PCI バス上のバス・マスターからもアクセス可能。 GLOCK0-信号、もしくはローカル・バス上の I/O からの制御でバス・ロックすることが可能。
GCS1-	メモリ	8Mbyte		<ul style="list-style-type: none"> ローカル・バス上のフラッシュ ROM CPU ボード上のスイッチの設定により、この空間を Boot 用の ROM 空間にマップすることができ、フラッシュ ROM からの Boot が可能。
GCS2-	I/O	64Kbyte		<ul style="list-style-type: none"> ローカル・バス上の制御レジスタ関連
GCS3-	メモリ	64Kbyte	16Mbyte	<ul style="list-style-type: none"> EXT-BUS のメモリ空間 JEXT32 コネクタにボードを接続している場合、この空間からは接続したボードのメモリ空間がアクセス可能。領域は最大 16Mbyte。 JEXT16 コネクタにボードを接続している場合、メモリ・I/O の区別がなく、接続したボードの全空間がアクセス可能。領域は最大で 1Mbyte。 ローカル・バス上の制御レジスタにアドレス拡張用のパンク・レジスタがあり、このパンク・レジスタを使うことで 64Kbyte 以上の空間が確保してあれば、16Mbyte まで拡張してアクセスすることができる（「6.2.8 EXT-BUS 制御レジスタ」参照）。 JEXT32 コネクタにボードを接続している場合、2 サイクル DMA が 2 チャンネル分サポートされ、各 DMA チャンネルに対してアクセス拡張用のパンク・レジスタを用意（「6.2.8 EXT-BUS 制御レジスタ」参照）。
GCS4-	I/O	64Kbyte	16Mbyte	<ul style="list-style-type: none"> EXT-BUS の I/O 空間 JEXT32 の I/O 空間にアクセスが可能。領域は最大 16Mbyte。 JEXT16 はアクセスできません。 ローカル・バス上の制御レジスタにアドレス拡張用のパンク・レジスタがあり、このパンク・レジスタを使うことで 64Kbyte 以上の空間が確保してあれば、16Mbyte までの空間をアクセスすることができる（「6.2.8 EXT-BUS 制御レジスタ」参照）。 2 サイクル DMA が 2 チャンネル分サポートされ、各 DMA チャンネルに対してアクセス拡張用のパンク・レジスタを用意（「6.2.8 EXT-BUS 制御レジスタ」参照）。
GCS5-	メモリ	1Mbyte	2Gbyte	<ul style="list-style-type: none"> PCI バスのメモリ空間 PCI9080 を経由して PCI バスのメモリまたは I/O 空間をアクセス可能。 割り当てる領域は広ければ広い程良い。 GLOCK1-信号、もしくはローカル・バス上の I/O からの制御でバス・ロックすることが可能。
GCS6-	I/O	512byte		<ul style="list-style-type: none"> PCI9080 の制御レジスタ空間
GCS7-	I/O	64Kbyte	2Gbyte	<ul style="list-style-type: none"> PCI バスの I/O 空間 PCI9080 を経由して PCI バスの I/O 空間をアクセスする。 通常割り当てる領域は 64Kbyte で十分である。 GLOCK1-信号、もしくはローカル・バス上の I/O からの制御でバス・ロックすることが可能。 CPU ボード上の CPU に I/O 空間がない場合は、この空間はなくとも良い。その場合、GCS5-の空間をから I/O に対してもアクセスすることになる。 GCS5-の空間と GCS7-の空間のサイズが異なる場合、異なるサイズ分のアドレス線はゼロでならなければならない。例えば、GCS5-の空間が 1Mbyte で GCS7-の空間が 64Kbyte の場合、GCS7-の空間をアクセスする時 GADDR[19:16]はゼロでなければならない。これは PCI9080 に関する制約事項である。

6.1.6. GBUS メモリマップ(PCI バスからのアクセス)

PCI バス上のバス・マスタからアクセスすることができる GBUS 上のリソースは以下の 2つです。

1つは、マザー・ボード上の SRAM です。SRAM の空間全てにアクセス可能です。この空間にアクセスするには、GBUS のアドレスである GADDR[25]を Low にします。言い換えれば、GBUS 上のアドレス 0000-0000H ~ 01FF-FFFFH の範囲に SRAM が割り付けられていることになります(ただし、SRAM の実容量は 2Mbyte です)。

もう 1 つは、CPU ボード上のリソースです。CPU ボード上のリソースにアクセスする場合は、GBUS のアドレスである GADDR[25]を High にします。言い換えれば、GBUS アドレス 0200-0000H ~ 03FF-FFFFH の 32Mbyte 領域が CPU ボード上のリソースとして割り付けられることになります。

ただし、PCI バス上のバス・マスタが CPU ボード上のリソースにアクセスするためには、GBUS 上の信号である GUSE_DIRECT_ACC-が Low である必要があります。GUSE_DIRECT_ACC-が High の場合は、CPU ボード上に PCI バス上のバス・マスタがアクセスできるリソースがないことを CPU ボードが示していることになります。GUSE_DIRECT_ACC-が High であるか Low であるかにより、SRAM へのアクセスの調停方法が大きく異なってきます(「6.1.1 GBUS バス権調停」参照)。また、PCI 上のバス・マスタがアクセスする場合に、PCI バス上のアドレスが GBUS 上のアドレスにどのように変換されるかは、PCI9080 の設定によります。

6.2. ローカル・バス

ローカル・バスには、SRAM、フラッシュ ROM、Audio 制御レジスタ、その他の割り込みコントローラ等の制御用レジスタがあります。このうち SRAM は、CPU ボードからも PCI バス上のバス・マスターからもアクセスすることができます。

また、CPU ボードからはローカル・バスに接続しているブリッジを経由して、EXT-BUS へもアクセスできます。以下、ローカル・バスのリソースについて説明します。なお、”GCSx:yyyy-yyyyH”という表記は、チップセレクトの GCSx-がアクティブになった時のアドレス yyyy-yyyyH を示します。

6.2.1. ウェイト数

ローカル・バス上のリソースへのアクセス時のウェイト数を下表に示します。リソースによっては、GBUS の GCLK_LOW-信号の状態によってウェイト数が切り替わるものがあります。また、下表では “/” で区切られた 2 つのウェイト数が示されています。前のウェイト数はシングル・サイクルもしくはバースト・サイクルの最初のマイクロ・サイクルのウェイト数です。後のウェイト数はバースト・サイクルの 2 つ目以降のマイクロ・サイクルのウェイト数を示します。

また、異なるリソースに連続してアクセスした場合は、シングル・サイクルもしくはバースト・サイクルの最初のマイクロ・サイクルに、下表より更に 1Wait 多く挿入される場合があります。

どのリソースがどの Wait 種別に該当するかは次章を参照してください。

Wait 種別	ウェイト数			
	GCLK_LOW-=High		GCLK_LOW-=Low	
	Write	Read	Write	Read
SRAM	0Wait / 1Wait	0Wait / 1Wait	0Wait / 1Wait	0Wait / 1Wait
FAST	4Wait / 4Wait	3Wait / 4Wait	3Wait / 3Wait	2Wait / 3Wait
MID	7Wait / 7Wait	6Wait / 7Wait	7Wait / 7Wait	6Wait / 7Wait
SLOW	8Wait / 8Wait	7Wait / 8Wait	5Wait / 5Wait	4Wait / 5Wait
PPCS	6Wait / 6Wait	5Wait / 6Wait	5Wait / 5Wait	4Wait / 5Wait

上表の「Wait 種別」が PPCS では、記述されているのは最低ウェイト数です。アクセス対象により更にウェイトが要求される場合があります。

6.2.2. リソース一覧

ローカル・バス上のリソースの一覧を下表に示します。下表の「Wait 種別」については、前章を参照してください。

名称	アドレス	Wait 種別	参照章
SRAM	GCS0:0000-0000H ~ GCS0:001F-FFFFH	SRAM	6.2.3
フラッシュ ROM	GCS1:0000-0000H ~ GCS1:007F-FFFFH	FAST	6.2.4
UART0 (TL16PIR552)	GCS2:0000-0000H ~ GCS2:0000-007FH	FAST	6.2.5
UART1 (TL16PIR552)	GCS2:0000-1000H ~ GCS2:0000-107FH	FAST	6.2.5
PRINTER PPCS- (TL16PIR552)	GCS2:0000-2000H ~ GCS2:0000-207FH	PPCS	6.2.5
PRINTER ECPCS- (TL16PIR552)	GCS2:0000-3000H ~ GCS2:0000-302FH	FAST	6.2.5
uPD63310 レジスタ	GCS2:0000-4000H ~ GCS2:0000-401FH	SLOW	6.2.6.1
AUDIO_CONT	GCS2:0000-5000H	FAST	6.2.6.2
AUDIO_STATUS	GCS2:0000-5010H	FAST	6.2.6.3
AUDIO_MCLKDIV	GCS2:0000-5020H	FAST	6.2.6.4
AUDIO_FIFO	GCS2:0000-5030H	MID	6.2.6.5
AUDIO_FIFO_FULL_LEVEL	GCS2:0000-5040H	FAST	6.2.6.6
AUDIO_FIFO_HALF_LEVEL	GCS2:0000-5050H	FAST	6.2.6.7
AUDIO_FIFO_DEPTH	GCS2:0000-5060H	FAST	6.2.6.8
AUDIO_CONT2	GCS2:0000-5070H	FAST	6.2.6.9
AUDIO_STATUS2	GCS2:0000-5080H	FAST	6.2.6.10
INT_STATUS0	GCS2:0000-6000H	FAST	6.2.7.2
INT_CLEAR0	GCS2:0000-6010H	FAST	6.2.7.3
INT_EDGE0	GCS2:0000-6020H	FAST	6.2.7.4
INT_POLARITY0	GCS2:0000-6030H	FAST	6.2.7.5
INT_STATUS1	GCS2:0000-6040H	FAST	6.2.7.6
INT_CLEAR1	GCS2:0000-6050H	FAST	6.2.7.7
INT_EDGE1	GCS2:0000-6060H	FAST	6.2.7.8
INT_POLARITY1	GCS2:0000-6070H	FAST	6.2.7.9
GINTO0_INTEN0	GCS2:0000-6100H	FAST	6.2.7.10
GINTO0_INTEN1	GCS2:0000-6110H	FAST	6.2.7.14
GINTO1_INTEN0	GCS2:0000-6120H	FAST	6.2.7.11
GINTO1_INTEN1	GCS2:0000-6130H	FAST	6.2.7.15
GINTO2_INTEN0	GCS2:0000-6140H	FAST	6.2.7.12
GINTO2_INTEN1	GCS2:0000-6150H	FAST	6.2.7.16
GINTO3_INTEN0	GCS2:0000-6160H	FAST	6.2.7.13
GINTO3_INTEN1	GCS2:0000-6170H	FAST	6.2.7.17
EXTBUS_MEM_AMASK	GCS2:0000-7000H	FAST	6.2.8.2
EXTBUS_IO_AMASK	GCS2:0000-7010H	FAST	6.2.8.3
EXTBUS_CORE_MEM_BANK_ADDR	GCS2:0000-7020H	FAST	6.2.8.4
EXTBUS_CORE_IO_BANK_ADDR	GCS2:0000-7030H	FAST	6.2.8.5
EXTBUS_DMA0_MEM_BANK_ADDR	GCS2:0000-7040H	FAST	6.2.8.6
EXTBUS_DMA0_IO_BANK_ADDR	GCS2:0000-7050H	FAST	6.2.8.7
EXTBUS_DMA1_MEM_BANK_ADDR	GCS2:0000-7060H	FAST	6.2.8.8
EXTBUS_DMA1_IO_BANK_ADDR	GCS2:0000-7070H	FAST	6.2.8.9
EXTBUS_STATUS	GCS2:0000-7080H	FAST	6.2.8.10
EXTBUS_CONTROL	GCS2:0000-7090H	FAST	6.2.8.11
SW1_RDOUT	GCS2:0000-8000H	FAST	6.2.9.1
POWER_CONTROL	GCS2:0000-8020H	FAST	6.2.9.2
POWER_STATUS	GCS2:0000-8030H	FAST	6.2.9.3
ISA_INT_VECTOR	GCS2:0000-8040H	FAST	6.2.9.4
ISA_INT_STATUS	GCS2:0000-8050H	FAST	6.2.9.5
BREQ_CONTROL	GCS2:0000-8060H	FAST	6.2.9.6
FROM_CONTROL	GCS2:0000-8070H	FAST	6.2.9.7
BLOCK_CONTROL	GCS2:0000-8080H	FAST	6.2.9.8
TOVRDY_LED_CLR	GCS2:0000-8090H	FAST	6.2.9.9
ABORT_LED_CLR	GCS2:0000-80A0H	FAST	6.2.9.10
BACKOFF_LED_CLR	GCS2:0000-80B0H	FAST	6.2.9.11

6.2.3. SRAM (GCS0:0000-0000H ~ GCS0:001F-FFFFH)

CPU ボードからも、PCI バスからもアクセス可能な SRAM 空間です。

CPU ボードからアクセスする場合は、上記の空間に割り当てられていますが、PCI バス上のバス・マスターからアクセスする場合は、0000-0000H ~ 01FF-FFFFH に割り付けられています (SRAM の実容量は 2Mbyte)。PCI バス上のアドレスと GBUS 上のアドレスの関係は、PCI9080 の設定によって決まります。

6.2.4. フラッシュ ROM (GCS1:0000-0000H ~ GCS1:007F-FFFFH)

+5V 単一のフラッシュ ROM が搭載されています。2Mword × 8Bit 構成である MBM29F016 が 4 つ実装されています。各バイトごとに書き換えが可能です。書き換え方法については、MBM29F016 のマニュアルを参照してください。

この領域は、CPU ボードのメモリ空間で、2 つの領域に配置することを推奨します。2 つの領域のうち 1 つは、CPU ボード上の UV-E PROM の領域です。その領域のアクセスで、CPU ボード上の UV-E PROM がアクセスされるか、マザー・ボード上のフラッシュ ROM がアクセスできるかは、CPU ボード上のスイッチで切り替えられるようにします。このようにすることで、当フラッシュ ROM 領域に IPL を書き込み、その IPL を使用して CPU ボードを起動できるようになります。

また、フラッシュ ROM をリセットするための機能と、フラッシュ ROM の BUSY 状態を読み出す機能がローカル・バスのレジスタに用意されています (「6.2.9.7 フラッシュ ROM 制御レジスタ (FROM_CONTROL GCS2:0000-8070H) [Read/Write] 」参照)。

6.2.5. UART/PRINTER (TL16PIR552) (GCS2:0000-0000H ~ GCS2:0000-302FH)

UART/PRINTER コントローラとして TEXAS INSTRUMENTS 製の TL16PIR552(DUAL UART WITH 1284 PARALLEL PORT)LSI を使用しています。TL16PIR552 は、UART を 2 チャンネル、IEEE1284 準拠の双方向プリンタ・ポートを 1 チャンネル備えており、UART の送受信部には 16 キャラクタ分の FIFO バッファを持ち、RTS/CTS フローを自動的に制御する機能を備えているため、最小限の割り込みでオーバーラン・エラーを押さえられます。

TL16PIR552 の各レジスタは、表のように割り付けられています。各レジスタの機能については、TL16PIR552 のマニュアルを参照してください (TL16PIR552 のマニュアルは米国 TEXAS INSTRUMENTS 社のホームページ (<http://www.ti.com/>) の TI&ME のコーナーで入手可能です)。

アドレス	機能	読み出し	書き込み
GCS2:0000-0000H	UART-CH#0	RBR/DLL	THR/DLL
GCS2:0000-0010H		IER/DLM	IER/DLM
GCS2:0000-0020H		IIR	FCR
GCS2:0000-0030H		LCR	LCR
GCS2:0000-0040H		MCR	MCR
GCS2:0000-0050H		LSR	LSR
GCS2:0000-0060H		MSR	MSR
GCS2:0000-0070H		SCR	SCR
GCS2:0000-1000H	UART-CH#1	RBR/DLL	THR/DLL
GCS2:0000-1010H		IER/DLM	IER/DLM
GCS2:0000-1020H		IIR	FCR
GCS2:0000-1030H		LCR	LCR
GCS2:0000-1040H		MCR	MCR
GCS2:0000-1050H		LSR	LSR
GCS2:0000-1060H		MSR	MSR
GCS2:0000-1070H		SCR	SCR
GCS2:0000-2000H	PRINTER(PPCS-)	DATA	DATA/ECPAFIFO
GCS2:0000-2010H		DSR	-----
GCS2:0000-2020H		DCR	DCR
GCS2:0000-2030H		EPPADDR	EPPADDR
GCS2:0000-2040H ~ GCS2:0000-2070H		EPPDATA	EPPDATA
GCS2:0000-3000H	PRINTER(ECPCS-)	PPDATAFIFO/ TESTFIFO/CNFGA	PPDATAFIFO/ TESTFIFO
GCS2:0000-3010H		CNFGB	-----
GCS2:0000-3020H		ECR	ECR

TL16PIR552 レジスタ配置

TL16PIR552 の XIN 入力には 22.1184MHz のクロックが接続されています。

UART-CH#0、UART-CH#1、PRINTER の各割り込みは割り込みコントローラを経由して、GINTO-[3:0]に出力することができます (「6.2.7 割り込み制御回路」参照)。

UART-CH#0 は JSIO1 コネクタに、UART-CH#1 は JSIO2 コネクタ、PRINTER は JPRT に接続しています。

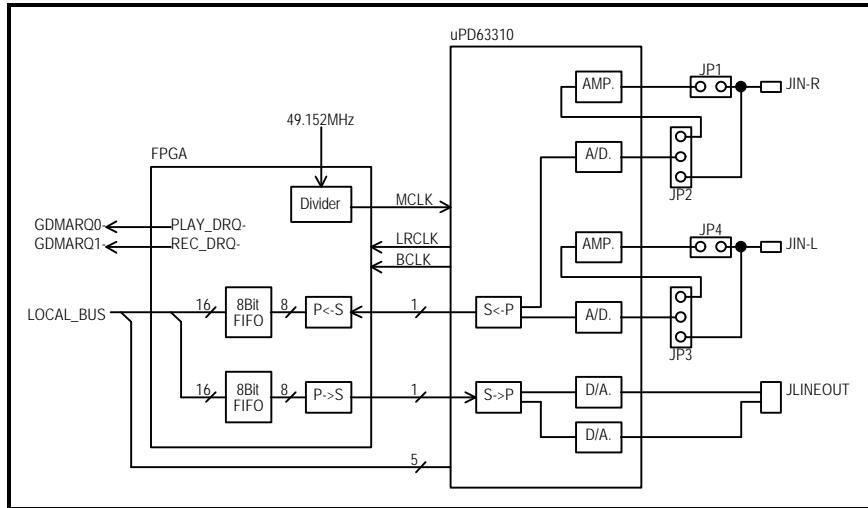
TL16PIR552 は、システム・リセットによってリセットされます。

6.2.6. Audio 回路

Audio 回路は、ステレオ音声の入力 / 出力が行えます。A/D,D/A コンバータには NEC 社製 μ PD63310 を使用し、分解能は 1 チャンネルあたり 16Bit、最大サンプリング・レートは 48KHz です。基本的に従来の弊社の RTE-V831-PC および RTE-V832-PC に搭載されていた Audio 機能と上位互換性を保つように設計されています。

以下の説明では、音声入力を「録音」、音声出力を「再生」と呼びます。

下図に Audio 回路のブロック図を示します。



uPD63310 は、入力回路にアンプを持っており、これを MIC 入力時に使用しています。入力が MIC 入力か LINE 入力かは JP1 ~ JP4 のジャンパ・スイッチで切り替えます（「5.5 Audio 入力切り替えジャンパ (JP1,JP2,JP3,JP4)」参照）。

録音時、A/D 変換されたデータはシリアル・データとして FPGA に送られ、8Bit データに変換されます。8Bit データは、最大 254Byte までキューイング可能なプログラマブルな 8Bit-FIFO に貯えられ、ローカル・バスから読み出しが行われると、2Byte 分のデータを一遍に読み出します。

逆に再生時は、ローカル・バスから書かれたデータは、最大 254Byte までキューイング可能なプログラマブルな 8Bit-FIFO に貯えられ、順次シリアル・データに変換され uPD63310 に送出されます。uPD63310 は受け取ったデータをパラレル・データに変換後、D/A 変換して出力します。

再生 / 録音のそれぞれの 8Bit-FIFO は、最大バイト数をプログラマブルに設定できるため、CPU のパフォーマンスとの兼合いで、どの程度の FIFO が必要なのかを評価することが可能です。

音声データの転送は、AUDIO_STATUS レジスタにある FIFO に関する情報によって、ソフト的に行うことも可能ですが、DMA で行うこともできます。DMA は GBUS の再生用として 0 チャンネルを、録音用として 1 チャンネルを使用します。

FIFO 自体は 8Bit 構成ですが、書き込み / 読み込みは 16Bit で行います。16Bit/8Bit の変換は内部回路が行っています。また、再生時の DMA 要求は FIFO に 2 バイト以上の空きがある時に、録音時の DMA 要求は FIFO に 2 バイト以上のデータがある時に発生します。

GBUS に対する DMA 要求は、対応する GDMAAK-がアクティブになるか、FIFO に対するライト・サイクルの GWAITI-が High とサンプルされた次の GCLK の立ち上がりからインアクティブになります。また、DMA サイクルは GWAITI-が High とサンプルされてから 8GCLK 繼続後終了し、終了後 4GCLK の間は再び GDMAQR-がアクティブなることはありません。これは、DMA がオーバーランするのを防ぐためです。

6.2.6.1.uPD63310 レジスタ (GCS2:0000-4000H ~ GCS2:0000-401FH)

uPD63310 のレジスタは、以下の通り割り付けられます。詳細は、uPD63310 のデータシートを参照してください。

アドレス	機能	D5	D4	D3	D2	D1	D0
GCS2:0000-4000H	アドレス・レジスタ	レジスタ番号					
GCS2:0000-4010H	データ・レジスタ	利得コントロール					

6.2.6.2. Audio 制御レジスタ (AUDIO_CONT GCS2:0000-5000H) [Read/Write]

Bit	信号名	RST	機能
0	PLAY ¹	0	0 : Audio の再生を停止する。 1 : Audio の再生を行う。
1	PLAY_UNDF_INTEN ²	0	0 : 再生用 FIFO のアンダーフロー発生時に割り込み要求を行わない。 1 : 再生用 FIFO のアンダーフロー発生時に割り込み要求を行う。
2	PLAY_OVRF_INTEN ²	0	0 : 再生用 FIFO のオーバーフロー発生時に割り込み要求を行わない。 1 : 再生用 FIFO のオーバーフロー発生時に割り込み要求を行う。
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	
8	REC ³	0	0 : Audio の録音を停止する。 1 : Audio の録音を行う。
9	REC_UNDF_INTEN ²	0	0 : 録音用 FIFO のアンダーフロー発生時に割り込み要求を行わない。 1 : 録音用 FIFO のアンダーフロー発生時に割り込み要求を行う。
10	REC_OVRF_INTEN ²	0	0 : 録音用 FIFO のオーバーフロー発生時に割り込み要求を行わない。 1 : 録音用 FIFO のオーバーフロー発生時に割り込み要求を行う。
11	未使用	x	
12	未使用	x	
13	未使用	x	
14	未使用	x	
15	AUDIO_RESET ⁴	0	0 : Audio 回路をリセットしない。 1 : Audio 回路を全てリセットする。

《注意事項》

- PLAY を”1”に設定すると、直ちに DMA 要求がアサートされ（マスクされていない場合）AUDIO_STATUS レジスタの PLAY_DOING ビットが”1”になります。
PLAY を”0”に設定すると、直ちに DMA 要求がディアサートされますが、FIFO 内にデータがあれば再生は継続し、AUDIO_STATUS レジスタの PALY_DOING ビットも”1”的状態を保持します。全ての FIFO 内データの再生が終わったところで、PLAY_DOING ビットが”0”になります。
また、一旦 PLAY に”1”を設定後、再生が始まる前に PLAY を”0”に設定した場合は、直ちに PLAY_DOING ビットも”0”になります。しかしこの場合、CPU ボードの DMA が有効になっている場合、タイミングによっては FIFO 内に再生データが残ってしまう場合があります。
- オーバーフロー / アンダーフローの発生による割り込み要求は、有効になっているものが全て OR されて、割り込みコントローラに送られます。割り込みコントローラを設定することで、この割り込みを GINTO-[3:0]に割り付けることができます（「6.2.7 割り込み制御回路」参照）。
- REC を”1”に設定すると、直ちに AUDIIO_STATUS レジスタの REC_DOING ビットが”1”になり、FIFO へのデータの取り込みが始まります。この状態で FIFO にデータが書き込まれると、DMA 要求がアサートされます。
REC を”0”に設定すると、直ちに DMA 要求がディアサートされます。このため、その時点で FIFO 内にデータが残っていた場合、そのデータは転送されずに FIFO 内に残ります。また、Audio データの取り込みは、データ（16Bit）の区切りまで継続し、このデータの取り込みが終わり FIFO に書き込まれた時に AUDIO_STATUS レジスタの REC_DOING ビットがますが”0”になります。
また、一旦 REC に”1”を設定後、録音が始まると REC を”0”に設定した場合は、直ちに REC_DOING ビットも”0”になります。しかしこの場合、タイミングによっては FIFO 内に録音データが残ってしまう場合があります。
- AUDIO_RESET により、uPD63310、再生用回路、録音用回路の全てがリセットされます。FIFO もフラッシュされた状態になります。AUDIO_RESET 以外に、再生用回路と録音用回路を個別にリセットする機能があります（「6.2.6.9 Audio 制御レジスタ 2 (AUDIO_CONT2 GCS2:0000-5070H) [Read/Write]」参照）。

6.2.6.3. Audio ステータス・レジスタ (AUDIO_STATUS GCS2:0000-5010H) [Read Only/Write Only]

Bit	信号名	RST	機能
0	PLAY_DOING ¹	0	0 : Audio の再生を行っていない。 1 : Audio の再生中。
1	PLAY_UNDF ^{2*4*5}	0	0 : 再生用 FIFO のアンダーフローが発生していない。 1 : 再生用 FIFO のアンダーフローが発生した。
2	PLAY_OVRF ^{3*4*5}	0	0 : 再生用 FIFO のオーバーフローが発生していない。 1 : 再生用 FIFO のオーバーフローが発生した。
3	未使用	x	
4	PLAY_FIFO_EMPTY ⁷	1	0 : 再生用の FIFO が空ではない。 1 : 再生用の FIFO が空。
5	PLAY_FIFO_HFULL ⁷	0	0 : 再生用の FIFO がハーフ・フル状態ではない。 1 : 再生用の FIFO がハーフ・フル状態。
6	PLAY_FIFO_FULL ⁷	0	0 : 再生用の FIFO がフル状態ではない。 1 : 再生用の FIFO がフル状態。
7	未使用	x	
8	REC_DOING ¹	0	0 : Audio の録音を行っていない。 1 : Audio の録音中。
9	REC_UNDF ^{2*4*6}	0	0 : 録音用 FIFO のアンダーフローが発生していない。 1 : 録音用 FIFO のアンダーフローが発生した。
10	REC_ORVF ^{3*4*6}	0	0 : 録音用 FIFO のオーバーフローが発生していない。 1 : 録音用 FIFO のオーバーフローが発生した。
11	未使用	x	
12	REC_FIFO_EMPTY ⁸	1	0 : 録音用の FIFO が空ではない。 1 : 録音用の FIFO が空。
13	REC_FIFO_HFULL ⁸	0	0 : 録音用の FIFO がハーフ・フル状態ではない。 1 : 録音用の FIFO がハーフ・フル状態。
14	REC_FIFO_FULL ⁸	0	0 : 録音用の FIFO がフル状態ではない。 1 : 録音用の FIFO がフル状態。
15	未使用	x	

《注意事項》

- PLAY_DOING と REC_DOING の各ビットの動きについては、それぞれ「6.2.6.2 Audio 制御レジスタ (AUDIO_CONT GCS2:0000-5000H) [Read/Write]」の PLAY と REC の注意事項を参照してください。
 - 再生 FIFO のアンダーフローは、uPD63310 へ送出するデータが再生 FIFO 内にない場合に発生します。録音 FIFO のアンダーフローは、録音 FIFO にデータがないにも関わらず、録音 FIFO の読み出しが行われた時に発生します。
 - 再生 FIFO のオーバーフローは、再生 FIFO が満杯なのにも関わらず、再生 FIFO に書き込みを行った時に発生します。録音 FIFO のオーバーフローは、録音 FIFO が満杯の状態なのにも関わらず、uPD63310 からの送出データを FIFO に書き込もうとした時に発生します。
 - FIFO が 8Bit 構成のため、アンダーフロー / オーバーフローの発生はバイト単位で検出されます。
 - PLAY_UNDF, PLAY_ORVF は、本レジスタの該当ビットに”1”を書き込むとクリアされます。また、再生用回路がリセットされることでもクリアされます（「6.2.6.9 Audio 制御レジスタ 2 (AUDIO_CONT2 GCS2:0000-5070H) [Read/Write]」参照）。
- PLAY_DOING, PLAY_UNDF, PLAY_ORVF の状態により、PLAY-LED が次のように点灯します。

PLAY_DOING	PLAY_UNDF	PLAY_ORVF	PLAY-LED
0	0	0	消灯
1	0	0	緑色
x	1	0	赤色
x	x	1	オレンジ色

- 6 . REC_UNDF, REC_ORVF は、本レジスタの該当ビットに”1”を書き込むとクリアされます。
 また、録音用回路がリセットされることでもクリアされます(「6.2.6.9 Audio 制御レジスタ 2
 (AUDIO_CONT2 GCS2:0000-5070H) [Read/Write]」参照)。
 REC_DOING, REC_UNDF, REC_ORVF の状態により、REC-LED が次のように点灯します。

REC_DOING	REC_UNDF	REC_ORVF	REC-LED
0	0	0	消灯
1	0	0	緑色
x	1	0	赤色
x	x	1	オレンジ色

- 7 . PLAY_FIFO_EMPTY は、FIFO 内に 1 バイトもデータがない時に”1”になります。
 PLAY_FIFO_FULL は、AUDIO_FIFO_FULL_LEVEL に設定した再生 FIFO の最大容量に対して、FIFO 内の空きが2バイト未満の時に”1”になります(「6.2.6.6 Audio FIFO_FULL_LEVEL 設定レジスタ (AUDIO_FIFO_FULL_LEVEL GCS2:0000-5040H) [Read/Write]」参照)。
 PLAY_FIFO_HFULL は、FIFO 内のデータ数が AUDIO_FIFO_HALF_LEVEL に設定した再生 FIFO の Half-Full 値より大きいか、等しい時にアクティブになります(「6.2.6.7 Audio FIFO_HALF_LEVEL 設定レジスタ (AUDIO_FIFO_HALF_LEVEL GCS2:0000-5050H) [Read/Write]」参照)。
 PLAY_FIFO_HFULL は、DMA を用いずにソフトウェアによりデータを転送する場合に、ブロック転送などで、複数のデータを一括で転送する場合の目安にします。
- 8 . REC_FIFO_EMPTY は、FIFO 内のデータが 2 バイト未満のときに”1”になります。
 REC_FIFO_FULL は、AUDIO_FIFO_FULL_LEVEL に設定した録音 FIFO の最大容量に対して、FIFO 内の1バイトも空きがない時に”1”になります(「6.2.6.6 Audio FIFO_FULL_LEVEL 設定レジスタ (AUDIO_FIFO_FULL_LEVEL GCS2:0000-5040H) [Read/Write]」参照)。
 REC_FIFO_HFULL は、FIFO 内のデータ数が AUDIO_FIFO_HALF_LEVEL に設定した録音 FIFO の Half-Full 値より大きいか、等しい時にアクティブになります(「6.2.6.7 Audio FIFO_HALF_LEVEL 設定レジスタ (AUDIO_FIFO_HALF_LEVEL GCS2:0000-5050H) [Read/Write]」参照)。
 REC_FIFO_HFULL は、DMA を用いずにソフトウェアによりデータを転送する場合に、ブロック転送などで、複数のデータを一括で転送する場合の目安にします。

6.2.6.4. Audio MCLKDIV 設定レジスタ (AUDIO_MCLKDIV GCS2:0000-5020H) [Read/Write]

Bit	信号名	RST	機能
0	MCLK_DIV0	0	MCLK_DIV[4:0]で、μPD63310へ入力するMCLKの周波数を決定します ^{*1} 。
1	MCLK_DIV1	1	
2	MCLK_DIV2	0	
3	MCLK_DIV3	0	
4	MCLK_DIV4	0	
5	未使用	x	
6	未使用	x	
7	未使用	x	
8	未使用	x	
9	未使用	x	
10	未使用	x	
11	未使用	x	
12	未使用	x	
13	未使用	x	
14	未使用	x	
15	未使用	x	

《注意事項》

1. MCLK_DIV[4:0]への設定値と、MCLK の周波数およびサンプリング・レートの関係について、下表に示します。

MCLK_DIV[4:0]	MCLK (MHz) 49.152MHz / (DIV+2)	サンプリング周期 (KHz) fs = MCLK / 256	転送バイト/秒 fs * 4
[0,0,0,0,0]	24.576MHz		
[0,0,0,1,0]	16.384MHz		
[0,0,0,1,0]	12.288MHz	48.0KHz	192.0KB/S
[0,0,0,1,1]	9.830MHz	38.4KHz	153.6KB/S
[0,0,1,0,0]	8.192MHz	32.0KHz	128.0KB/S
[0,0,1,0,1]	7.022MHz	27.5KHz	109.7KB/S
[0,0,1,1,0]	6.144MHz	24.0KHz	96.0KB/S
[0,0,1,1,1]	5.461MHz	21.3KHz	85.3KB/S
[0,1,0,0,0]	4.915MHz	19.2KHz	76.8KB/S
[0,1,0,0,1]	4.468MHz	17.5KHz	69.8KB/S
[0,1,0,1,0]	4.096MHz	16.0KHz	64.0KB/S
[0,1,0,1,1]	3.780MHz	14.8KHz	59.1KB/S
[0,1,1,0,0]	3.511MHz	13.7KHz	54.9KB/S
[0,1,1,0,1]	3.277MHz	12.8KHz	51.2KB/S
[0,1,1,1,0]	3.072MHz	12.0KHz	48.0KB/S
[0,1,1,1,1]	2.891MHz	11.3KHz	45.2KB/S
[1,0,0,0,0]	2.731MHz	10.7KHz	42.7KB/S
[1,0,0,0,1]	2.587MHz	10.1KHz	40.4KB/S
[1,0,0,1,0]	2.458MHz	9.6KHz	38.4KB/S
[1,0,0,1,1]	2.341MHz	9.1KHz	36.6KB/S
[1,0,1,0,0]	2.234MHz	8.7KHz	34.9KB/S
[1,0,1,0,1]	2.137MHz	8.3KHz	33.4KB/S
[1,0,1,1,0]	2.048MHz	8.0KHz	32.0KB/S
[1,0,1,1,1]	1.966MHz	7.7KHz	30.7KB/S
[1,1,0,0,0]	1.890MHz	7.4KHz	29.5KB/S
[1,1,0,0,1]	1.820MHz	7.1KHz	28.4KB/S
[1,1,0,1,0]	1.755MHz	6.9KHz	27.4KB/S
[1,1,0,1,1]	1.695MHz	6.6KHz	26.5KB/S
[1,1,1,0,0]	1.638MHz	6.4KHz	25.6KB/S
[1,1,1,0,1]	1.586MHz	6.2KHz	24.8KB/S
[1,1,1,1,0]	1.536MHz	6.0KHz	24.0KB/S
[1,1,1,1,1]	1.489MHz	5.8KHz	23.3KB/S

6.2.6.5.Audio FIFO (AUDIO_FIFO GCS2:0000-5030H) [Read/Write]

再生用および録音用の FIFO にアクセスするためのレジスタです。このレジスタへの書き込みは再生用の FIFO への書き込みになります。このレジスタからの読み出しが、録音用の FIFO からの読み出しになります。書き込みおよび読み出しが 16Bit アクセスで行ってください。

このレジスタへの奇数回目のアクセスは左チャンネル用のデータ、偶数回目のアクセスは右チャンネル用のデータになります。したがって、2 回のアクセスで 1 回分のステレオ・データ (32Bit) のデータを転送します。

また、DMA を用いて転送を行う場合は、DMA 対象アドレスとしてこのレジスタを指定してください。

なお、オーバーフロー状態の時に書き込まれたデータは無視されます。

6.2.6.6.Audio FIFO_FULL_LEVEL 設定レジスタ (AUDIO_FIFO_FULL_LEVEL GCS2:0000-5040H) [Read/Write]

Bit	信号名	RST	機能
0	PLAY_FIFO_FULL_LEVEL0	1	PLAY_FIFO_FULL_LEVEL[7:0]に再生用 FIFO の容量 (最大バイト数) を設定します ^{*1*2*3} 。 [再生 FIFO の容量 (バイト数)] = PLAY_FIFO_FULL_LEVEL[7:0]+1
1	PLAY_FIFO_FULL_LEVEL1	0	
2	PLAY_FIFO_FULL_LEVEL2	1	
3	PLAY_FIFO_FULL_LEVEL3	1	
4	PLAY_FIFO_FULL_LEVEL4	1	
5	PLAY_FIFO_FULL_LEVEL5	1	
6	PLAY_FIFO_FULL_LEVEL6	1	
7	PLAY_FIFO_FULL_LEVEL7	1	
8	REC_FIFO_FULL_LEVEL0	1	REC_FIFO_FULL_LEVEL[7:0]に録音用 FIFO の容量 (最大バイト数) を設定します ^{*1*2*3} 。 [録音 FIFO の容量 (バイト数)] = REC_FIFO_FULL_LEVEL[7:0]+1
9	REC_FIFO_FULL_LEVEL1	0	
10	REC_FIFO_FULL_LEVEL2	1	
11	REC_FIFO_FULL_LEVEL3	1	
12	REC_FIFO_FULL_LEVEL4	1	
13	REC_FIFO_FULL_LEVEL5	1	
14	REC_FIFO_FULL_LEVEL6	1	
15	REC_FIFO_FULL_LEVEL7	1	

《注意事項》

- PLAY_FIFO_FULL_LEVEL[7:0] および REC_FIFO_FULL_LEVEL[7:0]への設定値は必ず奇数でなければなりません。
- PLAY_FIFO_FULL_LEVEL[7:0] および REC_FIFO_FULL_LEVEL[7:0]への設定値の最小値は 01H、最大値は FDH です。また、設定値と FIFO の容量 (バイト数) との関係は次式になります。

$$[\text{FIFO の容量 (バイト数)}] = [\text{xxx_FIFO_FULL_LEVEL[7:0]への設定値}] + 1$$
 したがって、FIFO の最少容量は 2 バイト、最大容量は 254 バイトになります。
- このレジスタに設定した値により、AUDIO_STATUS レジスタの PLAY_FIFO_FULL, REC_FIFO_FULL, PLAY_ORVF, REC_ORVF が生成されます。

6.2.6.7.Audio FIFO_HALF_LEVEL 設定レジスタ (AUDIO_FIFO_HALF_LEVEL GCS2:0000-5050H)

[Read/Write]

Bit	信号名	RST	機能
0	PLAY_FIFO_HALF_LEVEL0	1	PLAY_FIFO_HALF_LEVEL[7:0]に再生用 FIFO の Half-Full 値 (バイト数) を設定します ^{1,2} 。 [再生 FIFO の Half-Full 値 (バイト数)] = PLAY_FIFO_HALF_LEVEL[7:0]+ 1
1	PLAY_FIFO_HALF_LEVEL1	1	
2	PLAY_FIFO_HALF_LEVEL2	1	
3	PLAY_FIFO_HALF_LEVEL3	1	
4	PLAY_FIFO_HALF_LEVEL4	1	
5	PLAY_FIFO_HALF_LEVEL5	1	
6	PLAY_FIFO_HALF_LEVEL6	1	
7	PLAY_FIFO_HALF_LEVEL7	0	
8	REC_FIFO_HALF_LEVEL0	1	REC_FIFO_HALF_LEVEL[7:0]に録音用 FIFO の Half-Full 値 (バイト数) を設定します ^{1,2} 。 [録音 FIFO の Half-Full 値 (バイト数)] = REC_FIFO_HALF_LEVEL[7:0]+ 1
9	REC_FIFO_HALF_LEVEL1	1	
10	REC_FIFO_HALF_LEVEL2	1	
11	REC_FIFO_HALF_LEVEL3	1	
12	REC_FIFO_HALF_LEVEL4	1	
13	REC_FIFO_HALF_LEVEL5	1	
14	REC_FIFO_HALF_LEVEL6	1	
15	REC_FIFO_HALF_LEVEL7	0	

《注意事項》

- 1 . PLAY_FIFO_HALF_LEVEL[7:0]および REC_FIFO_HALF_LEVEL[7:0]への設定値の最小値は 01H、最大値は FDH です。また、設定値と FIFO の Half-Full 値 (バイト数)との関係は次式になります。
[FIFO の Half-Full 値 (バイト数)] = [xxx_FIFO_HALF_LEVEL[7:0]への設定値] + 1
したがって、FIFO の Half-Full 値の最少は 2 バイト、最大は 254 バイトになります。
- 2 . このレジスタに設定した値により、AUDIO_STATUS レジスタの PLAY_FIFO_HFULL, REC_FIFO_HFULL が生成されます。

6.2.6.8.Audio FIFO_DEPTH レジスタ (AUDIO_FIFO_DEPTH GCS2:0000-5060H) [Read Only]

Bit	信号名	RST	機能
0	PLAY_FIFO_DEPTH0	1	再生用 FIFO に入っているデータのバイト数です ¹ 。 [再生 FIFO の残留バイト数] = PLAY_FIFO_DEPTH[7:0]+ 1
1	PLAY_FIFO_DEPTH1	1	
2	PLAY_FIFO_DEPTH2	1	
3	PLAY_FIFO_DEPTH3	1	
4	PLAY_FIFO_DEPTH4	1	
5	PLAY_FIFO_DEPTH5	1	
6	PLAY_FIFO_DEPTH6	1	
7	PLAY_FIFO_DEPTH7	1	
8	REC_FIFO_DEPTH0	1	録音用 FIFO に入っているデータのバイト数です ¹ 。 [録音 FIFO の残留バイト数] = REC_FIFO_DEPTH[7:0]+ 1
9	REC_FIFO_DEPTH1	1	
10	REC_FIFO_DEPTH2	1	
11	REC_FIFO_DEPTH3	1	
12	REC_FIFO_DEPTH4	1	
13	REC_FIFO_DEPTH5	1	
14	REC_FIFO_DEPTH6	1	
15	REC_FIFO_DEPTH7	1	

《注意事項》

- 1 . PLAY_FIFO_DEPTH[7:0]および REC_FIFO_DEPTH[7:0]と FIFO に残留しているデータのバイト数との関係は次式になります。
[FIFO の残留バイト数] = [xxx_FIFO_DEPTH[7:0]への設定値] + 1
ただし、xxx_FIFO_DEPTH[7:0]の値が FFH の時は、FIFO に残留しているデータがないことを示します。

6.2.6.9. Audio 制御レジスタ2 (AUDIO_CONT2 GCS2:0000-5070H) [Read/Write]

Bit	信号名	RST	機能
0	PLAY_HFULL_INTEN ¹	0	0: 再生用 FIFO のデータ数が Half-Full 未満の時、割り込み要求を行わない。 1: 再生用 FIFO のデータ数が Half-Full 未満の時、割り込み要求を行う。
1	未使用	x	
2	未使用	x	
3	未使用	x	
4	PLAY_RESET ²	0	0: 再生用の回路をリセットしない。 1: 再生用の回路をリセットする。
5	未使用	x	
6	未使用	x	
7	未使用	x	
8	REC_HFULL_INTEN ³	0	0: 録音用 FIFO のデータ数が Half-Full 以上の時、割り込み要求を行わない。 1: 録音用 FIFO のデータ数が Half-Full 以上の時、割り込み要求を行う。
9	未使用	x	
10	未使用	x	
11	未使用	x	
12	REC_RESET ²	0	0: 録音用の回路をリセットしない。 1: 録音用の回路をリセットする。
13	未使用	x	
14	未使用	x	
15	BUS8_16 ⁴	0	0: FIFO へのアクセスを 16Bit 幅で行う。 1: FIFO へのアクセスを 8Bit 幅で行う (設定禁止)。

《注意事項》

- PLAY_HFULL_INTEN を”1”に設定すると、PLAY_FIFO_HALF_LEVEL[7:0]に設定した値より再生用 FIFO 内のデータ数が小さくなると割り込みが発生するようになります。この割り込みは再生中でなくとも FIFO の状態に対応して発生します。
- PLAY_RESET に”1”を設定すると、再生用回路のみハード的にリセットされます。また REC_RESET に”1”を設定すると、録音用回路のみハード的にリセットされます。PLAY_RESET および REC_RESET によって、uPD63310 はリセットされません。uPD63310 は AUDIO_CONT レジスタの AUDIO_RESET によってリセットすることができます（「6.2.6.2 Audio 制御レジスタ (AUDIO_CONT GCS2:0000-5000H) [Read/Write]」参照）。また、PLAY_RESET および REC_RESET は、”1”に設定後”0”に設定を戻さないと、リセット状態が解除されません。

下表に各リセット・ビットと、リセットされる回路の関係を示します。

制御ビット	uPD63310	再生用回路	録音用回路
AUDIO_CONT の AUDIO_RESET	Reset	Reset	Reset
AUDIO_CONT2 の PLAY_RESET	---	Reset	---
AUDIO_CONT2 の REC_RESET	---	---	Reset

- REC_HFULL_INTEN を”1”に設定すると、録音用 FIFO 内のデータ数が REC_FIFO_HALF_LEVEL[7:0]に設定した値以上になると割り込みが発生するようになります。この割り込みは録音中でなくとも FIFO の状態に対応して発生します。
- BUS8_16-は、”1”に設定しないでください。

6.2.6.10.Audio ステータス・レジスタ2 (AUDIO_STATUS2 GCS2:0000-5080H) [Read Only]

Bit	信号名	RST	機能
0	未使用	x	
1	PLAY_UNDF2 ¹	0	0 : 再生用 FIFO のオーバーフローが発生していない。 1 : 再生用 FIFO のオーバーフローが発生した。
2	未使用	x	
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	
8	未使用	x	
9	未使用	x	
10	REC_OVRF2 ²	0	0 : 録音用 FIFO のオーバーフローが発生していない。 1 : 録音用 FIFO のオーバーフローが発生した。
11	未使用	x	
12	未使用	x	
13	未使用	x	
14	未使用	x	
15	未使用	x	

《注意事項》

- PLAY_UNDF2 および REC_OVRF2 はそれぞれ Audio ステータス・レジスタの PLAY_UNDF と REC_OVRF と同じものです。

6.2.7. 割り込み制御回路

割り込み制御回路は、マザー・ボード上で発生する全ての割り込みを組み合わせ、最終的に GINTO-[3:0]に集約する回路です。

6.2.7.1. 割り込みリソースと概要

マザー・ボード上の割り込みの種類と、割り込み制御回路の制御内容を下表に示します。

下表にある「ポラリティ制御」とは、割り込み線が High アクティブ / Low アクティブ、もしくは立ち上がり / 立ち下がりのどちらにでも対応できる機能を示します。

また、「レベル / エッジ選択」とは、割り込み線がレベル・センシティブでもエッジ・センシティブであっても対応できる機能を示します。

割り込みリソース	ポラリティ 制御	レベル / エッジ 選択	備考
TL16PIR552 の UART0	無し	無し (レベル)	TL16PIR552 の INTRPT0 端子が High の時割り込み発生
TL16PIR552 の UART1	無し	無し (レベル)	TL16PIR552 の INTRPT1 端子が High の時割り込み発生
TL16PIR552 の PRINTER	有り	有り	TL16PIR552 の PINTR-端子がそのまま接続
AUDIO	無し	無し (レベル)	Audio 回路の全ての割り込み OR
PCI9080 の LINT0	無し	無し (レベル)	PCI9080 の LINT0-端子が Low の時割り込み発生
GBUS の GINTI0-	有り	有り	GBUS の GINTI0-端子がそのまま接続 (下記参照)
GBUS の GINTI1-	有り	有り	GBUS の GINTI1-端子がそのまま接続 (下記参照)
ISA の INTR 割り込み	無し	無し (レベル)	ISA-BUS の INTR 割り込み (下記参照)
ISA の NMI 割り込み	無し	無し (レベル)	M1523B (SouthBridge) の NMI 端子が High の時割り込み発生
SB82558(LAN)の INTA	有り	有り	SB82558 の INTA-端子がそのまま接続 (下記参照)
PCI9080 の LSERR	無し	無し (レベル)	PCI9080 の LSERR-端子が Low の時割り込み発生
PCI バスの Parity Error	無し	無し (エッジ)	PCI バス上のパリティ・エラーの発生による割り込み
Timeover Ready	無し	無し (エッジ)	タイムオーバー・レディーの発生で割り込み発生
PCI スロット#1 の INTA	有り	有り	PCI スロット#1 の INTA-がそのまま接続 (下記参照)
PCI スロット#1 の INTB	有り	有り	PCI スロット#1 の INTB-がそのまま接続 (下記参照)
PCI スロット#1 の INTC	有り	有り	PCI スロット#1 の INTC-がそのまま接続 (下記参照)
PCI スロット#1 の INTD	有り	有り	PCI スロット#1 の INTD-がそのまま接続 (下記参照)
PCI スロット#2 の INTA	有り	有り	PCI スロット#2 の INTA-がそのまま接続 (下記参照)
PCI スロット#2 の INTA	有り	有り	PCI スロット#2 の INTA-がそのまま接続 (下記参照)
PCI スロット#2 の INTB	有り	有り	PCI スロット#2 の INTB-がそのまま接続 (下記参照)
PCI スロット#2 の INTC	有り	有り	PCI スロット#2 の INTC-がそのまま接続 (下記参照)
PCI スロット#2 の INTD	有り	有り	PCI スロット#2 の INTD-がそのまま接続 (下記参照)
EXT-BUS の EXT_INT0	有り	有り	EXT-BUS の EXT_INT0-端子がそのまま接続
EXT-BUS の EXT_INT1	有り	有り	EXT-BUS の EXT_INT1-端子がそのまま接続
EXT-BUS の EXT_INT2	有り	有り	EXT-BUS の EXT_INT2-端子がそのまま接続
EXT-BUS の EXT_INT3	有り	有り	EXT-BUS の EXT_INT3-端子がそのまま接続
USB0 の Over Current	有り	有り	USB チャンネル 0 の電流オーバー発生時に端子が Low
USB1 の Over Current	有り	有り	USB チャンネル 1 の電流オーバー発生時に端子が Low
PCMCIA の Over Current	有り	有り	PCMCIA の電流オーバー発生時に端子が Low

GBUS の GINTI0-および GINTI1-端子には、通常 CPU ボード上に搭載されている uPD71054 (タイマ) の OUT0 および OUT1 が接続されます。

ISA の INTR 割り込みは、下記のように CPU ボードに供給されます。

- 1) M1523B (SouthBridge) の内部の割り込みコントローラ (i8259 互換) が割り込みを検出し、M1523B の INTR 端子がアクティブになります。
- 2) マザーボードの回路が、M1523B の INTR 端子がアクティブであるのを検出し、PCI バス

上で割り込みアクノリッジ・サイクルを発生させ、M1523B から割り込みベクタを取得します。

- 3) マザーボードの回路は、割り込みベクタの取得が完了すると、マザーボードの割り込みコントローラに対して、ISA_INTR 割り込みを要求します。
- 4) マザーボードの割り込みコントローラは、ISA_INTR がアサートされると、割り込みコントローラの設定に従い、GINTx-をアサートします。

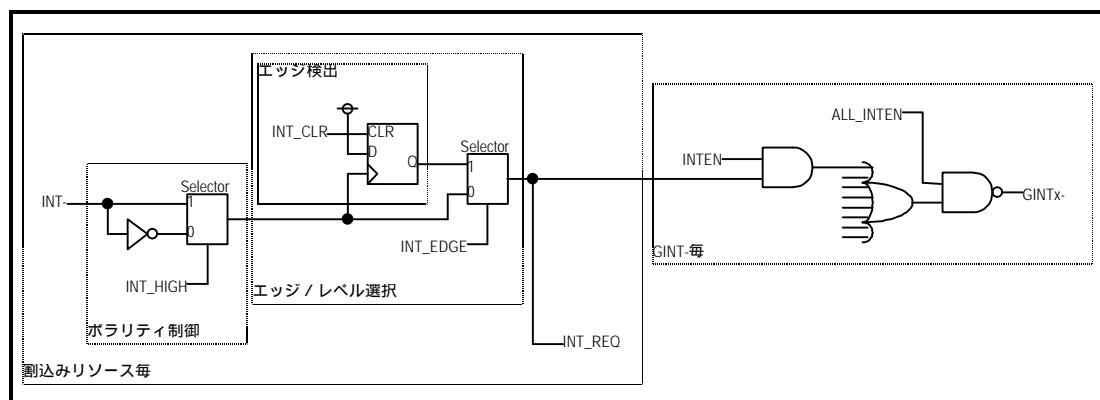
CPU ボードは ISA の INTR 割り込みが発生した場合、次のように処理します。

- 1] 割り込みベクタを読み出し、該当する割り込み処理を行います。
- 2] M1523B の割り込みコントローラに対して、EOI (End Of Interrupt) 処理を行います。
- 3] マザーボードの割り込みコントローラに対して、ISA_INTR のクリア処理を行います。

ISA_INTR のクリア処理が行われた段階で、M1523B がまだ INTR 端子をアサートしている場合は、上記 2) に戻り処理が継続します。

SB82558 (LAN コントローラ) の割り込みと PCI バス・スロットの割り込みは、本来レベル・センシティブで Low の時に割り込みになります。したがって、通常はこのモードで使用しますが、レベル・センシティブでは対応できない場合を考慮し、エッジ・センシティブへの切り替えや、ポラリティ選択が行えるようになっています。

各割り込みは下図のような構成になっています。



各リソースからの割り込み要求は、各割り込みリソースに必要な、ポラリティ制御回路、エッジ検出回路、エッジ / レベル選択回路を経由した後、全ての割り込みリソースの割り込み要求が OR され、最後に ALL_MASK と AND された後、GINT-[3:0]に接続します。
ALL_MASK の機能は、CPU のエッジ・センシティブな割り込み要求端子に GINT-[3:0] が接続されている場合に多重割り込みに対応するためです。この様なケースの割り込み処理の最後に ALL_MASK を一旦マスクすることで、GINT-[3:0] にエッジを発生させることができます。

6.2.7.2.割り込みステータス・レジスタ0 (INT_STATUS0 GCS2:0000-6000H) [Read Only]

Bit	信号名	RST	機能
0	未使用	x	
1	UART0_INTRQ	0	0 : TL16PRI552 の UART0 から割り込み要求がない。 1 : TL16PRI552 の UART0 から割り込み要求がある。
2	UART1_INTRQ	0	0 : TL16PRI552 の UART1 から割り込み要求がない。 1 : TL16PRI552 の UART1 から割り込み要求がある。
3	PRT_INTRQ	0	0 : TL16PRI552 の PRINTER から割り込み要求がない。 1 : TL16PRI552 の PRINTER から割り込み要求がある。
4	AUDIO_INTRQ ²	0	0 : AUDIO から割り込み要求がない。 1 : AUDIO から割り込み要求がある。
5	P9_LINT_INTRQ ³	0	0 : PCI9080 の LINT0-による割り込み要求がない。 1 : PCI9080 の LINT0-による割り込み要求がある。
6	GINTI0_INTRQ	0	0 : GBUS の GINTI0-による割り込み要求がない。 1 : GBUS の GINTI0-による割り込み要求がある。
7	GINTI1_INTRQ	0	0 : GBUS の GINTI1-による割り込み要求がない。 1 : GBUS の GINTI1-による割り込み要求がある。
8	ISAINTR_INTRQ ⁴	0	0 : ISA バスの INTR による割り込み要求がない。 1 : ISA バスの INTR による割り込み要求がある。
9	ISANMI_INTRQ ⁵	0	0 : ISA バスの NMI による割り込み要求がない。 1 : ISA バスの NMI による割り込み要求がある。
10	LAN_INTRQ	0	0 : SB82558 の INTA-による割り込み要求がない。 1 : SB82558 の INTA-による割り込み要求がある。
11	P9_LSERR_INTRQ ^{6,7}	0	0 : PCI9080 の LSERR-による割り込み要求がない。 1 : PCI9080 の LSERR-による割り込み要求がある。
12	PCI_PERR_INTRQ ⁷	0	0 : PCI バス上のパリティ・エラーの発生による割り込み要求がない。 1 : PCI バス上のパリティ・エラーの発生による割り込み要求がある。
13	TOVRDY_INTRQ	0	0 : タイムオーバー・レディーの発生による割り込み要求がない。 1 : タイムオーバー・レディーの発生による割り込み要求がある。
14	ABORT_ERR_INTRQ ⁸	0	0 : アボート・ターミネーションの発生による割り込み要求がない。 1 : アボート・ターミネーションの発生による割り込み要求がある。
15	BACKOFF_ERR_INTRQ ⁸	0	0 : パックオフの発生による割り込み要求がない。 1 : パックオフの発生による割り込み要求がある。

《注意事項》

1. 全てのINTRQ は、全てのGINTO-[3:0]に共通です。また、本レジスタから読み出せるINTRQ は、本コントローラによってマスクされる前の信号です。したがって、GINTO-[3:0]に対して割り込みを要求しているリソースを特定するためには、割り込みステータス・レジスタの内容と、GINTO-[3:0]個別に設定している割り込みイネーブル・レジスタの設定内容とを AND しなければなりません。
2. AUDIO からの割り込み要求は、FIFO のオーバーフロー・アンダーフローなど、複数の割り込み要因によります。
3. PCI9080 の LINT0-端子による割り込みは、複数の割り込み要因が PCI9080 内で複合された結果です（「6.3.4 PCI9080」参照）。
4. ISA バスからのINTR による割り込みは、PC/AT 互換機(DOS/V 機)において、CPU のINTR 端子に対して要求される割り込み要因です。割り込み要因の複合は M1523B (SouthBridge) 内で行われています（「6.3.8 M1523B (SouthBridge)」参照）。
5. ISA バスからのNMI による割り込みは、PC/AT 互換機(DOS/V 機)において、CPU のNMI 端子に対して要求される割り込み要因です。割り込み要因の複合は M1523B (SouthBridge) 内で行われています（「6.3.8 M1523B (SouthBridge)」参照）。
6. PCI9080 の LSERR-端子による割り込みは、複数の割り込み要因が PCI9080 内で複合された結果です（「6.3.4 PCI9080」参照）。
7. PCI_PERR_INTRQ は、PCI バス上で PERR#信号によってパリティ・エラーが通知されると、発生する割り込み要求です。パリティ・エラーは、PCI バス・マスターにより PCI バス上の SERR#信号に置き換えられる場合があるため、PCI_PERR_INTRQ は P9_LSERR_INTRQ と

共に発生する場合があります。

8 . ABORT_ERR_INTRQ と BACKOFF_ERR_INTRQ は、PCI バスのアクセスに関連して発生するエラーです。詳しくは「6.3.4.6 アボート・エラー」と「6.3.4.7 バックオフ・エラー」を参照してください。

6.2.7.3.割り込みクリア・レジスタ0 (INT_CLEAR0 GCS2:0000-6010H) [Write Only]

Bit	信号名	RST	機能
0	未使用	x	
1	未使用	x	
2	未使用	x	
3	PRT_INTCLR	x	0 : TL16PRI552 の PRINTER から割り込み要求をクリアしない。 1 : TL16PRI552 の PRINTER から割り込み要求をクリアする。
4	未使用	x	
5	未使用	x	
6	GINTIO_INTCLR	x	0 : GBUS の GINTIO-による割り込み要求をクリアしない。 1 : GBUS の GINTIO-による割り込み要求をクリアする。
7	GINTI1_INTCLR	x	0 : GBUS の GINTI1-による割り込み要求をクリアしない。 1 : GBUS の GINTI1-による割り込み要求をクリアする。
8	ISAINTR_INTCLR ²	x	0 : ISA バスの INTR による割り込み要求をクリアしない。 1 : ISA バスの INTR による割り込み要求をクリアする。
9	未使用	x	
10	LAN_INTCLR	x	0 : SB82558 の INTA-による割り込み要求をクリアしない。 1 : SB82558 の INTA-による割り込み要求をクリアする。
11	未使用	x	
12	PCI_PERR_INTCLR	x	0 : PCI バス上のパリティ・エラーの発生による割り込み要求をクリアしない。 1 : PCI バス上のパリティ・エラーの発生による割り込み要求がある。
13	TOVRDY_INTCLR	x	0 : タイムオーバー・レディーの発生による割り込み要求をクリアしない。 1 : タイムオーバー・レディーの発生による割り込み要求をクリアする。
14	ABORT_ERR_INTCLR	x	0 : アポート・ターミネーションの発生による割り込み要求をクリアしない。 1 : アポート・ターミネーションの発生による割り込み要求をクリアする。
15	BACKOFF_ERR_INTCLR	x	0 : バックオフの発生による割り込み要求をクリアしない。 1 : バックオフの発生による割り込み要求をクリアする。。

《注意事項》

- INTCLR は、エッジ検出回路で保持している割り込み要求をクリアするためのビットです。エッジ / レベル割り込みの選択が行える割り込みリソースの場合、レベル割り込みを選択している時に本レジスタの該当ビットに”1”を書き込んで、INTRQ はクリアされません。
- ISAINTR_INTCLR に”1”を書き込む前に、M1523B (SouthBridge) 内の割り込みコントローラに対して、EOI (End Of Interrupt) の処理を行ってください。ISAINTR_INTCLR に”1”を書き込んだ時に、M1523B からの割り込み要求がアクティブだった場合、ハードウェアは PCI バス上に割り込みアクノリッジ・サイクルを発生させ、ベクタの取得を行います。ベクタが取得できた時点で、再び ISAINTR_INTRQ がアクティブになります。
この M1523B に対する EOI 発行と、ISAINTR_INTCLR へ”1”を書き込む間では、PCI 上の資源（例えば M1523B 内の割り込みコントローラのマスク・レジスタ等）の読み出しを行ってください。これは次のような問題を回避するためです。PCI バスの状況によっては、M1523B に対して EOI を発行した後、M1523B から出力される割り込み線がインアクティブになるまで時間がかかる場合があります。したがって、EOI 発行直後に ISAINTR_INTCLR へ”1”を書き込むと、M1523B の割り込み線が EOI によりインアクティブになる前のアクティブ状態によって、再び割り込み要求を行ってしまうことがあります。

6.2.7.4.割り込みエッジ指定レジスタ0 (INT_EDGE0 GCS2:0000-6020H) [Read/Write]

Bit	信号名	RST	機能
0	未使用	x	
1	未使用	x	
2	未使用	x	
3	PRT_INTEDGE ²	0	0 : TL16PRI552 の PRINTER から割り込み要求はレベル。 1 : TL16PRI552 の PRINTER から割り込み要求はエッジ。
4	未使用	x	
5	未使用	x	
6	GINTIO_INTEDGE	0	0 : GBUS の GINTIO-による割り込み要求はレベル。 1 : GBUS の GINTIO-による割り込み要求はエッジ。
7	GINTI1_INTEDGE	0	0 : GBUS の GINTI1-による割り込み要求はレベル。 1 : GBUS の GINTI1-による割り込み要求はエッジ。
8	未使用	x	
9	未使用	x	
10	LAN_INTEDGE ³	0	0 : SB82558 の INTA-による割り込み要求はレベル。 1 : SB82558 の INTA-による割り込み要求はエッジ。
11	未使用	x	
12	未使用	x	
13	未使用	x	
14	未使用	x	
15	未使用	x	

《注意事項》

- 1 . INTEDGE は、割り込みリソースからの割り込み要求が、エッジ・モードかレベル・モードかを設定するレジスタです。
エッジ検出回路は、このレジスタの設定に関らず、エッジ検出結果を保持しています。このレジスタの設定をレベルからエッジに切り替える場合は、切り替え前に該当する INTCLR によりエッジ検出回路をクリアすることを推奨します。
- 2 . TL16PRI552 のプリンタからの割り込みは、プリンタ・ポートのモードによってエッジ・モード、レベル・モードを使い分けます。
- 3 . SB82558 (LAN コントローラ) からの割り込みは、PCI バスの規格に従っていますので、レベル・モードで使用してください。

6.2.7.5.割り込みポラリティ指定レジスタ0 (INT_POLARITY0 GCS2:0000-6030H) [Read/Write]

Bit	信号名	RST	機能
0	未使用	x	
1	未使用	x	
2	未使用	x	
3	PRT_INTHIGH	0	0 : TL16PRI552 の PRINTER から割り込み要求は Low / 立ち下がり。 1 : TL16PRI552 の PRINTER から割り込み要求は High / 立ち上がり。
4	未使用	x	
5	未使用	x	
6	GINTIO_INTHIGH	0	0 : GBUS の GINTIO-による割り込み要求は Low / 立ち下がり。 1 : GBUS の GINTIO-による割り込み要求は High / 立ち上がり。
7	GINTI1_INTHIGH	0	0 : GBUS の GINTI1-による割り込み要求は Low / 立ち下がり。 1 : GBUS の GINTI1-による割り込み要求は High / 立ち上がり。
8	未使用	x	
9	未使用	x	
10	LAN_INTHIGH ^{*2}	0	0 : SB82558 の INTA-による割り込み要求は Low / 立ち下がり。 1 : SB82558 の INTA-による割り込み要求は High / 立ち上がり。
11	未使用	x	
12	未使用	x	
13	未使用	x	
14	未使用	x	
15	未使用	x	

《注意事項》

- 1 . INTHIGH は、割り込みリソースからの割り込み要求のポラリティの設定を行います。INTEDGE の設定がエッジ・モードの場合、INTHIGH の設定により立ち上がりエッジと立ち下がりエッジのいずれかが選択できます。INTEDGE の設定がレベル・モードの場合、INTHIGH の設定により、Low アクティブと High アクティブのいずれかが選択できます。INTEDGE でエッジ・モードを指定している場合、ポラリティの設定の変更により、エッジ検出回路がエッジを検出してしまうことがあります。したがって、このレジスタの設定を切り替える場合は、切り替え後に該当する INTCLR によりエッジ検出回路をクリアすることを推奨します。
- 2 . SB82558(LAN コントローラ)からの割り込みは、PCI バスの規格に従っていますので、Low レベルで使用してください。

6.2.7.6.割り込みステータス・レジスタ1 (INT_STATUS1 GCS2:0000-6040H) [Read Only]

Bit	信号名	RST	機能
0	PCI1_INTA_INTRQ	0	0 : PCI スロット 1 の INTA-による割り込み要求がない。 1 : PCI スロット 1 の INTA-による割り込み要求がある。
1	PCI1_INTB_INTRQ	0	0 : PCI スロット 1 の INTB-による割り込み要求がない。 1 : PCI スロット 1 の INTB-による割り込み要求がある。
2	PCI1_INTC_INTRQ	0	0 : PCI スロット 1 の INTC-による割り込み要求がない。 1 : PCI スロット 1 の INTC-による割り込み要求がある。
3	PCI1_INTD_INTRQ	0	0 : PCI スロット 1 の INTD-による割り込み要求がない。 1 : PCI スロット 1 の INTD-による割り込み要求がある。
4	PCI2_INTA_INTRQ	0	0 : PCI スロット 2 の INTA-による割り込み要求がない。 1 : PCI スロット 2 の INTA-による割り込み要求がある。
5	PCI2_INTB_INTRQ	0	0 : PCI スロット 2 の INTB-による割り込み要求がない。 1 : PCI スロット 2 の INTB-による割り込み要求がある。
6	PCI2_INTC_INTRQ	0	0 : PCI スロット 2 の INTC-による割り込み要求がない。 1 : PCI スロット 2 の INTC-による割り込み要求がある。
7	PCI2_INTD_INTRQ	0	0 : PCI スロット 2 の INTD-による割り込み要求がない。 1 : PCI スロット 2 の INTD-による割り込み要求がある。
8	EXT_INT0_INTRQ ²	0	0 : EXT バスの EXT_INT0-による割り込み要求がない。 1 : EXT バスの EXT_INT0-による割り込み要求がある。
9	EXT_INT1_INTRQ	0	0 : EXT バスの EXT_INT1-による割り込み要求がない。 1 : EXT バスの EXT_INT1-による割り込み要求がある。
10	EXT_INT2_INTRQ	0	0 : EXT バスの EXT_INT2-による割り込み要求がない。 1 : EXT バスの EXT_INT2-による割り込み要求がある。
11	EXT_INT3_INTRQ	0	0 : EXT バスの EXT_INT3-による割り込み要求がない。 1 : EXT バスの EXT_INT3-による割り込み要求がある。
12	USB0_OC_INTRQ	0	0 : USB0 のオーバー・カレントによる割り込み要求がない。 1 : USB0 のオーバー・カレントによる割り込み要求がある。
13	USB1_OC_INTRQ	0	0 : USB1 のオーバー・カレントによる割り込み要求がない。 1 : USB1 のオーバー・カレントによる割り込み要求がある。
14	PCMCIA_OC_INTRQ	0	0 : PCMCIA のオーバー・カレントによる割り込み要求がない。 1 : PCMCIA のオーバー・カレントによる割り込み要求がある。
15	未使用	x	

《注意事項》

1. 全ての INTRQ は、全ての GINTO-[3:0]に共通です。また、本レジスタから読み出せる INTRQ は、本コントローラによってマスクされる前の信号です。したがって、GINTO-[3:0]に対して割り込みを要求しているリソースを特定するためには、割り込みステータス・レジスタの内容と、GINTO-[3:0]個別に設定している割り込みイネーブル・レジスタの設定内容とを AND しなければなりません。
2. 16Bit 用の EXT-BUS(JEXT16 コネクタ)を使用する場合、EXT-BUS の割り込みは、EXT_INT0 に接続されます。

6.2.7.7.割り込みクリア・レジスタ1 (INT_CLEAR1 GCS2:0000-6050H) [Write Only]

Bit	信号名	RST	機能
0	PCI1_INTA_INTCLR	x	0 : PCI スロット 1 の INTA-による割り込み要求をクリアしない。 1 : PCI スロット 1 の INTA-による割り込み要求をクリアする。
1	PCI1_INTB_INTCLR	x	0 : PCI スロット 1 の INTB-による割り込み要求をクリアしない。 1 : PCI スロット 1 の INTB-による割り込み要求をクリアする。
2	PCI1_INTC_INTCLR	x	0 : PCI スロット 1 の INTC-による割り込み要求をクリアしない。 1 : PCI スロット 1 の INTC-による割り込み要求をクリアする。
3	PCI1_INTD_INTCLR	x	0 : PCI スロット 1 の INTD-による割り込み要求をクリアしない。 1 : PCI スロット 1 の INTD-による割り込み要求をクリアする。
4	PCI2_INTA_INTCLR	x	0 : PCI スロット 2 の INTA-による割り込み要求をクリアしない。 1 : PCI スロット 2 の INTA-による割り込み要求をクリアする。
5	PCI2_INTB_INTCLR	x	0 : PCI スロット 2 の INTB-による割り込み要求をクリアしない。 1 : PCI スロット 2 の INTB-による割り込み要求をクリアする。
6	PCI2_INTC_INTCLR	x	0 : PCI スロット 2 の INTC-による割り込み要求をクリアしない。 1 : PCI スロット 2 の INTC-による割り込み要求をクリアする。
7	PCI2_INTD_INTCLR	x	0 : PCI スロット 2 の INTD-による割り込み要求をクリアしない。 1 : PCI スロット 2 の INTD-による割り込み要求をクリアする。
8	EXT_INT0_INTCLR ²	x	0 : EXT バスの EXT_INT0-による割り込み要求をクリアしない。 1 : EXT バスの EXT_INT0-による割り込み要求をクリアする。
9	EXT_INT1_INTCLR	x	0 : EXT バスの EXT_INT1-による割り込み要求をクリアしない。 1 : EXT バスの EXT_INT1-による割り込み要求をクリアする。
10	EXT_INT2_INTCLR	x	0 : EXT バスの EXT_INT2-による割り込み要求をクリアしない。 1 : EXT バスの EXT_INT2-による割り込み要求をクリアする。
11	EXT_INT3_INTCLR	x	0 : EXT バスの EXT_INT3-による割り込み要求をクリアしない。 1 : EXT バスの EXT_INT3-による割り込み要求をクリアする。
12	USB0_OC_INTCLR	x	0 : USB0 のオーバー・カレントによる割り込み要求をクリアしない。 1 : USB0 のオーバー・カレントによる割り込み要求をクリアする。
13	USB1_OC_INTCLR	x	0 : USB1 のオーバー・カレントによる割り込み要求をクリアしない。 1 : USB1 のオーバー・カレントによる割り込み要求をクリアする。
14	PCMCIA_OC_INTCLR	x	0 : PCMCIA のオーバー・カレントによる割り込み要求をクリアしない。 1 : PCMCIA のオーバー・カレントによる割り込み要求をクリアする。
15	未使用	x	

《注意事項》

- 1 . INTCLR は、エッジ検出回路で保持している割り込み要求をクリアするためのビットです。
エッジ / レベル割り込みの選択が行える割り込みリソースの場合、レベル割り込みを選択している時に本レジスタの該当ビットに”1”を書き込んでも、INTRQ はクリアされません。
- 2 . 16Bit 用の EXT-BUS(JEXT16 コネクタ)を使用する場合、EXT-BUS の割り込みは、EXT_INT0 に接続されます。

6.2.7.8.割り込みエッジ指定レジスタ1 (INT_EDGE1 GCS2:0000-6060H) [Read/Write]

Bit	信号名	RST	機能
0	PCI1_INTA_INTEDGE ²	0	0 : PCI スロット 1 の INTA-による割り込み要求はレベル。 1 : PCI スロット 1 の INTA-による割り込み要求はエッジ。
1	PCI1_INTB_INTEDGE ²	0	0 : PCI スロット 1 の INTB-による割り込み要求はレベル。 1 : PCI スロット 1 の INTB-による割り込み要求はエッジ。
2	PCI1_INTC_INTEDGE ²	0	0 : PCI スロット 1 の INTC-による割り込み要求はレベル。 1 : PCI スロット 1 の INTC-による割り込み要求はエッジ。
3	PCI1_INTD_INTEDGE ²	0	0 : PCI スロット 1 の INTD-による割り込み要求はレベル。 1 : PCI スロット 1 の INTD-による割り込み要求はエッジ。
4	PCI2_INTA_INTEDGE ²	0	0 : PCI スロット 2 の INTA-による割り込み要求はレベル。 1 : PCI スロット 2 の INTA-による割り込み要求はエッジ。
5	PCI2_INTB_INTEDGE ²	0	0 : PCI スロット 2 の INTB-による割り込み要求はレベル。 1 : PCI スロット 2 の INTB-による割り込み要求はエッジ。
6	PCI2_INTC_INTEDGE ²	0	0 : PCI スロット 2 の INTC-による割り込み要求はレベル。 1 : PCI スロット 2 の INTC-による割り込み要求はエッジ。
7	PCI2_INTD_INTEDGE ²	0	0 : PCI スロット 2 の INTD-による割り込み要求はレベル。 1 : PCI スロット 2 の INTD-による割り込み要求はエッジ。
8	EXT_INT0_INTEDGE ³	0	0 : EXT バスの EXT_INT0-による割り込み要求はレベル。 1 : EXT バスの EXT_INT0-による割り込み要求はエッジ。
9	EXT_INT1_INTEDGE	0	0 : EXT バスの EXT_INT1-による割り込み要求はレベル。 1 : EXT バスの EXT_INT1-による割り込み要求はエッジ。
10	EXT_INT2_INTEDGE	0	0 : EXT バスの EXT_INT2-による割り込み要求はレベル。 1 : EXT バスの EXT_INT2-による割り込み要求はエッジ。
11	EXT_INT3_INTEDGE	0	0 : EXT バスの EXT_INT3-による割り込み要求はレベル。 1 : EXT バスの EXT_INT3-による割り込み要求はエッジ。
12	USB0_OC_INTEDGE	0	0 : USB0 のオーバー・カレントによる割り込み要求はレベル。 1 : USB0 のオーバー・カレントによる割り込み要求はエッジ。
13	USB1_OC_INTEDGE	0	0 : USB1 のオーバー・カレントによる割り込み要求はレベル。 1 : USB1 のオーバー・カレントによる割り込み要求はエッジ。
14	PCMCIA_OC_INTEDGE	0	0 : PCMCIA のオーバー・カレントによる割り込み要求はレベル。 1 : PCMCIA のオーバー・カレントによる割り込み要求はエッジ。
15	未使用	x	

《注意事項》

1 . INTEDGE は、割り込みリソースからの割り込み要求が、エッジ・モードかレベル・モードかを設定するレジスタです。

エッジ検出回路は、このレジスタの設定に関らず、エッジ検出結果を保持しています。このレジスタの設定をレベルからエッジに切り替える場合は、切り替え前に該当する INTCLR によりエッジ検出回路をクリアすることを推奨します。

2 . PCI バス・スロットの割り込みは通常レベル・モードで使用します。

3 . 16Bit 用の EXT-BUS(JEXT16 コネクタ)を使用する場合、EXT-BUS の割り込みは、EXT_INT0 に接続されます。

6.2.7.9.割り込みポラリティ指定レジスタ1 (INT_POLARITY1 GCS2:0000-6070H) [Read/Write]

Bit	信号名	RST	機能
0	PCI1_INTA_INTHIGH ²	0	0 : PCI スロット 1 の INTA-による割り込み要求は Low / 立ち下がり。 1 : PCI スロット 1 の INTA-による割り込み要求は High / 立ち上がり。
1	PCI1_INTB_INTHIGH ²	0	0 : PCI スロット 1 の INTB-による割り込み要求は Low / 立ち下がり。 1 : PCI スロット 1 の INTB-による割り込み要求は High / 立ち上がり。
2	PCI1_INTC_INTHIGH ²	0	0 : PCI スロット 1 の INTC-による割り込み要求は Low / 立ち下がり。 1 : PCI スロット 1 の INTC-による割り込み要求は High / 立ち上がり。
3	PCI1_INTD_INTHIGH ²	0	0 : PCI スロット 1 の INTD-による割り込み要求は Low / 立ち下がり。 1 : PCI スロット 1 の INTD-による割り込み要求は High / 立ち上がり。
4	PCI2_INTA_INTHIGH ²	0	0 : PCI スロット 2 の INTA-による割り込み要求は Low / 立ち下がり。 1 : PCI スロット 2 の INTA-による割り込み要求は High / 立ち上がり。
5	PCI2_INTB_INTHIGH ²	0	0 : PCI スロット 2 の INTB-による割り込み要求は Low / 立ち下がり。 1 : PCI スロット 2 の INTB-による割り込み要求は High / 立ち上がり。
6	PCI2_INTC_INTHIGH ²	0	0 : PCI スロット 2 の INTC-による割り込み要求は Low / 立ち下がり。 1 : PCI スロット 2 の INTC-による割り込み要求は High / 立ち上がり。
7	PCI2_INTD_INTHIGH ²	0	0 : PCI スロット 2 の INTD-による割り込み要求は Low / 立ち下がり。 1 : PCI スロット 2 の INTD-による割り込み要求は High / 立ち上がり。
8	EXT_INT0_INTHIGH ³	0	0 : EXT バスの EXT_INT0-による割り込み要求は Low / 立ち下がり。 1 : EXT バスの EXT_INT0-による割り込み要求は High / 立ち上がり。
9	EXT_INT1_INTHIGH	0	0 : EXT バスの EXT_INT1-による割り込み要求は Low / 立ち下がり。 1 : EXT バスの EXT_INT1-による割り込み要求は High / 立ち上がり。
10	EXT_INT2_INTHIGH	0	0 : EXT バスの EXT_INT2-による割り込み要求は Low / 立ち下がり。 1 : EXT バスの EXT_INT2-による割り込み要求は High / 立ち上がり。
11	EXT_INT3_INTHIGH	0	0 : EXT バスの EXT_INT3-による割り込み要求は Low / 立ち下がり。 1 : EXT バスの EXT_INT3-による割り込み要求は High / 立ち上がり。
12	USB0_OC_INTHIGH	0	0 : USB0 のオーバー・カレントによる割り込み要求は Low / 立ち下がり。 1 : USB0 のオーバー・カレントによる割り込み要求は High / 立ち上がり。
13	USB1_OC_INTHIGH	0	0 : USB1 のオーバー・カレントによる割り込み要求は Low / 立ち下がり。 1 : USB1 のオーバー・カレントによる割り込み要求は High / 立ち上がり。
14	PCMCIA_OC_INTHIGH	0	0 : PCMCIA のオーバー・カレントによる割り込み要求は Low / 立ち下がり。 1 : PCMCIA のオーバー・カレントによる割り込み要求は High / 立ち上がり。
15	未使用	x	

《注意事項》

- 1 . INTHIGH は、割り込みリソースからの割り込み要求のポラリティの設定を行います。 INTEDGE の設定がエッジ・モードの場合、INTHIGH の設定により立ち上がりエッジと立ち下がりエッジのいずれかが選択できます。 INTEDGE の設定がレベル・モードの場合、INTHIGH の設定により、Low アクティブと High アクティブのいずれかが選択できます。 INTEDGE でエッジ・モードを指定している場合、ポラリティの設定の変更により、エッジ検出回路がエッジを検出してしまうことがあります。したがって、このレジスタの設定を切り替える場合は、切り替え後に該当する INTCLR によりエッジ検出回路をクリアすることを推奨します。
- 2 . PCI バス・スロットの割り込みは通常 Low レベルで使用します。
- 3 . 16Bit 用の EXT-BUS(JEXT16 コネクタ)を使用する場合、EXT-BUS の割り込みは、EXT_INT0 に接続されます。

6.2.7.10.GINTO0割り込みイネーブル・レジスタ0 (GINTO0_INTEN0 GCS2:0000-6100H) [Read/Write]

6.2.7.11.GINTO1割り込みイネーブル・レジスタ0 (GINTO1_INTEN0 GCS2:0000-6120H) [Read/Write]

6.2.7.12.GINTO2割り込みイネーブル・レジスタ0 (GINTO2_INTEN0 GCS2:0000-6140H) [Read/Write]

6.2.7.13.GINTO3割り込みイネーブル・レジスタ0 (GINTO3_INTEN0 GCS2:0000-6160H) [Read/Write]

Bit	信号名	RST	機能
0	GIn_ALL_INTEN ³	0	0 : 全てのリソースからの割り込みを禁止にする。 1 : リソース別ビットで割り込みの許可 / 禁止を設定。
1	GIn_UART0_INTEN	0	0 : TL16PRI552 の UART0 からの割り込みを禁止。 1 : TL16PRI552 の UART0 からの割り込みを許可。
2	GIn_UART1_INTEN	0	0 : TL16PRI552 の UART1 からの割り込みを禁止。 1 : TL16PRI552 の UART1 からの割り込みを許可。
3	GIn_PRT_INTEN	0	0 : TL16PRI552 の PRINTER からの割り込みを禁止。 1 : TL16PRI552 の PRINTER からの割り込みを許可。
4	GIn_AUDIO_INTEN	0	0 : AUDIO からの割り込みを禁止。 1 : AUDIO からの割り込みを許可。
5	GIn_P9_LINT_INTEN	0	0 : PCI9080 の LINT0-による割り込みを禁止。 1 : PCI9080 の LINT0-による割り込みを許可。
6	GIn_GINTIO_INTEN	0	0 : GBUS の GINTIO-による割り込みを禁止。 1 : GBUS の GINTIO-による割り込みを許可。
7	GIn_GINTI1_INTEN	0	0 : GBUS の GINTI1-による割り込みを禁止。 1 : GBUS の GINTI1-による割り込みを許可。
8	GIn_ISAINTR_INTEN	0	0 : ISA バスの INTR による割り込みを禁止。 1 : ISA バスの INTR による割り込みを許可。
9	GIn_ISANMI_INTEN	0	0 : ISA バスの NMI による割り込みを禁止。 1 : ISA バスの NMI による割り込みを許可。
10	GIn_LAN_INTEN	0	0 : SB82558 の INTA-による割り込みを禁止。 1 : SB82558 の INTA-による割り込みを許可。
11	GIn_P9_LSERR_INTEN	0	0 : PCI9080 の LSERR-による割り込みを禁止。 1 : PCI9080 の LSERR-による割り込みを許可。
12	GIn_PCI_PERR_INTEN	0	0 : PCI バス上のパリティ・エラーの発生による割り込みを禁止。 1 : PCI バス上のパリティ・エラーの発生による割り込みを許可。
13	GIn_TOVRDY_INTEN	0	0 : タイムオーバー・レディーの発生による割り込みを禁止。 1 : タイムオーバー・レディーの発生による割り込みを許可。
14	GIn_ABROT_ERR_INTEN	0	0 : アポート・タミネーションの発生による割り込みを禁止。 1 : アポート・タミネーションの発生による割り込みを許可。
15	GIn_BACKOFF_ERR_INTEN	0	0 : バックオフの発生による割り込みを禁止。 1 : バックオフの発生による割り込みを許可。

《注意事項》

- 1 . 本レジスタは GINTO-[3:0]に対して、それぞれ 1つづつあります。上の表の GIn_xxxx_INTEN は、” GI0_xxxx_INTEN” ~ ” GI3_xxxx_INTEN” を示します。
- 2 . INTEN は、エッジ検出回路とは関っていないため、INTEN を” 0” に設定してもエッジ検出回路が保持している割り込み要求は保持され続けます（「6.2.7.1 割り込みリソースと概要」参照）。
- 3 . GIn_ALL_INTEN は、GINTOn-が CPU ボード上で CPU のエッジ・センシティブな割り込みに接続している場合に使用します。該当する割り込み処理ルーチンの終了時に、GIn_ALL_INTEN を一旦” 0” に設定した後、” 1” に戻します。このようにすると、複数の割り込みリソースから割り込みが入っている場合に、CPU への割り込み線にエッジが生成され、割り込み処理から抜けると次の割り込みが発生するようになります（「6.2.7.1 割り込みリソースと概要」参照）。

6.2.7.14.GINTO0割り込みイネーブル・レジスタ1 (GINTO0_INTEN1 GCS2:0000-6110H) [Read/Write]

6.2.7.15.GINTO1割り込みイネーブル・レジスタ1 (GINTO1_INTEN1 GCS2:0000-6130H) [Read/Write]

6.2.7.16.GINTO2割り込みイネーブル・レジスタ1 (GINTO2_INTEN1 GCS2:0000-6150H) [Read/Write]

6.2.7.17.GINTO3割り込みイネーブル・レジスタ1 (GINTO3_INTEN1 GCS2:0000-6170H) [Read/Write]

Bit	信号名	RST	機能
0	GIn_PCI1_INTA_INTEN	0	0 : PCI スロット 1 の INTA-による割り込みを禁止。 1 : PCI スロット 1 の INTA-による割り込みを許可。
1	GIn_PCI1_INTB_INTEN	0	0 : PCI スロット 1 の INTB-による割り込みを禁止。 1 : PCI スロット 1 の INTB-による割り込みを許可。
2	GIn_PCI1_INTC_INTEN	0	0 : PCI スロット 1 の INTC-による割り込みを禁止。 1 : PCI スロット 1 の INTC-による割り込みを許可。
3	GIn_PCI1_INTD_INTEN	0	0 : PCI スロット 1 の INTD-による割り込みを禁止。 1 : PCI スロット 1 の INTD-による割り込みを許可。
4	GIn_PCI2_INTA_INTEN	0	0 : PCI スロット 2 の INTA-による割り込みを禁止。 1 : PCI スロット 2 の INTA-による割り込みを許可。
5	GIn_PCI2_INTB_INTEN	0	0 : PCI スロット 2 の INTB-による割り込みを禁止。 1 : PCI スロット 2 の INTB-による割り込みを許可。
6	GIn_PCI2_INTC_INTEN	0	0 : PCI スロット 2 の INTC-による割り込みを禁止。 1 : PCI スロット 2 の INTC-による割り込みを許可。
7	GIn_PCI2_INTD_INTEN	0	0 : PCI スロット 2 の INTD-による割り込みを禁止。 1 : PCI スロット 2 の INTD-による割り込みを許可。
8	GIn_EXT_INT0_INTEN ³	0	0 : EXT バスの EXT_INT0-による割り込みを禁止。 1 : EXT バスの EXT_INT0-による割り込みを許可。
9	GIn_EXT_INT1_INTEN	0	0 : EXT バスの EXT_INT1-による割り込みを禁止。 1 : EXT バスの EXT_INT1-による割り込みを許可。
10	GIn_EXT_INT2_INTEN	0	0 : EXT バスの EXT_INT2-による割り込みを禁止。 1 : EXT バスの EXT_INT2-による割り込みを許可。
11	GIn_EXT_INT3_INTEN	0	0 : EXT バスの EXT_INT3-による割り込みを禁止。 1 : EXT バスの EXT_INT3-による割り込みを許可。
12	GIn_USB0_OC_INTEN	0	0 : USB0 のオーバー・カレントによる割り込みを禁止。 1 : USB0 のオーバー・カレントによる割り込みを許可。
13	GIn_USB1_OC_INTEN	0	0 : USB1 のオーバー・カレントによる割り込みを禁止。 1 : USB1 のオーバー・カレントによる割り込みを許可。
14	GIn_PCMCIA_OC_INTEN	0	0 : PCMCIA のオーバー・カレントによる割り込みを禁止。 1 : PCMCIA のオーバー・カレントによる割り込みを許可。
15	未使用	x	

《注意事項》

- 1 . 本レジスタは GINTO-[3:0]に対して、それぞれ 1つづつあります。上の表の GIn_xxxx_INTEN は、” GI0_xxxx_INTEN” ~ ” GI3_xxxx_INTEN” を示します。
- 2 . INTEN は、エッジ検出回路とは関っていないため、INTEN を” 0” に設定してもエッジ検出回路が保持している割り込み要求は保持され続けます（「6.2.7.1 割り込みリソースと概要」参照）。
- 3 . 16Bit 用の EXT-BUS(JEXT16 コネクタ)を使用する場合、EXT-BUS の割り込みは、EXT_INT0 に接続されます。

6.2.8. EXT-BUS 制御レジスタ

ローカル・バスのレジスタに、EXT-BUS を制御するためのレジスタがあります。以下にそのレジスタについて示します。

6.2.8.1. バンク・ウィンドウ

EXT-BUS の空間は、32Bit 用 EXT-BUS (JEXT32 コネクタ) 用にメモリ空間と I/O 空間それぞれに 16Mbyte の空間、16Bit 用 EXT-BUS (JEXT16 コネクタ) 用に 1Mbyte の空間があります。CPU ボード上で EXT-BUS のための空間を確保できない場合に対応するため、アドレス拡張方式としてバンク方式を用いています。このバンク方式では、ウィンドウ幅が CPU ボードに合わせられるようにプログラマブル (可変) になっています。

EXT-BUS へ出力されるアドレスは、次式により決定します。

$$\begin{aligned} [\text{EXT-BUS アドレス Bit23-16}] = & \quad [\text{GBUS アドレス Bit23-16}] \& \sim[\text{アドレス・マスク}] \\ & \# [\text{バンク・アドレス}] \& [\text{アドレス・マスク}] \end{aligned}$$

EXT-BUS のアドレスの上位 8Bit には、アドレス・マスクが” 1 ” のビットについてはバンク・アドレスとして設定した値が、アドレス・マスクが” 0 ” のビットは GBUS のアドレスが出力されます。したがって、アドレス・マスクとしては F0H のように上位のビットは” 1 ” の連続、下位のビットは” 0 ” の連続となるデータを設定します。バンク・ウィンドウの大きさは、下位の” 0 ” であるビットの数で決まり、” 0 ” が全くない FFH をアドレス・マスクとした場合は、バンク・ウィンドウの大きさは 64Kbyte となり、C0H を設定するとバンク・ウィンドウの大きさは 4Mbyte となります。

また、アドレス・マスクはメモリ空間用と I/O 空間用の 2 つ設定できるため、メモリと I/O で別々のバンク・ウィンドウの大きさにすることが可能です。16Bit 用 EXT-BUS (JEXT16) では、メモリ用のみを使用します。

バンク・アドレスは、CPU がアクセスしている場合、DMA のチャンネル 2 がアクセスしている場合、DMA のチャンネル 3 がアクセスしている場合のそれぞれに対して設定が可能で、更にそれぞれについてメモリ空間用と I/O 空間用の設定が別れています。ただし、DMA によるアクセスのバンク・アドレスが有効になるためには、GBUS の GDMAAK2-信号および GDMAAK3-信号がアクティブにならなければならないので、DMAAK 信号が利用できない CPU ボードでは DMA 用のバンク・アドレスは使用できません。

6.2.8.2.EXT-BUS メモリ空間アドレス・マスク・レジスタ (EXTBUS_MEM_AMASK GCS2:0000-7000H)

[Read/Write]

Bit	信号名	RST	機能
0	EXT_MEM_AMASK16	0	EXT_MEM_AMASK[23:16]で、EXT-BUS のメモリ空間のアドレス・マスクを指定します。
1	EXT_MEM_AMASK17	0	
2	EXT_MEM_AMASK18	0	
3	EXT_MEM_AMASK19	0	
4	EXT_MEM_AMASK20	0	
5	EXT_MEM_AMASK21	0	
6	EXT_MEM_AMASK22	0	
7	EXT_MEM_AMASK23	0	

《注意事項》

- 1 . EXT_MEM_AMASK[23:16]は、EXT-BUS のメモリ空間へのアクセス、つまり GBUS の GCS3-信号がアクティブになっているアクセスの時に、EXT-BUS へ出力するアドレスを決定します。GBUS のアドレスと EXT-BUS のアドレスの対応については、「6.2.8.1 バンク・ウインドウ」を参照してください。
- 2 . 16Bit 用 EXT-BUS (JEXT16 コネクタ) を使用する場合は、EXT-BUS へのアクセスでは、常に本レジスタの設定値が使用され、EXT_IO_AMASK[23:16]は使用されません。

6.2.8.3.EXT-BUS I/O 空間アドレス・マスク・レジスタ (EXTBUS_IO_AMASK GCS2:0000-7010H)

[Read/Write]

Bit	信号名	RST	機能
0	EXT_IO_AMASK16	0	EXT_IO_AMASK[23:16]で、EXT-BUS の I/O 空間のアドレス・マスクを指定します。
1	EXT_IO_AMASK17	0	
2	EXT_IO_AMASK18	0	
3	EXT_IO_AMASK19	0	
4	EXT_IO_AMASK20	0	
5	EXT_IO_AMASK21	0	
6	EXT_IO_AMASK22	0	
7	EXT_IO_AMASK23	0	

《注意事項》

- 1 . EXT_IO_AMASK[23:16]は、EXT-BUS の I/O 空間へのアクセス、つまり GBUS の GCS4-信号がアクティブになっているアクセスの時に、EXT-BUS へ出力するアドレスを決定します。GBUS のアドレスと EXT-BUS のアドレスの対応については、「6.2.8.1 バンク・ウインドウ」を参照してください。
- 2 . 16Bit 用 EXT-BUS (JEXT16 コネクタ) を使用する場合は、EXT-BUS へのアクセスでは、本レジスタの値は使用されず、EXT_MEM_AMASK[23:16]が使用されます。

6.2.8.4.EXT-BUS CPU 用メモリ空間バンク・アドレス・レジスタ (EXTBUS_CORE_MEM_BANK_ADDR GCS2:0000-7020H) [Read/Write]

Bit	信号名	RST	機能
0	EXT_CORE_MEM_BANKA16	0	EXT_CORE_MEM_BANKA[23:16]で、EXT-BUS の DMA ではないメモリ空間アクセスのバンク・アドレスを指定します。
1	EXT_CORE_MEM_BANKA17	0	
2	EXT_CORE_MEM_BANKA18	0	
3	EXT_CORE_MEM_BANKA19	0	
4	EXT_CORE_MEM_BANKA20	0	
5	EXT_CORE_MEM_BANKA21	0	
6	EXT_CORE_MEM_BANKA22	0	
7	EXT_CORE_MEM_BANKA23	0	

《注意事項》

- 1 . EXT_CORE_MEM_BANKA[23:16]は、DMA ではない、言い換えれば GBUS の GDMAAK2-信号およびGDMAAK3-信号のいずれもアクティブになっていない EXT-BUS のメモリ空間へのアクセス時に、EXT-BUS へ出力するアドレスを決定します。GBUS のアドレスと EXT-BUS のアドレスの対応については、「6.2.8.1 バンク・ウィンドウ」を参照してください。
- 2 . 16Bit 用 EXT-BUS (JEXT16 コネクタ) を使用する場合、16Bit 用 EXT-BUS には DMA サイクルは規定されていませんが、GBUS の GDMAAK2-信号および GDMAAK3-信号がアクティブになるサイクルでは、本レジスタの値は使用されず、EXT_DMA0_MEM_BANKA[23:16]か EXT_DMA1_MEM_BANKA[23:16]が使用されます。

6.2.8.5.EXT-BUS CPU 用 I/O 空間バンク・アドレス・レジスタ (EXTBUS_CORE_IO_BANK_ADDR GCS2:0000-7030H) [Read/Write]

Bit	信号名	RST	機能
0	EXT_CORE_IO_BANKA16	0	EXT_CORE_IO_BANKA[23:16]で、EXT-BUS の DMA ではない I/O 空間アクセスのバンク・アドレスを指定します。
1	EXT_CORE_IO_BANKA17	0	
2	EXT_CORE_IO_BANKA18	0	
3	EXT_CORE_IO_BANKA19	0	
4	EXT_CORE_IO_BANKA20	0	
5	EXT_CORE_IO_BANKA21	0	
6	EXT_CORE_IO_BANKA22	0	
7	EXT_CORE_IO_BANKA23	0	

《注意事項》

- 1 . EXT_CORE_IO_BANKA[23:16]は、DMA ではない、言い換えれば GBUS の GDMAAK2-信号およびGDMAAK3-信号のいずれもアクティブになっていない EXT-BUS の I/O 空間へのアクセス時に、EXT-BUS へ出力するアドレスを決定します。GBUS のアドレスと EXT-BUS のアドレスの対応については、「6.2.8.1 バンク・ウィンドウ」を参照してください。
- 2 . 16Bit 用 EXT-BUS (JEXT16 コネクタ) を使用する場合、EXT-BUS へのアクセスでは、本レジスタの設定値は使用されず、EXT_CORE_MEM_BANKA[23:16]の設定値が使用されます。

6.2.8.6.EXT-BUS DMA0 用メモリ空間バンク・アドレス・レジスタ (EXTBUS_DMA0_MEM_BANK_ADDR GCS2:0000-7040H) [Read/Write]

Bit	信号名	RST	機能
0	EXT_DMA0_MEM_BANKA16	0	EXT_DMA0_MEM_BANKA[23:16]で、DMA のチャンネル 2 による EXT-BUS のメモリ空間アクセスのバンク・アドレスを指定します。
1	EXT_DMA0_MEM_BANKA17	0	
2	EXT_DMA0_MEM_BANKA18	0	
3	EXT_DMA0_MEM_BANKA19	0	
4	EXT_DMA0_MEM_BANKA20	0	
5	EXT_DMA0_MEM_BANKA21	0	
6	EXT_DMA0_MEM_BANKA22	0	
7	EXT_DMA0_MEM_BANKA23	0	

《注意事項》

- 1 . EXT_DMA0_MEM_BANKA[23:16]は、EXT-BUS の DMAAK0-がアクティブになった、言い換えればGBUS の GDMAAK2-信号がアクティブになった EXT-BUS のメモリ空間へのアクセス時に、EXT-BUS へ出力するアドレスを決定します。GBUS のアドレスと EXT-BUS のアドレスの対応については、「6.2.8.1 バンク・ウィンドウ」を参照してください。

6.2.8.7.EXT-BUS DMA0 用 I/O 空間バンク・アドレス・レジスタ (EXTBUS_DMA0_IO_BANK_ADDR GCS2:0000-7050H) [Read/Write]

Bit	信号名	RST	機能
0	EXT_DMA0_IO_BANKA16	0	EXT_DMA0_IO_BANKA[23:16]で、DMA のチャンネル 2 による EXT-BUS の I/O 空間アクセスのバンク・アドレスを指定します。
1	EXT_DMA0_IO_BANKA17	0	
2	EXT_DMA0_IO_BANKA18	0	
3	EXT_DMA0_IO_BANKA19	0	
4	EXT_DMA0_IO_BANKA20	0	
5	EXT_DMA0_IO_BANKA21	0	
6	EXT_DMA0_IO_BANKA22	0	
7	EXT_DMA0_IO_BANKA23	0	

《注意事項》

- 1 . EXT_DMA0_IO_BANKA[23:16]は、EXT-BUS の DMAAK0-がアクティブになった、言い換えればGBUS の GDMAAK2-信号がアクティブになった EXT-BUS の I/O 空間へのアクセス時に、EXT-BUS へ出力するアドレスを決定します。GBUS のアドレスと EXT-BUS のアドレスの対応については、「6.2.8.1 バンク・ウィンドウ」を参照してください。
- 2 . 16Bit 用 EXT-BUS (JEXT16 コネクタ) を使用する場合は、EXT-BUS へのアクセスでは、本レジスタの設定値は使用されず、EXT_DMA0_MEM_BANKA[23:16]の設定値が使用されます。ただし、16Bit 用の EXT-BUS には DMA サイクルは規定されていないため、EXT-BUS 上で DMA サイクルであるかしないかを区別する方法はありません。

6.2.8.8.EXT-BUS DMA1 用メモリ空間パンク・アドレス・レジスタ (EXTBUS_DMA1_MEM_BANK_ADDR GCS2:0000-7060H) [Read/Write]

Bit	信号名	RST	機能
0	EXT_DMA1_MEM_BANKA16	0	EXT_DMA1_MEM_BANKA[23:16]で、DMA のチャンネル 3 による EXT-BUS のメモリ空間アクセスのパンク・アドレスを指定します。
1	EXT_DMA1_MEM_BANKA17	0	
2	EXT_DMA1_MEM_BANKA18	0	
3	EXT_DMA1_MEM_BANKA19	0	
4	EXT_DMA1_MEM_BANKA20	0	
5	EXT_DMA1_MEM_BANKA21	0	
6	EXT_DMA1_MEM_BANKA22	0	
7	EXT_DMA1_MEM_BANKA23	0	

《注意事項》

- 1 . EXT_DMA1_MEM_BANKA[23:16]は、EXT-BUS の DMAAK1-がアクティブになった、言い換えればGBUS の GDMAAK3-信号がアクティブになった EXT-BUS のメモリ空間へのアクセス時に、EXT-BUS へ出力するアドレスを決定します。GBUS のアドレスと EXT-BUS のアドレスの対応については、「6.2.8.1 パンク・ウィンドウ」を参照してください。

6.2.8.9.EXT-BUS DMA1 用 I/O 空間パンク・アドレス・レジスタ (EXTBUS_DMA1_IO_BANK_ADDR GCS2:0000-7070H) [Read/Write]

Bit	信号名	RST	機能
0	EXT_DMA1_IO_BANKA16	0	EXT_DMA1_IO_BANKA[23:16]で、DMA のチャンネル 3 による EXT-BUS の I/O 空間アクセスのパンク・アドレスを指定します。
1	EXT_DMA1_IO_BANKA17	0	
2	EXT_DMA1_IO_BANKA18	0	
3	EXT_DMA1_IO_BANKA19	0	
4	EXT_DMA1_IO_BANKA20	0	
5	EXT_DMA1_IO_BANKA21	0	
6	EXT_DMA1_IO_BANKA22	0	
7	EXT_DMA1_IO_BANKA23	0	

《注意事項》

- 1 . EXT_DMA1_IO_BANKA[23:16]は、EXT-BUS の DMAAK1-がアクティブになった、言い換えればGBUS の GDMAAK3-信号がアクティブになった EXT-BUS の I/O 空間へのアクセス時に、EXT-BUS へ出力するアドレスを決定します。GBUS のアドレスと EXT-BUS のアドレスの対応については、「6.2.8.1 パンク・ウィンドウ」を参照してください。
- 2 . 16Bit 用 EXT-BUS (JEXT16 コネクタ) を使用する場合、EXT-BUS へのアクセスでは、本レジスタの設定値は使用されず、EXT_DMA1_MEM_BANKA[23:16]の設定値が使用されます。ただし、16Bit 用の EXT-BUS には DMA サイクルは規定されていないため、EXT-BUS 上で DMA サイクルであるかしないかを区別する方法はありません。

6.2.8.10.EXT-BUS ステータス・レジスタ (EXTBUS_STATUS GCS2:0000-7080H) [Read Only]

Bit	信号名	RST	機能
0	JEXT32_16BIT ¹	x	0 : 32Bit 用 EXT-BUS が 32Bit 幅。 1 : 32Bit 用 EXT-BUS が 16Bit 幅。
1	JEXT16_EN ^{1,2}	x	0 : JEXT16 コネクタにボードは接続されていない。 1 : JEXT16 コネクタにボードは接続されている。
2	未使用	x	
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	

《注意事項》

- 1 . EXT-BUS にはダイナミック・バスサイジング機能はありません。したがって、16Bit バス幅のボードが EXT-BUS に接続されている場合、16Bit 幅を越えるデータ幅でアクセスしてはいけません。JEXT32_16BIT もしくは JEXT16_EN のいずれかが“1”の時は、EXT-BUS へのアクセスは、16Bit データ幅以下で行います。
- 2 . JEXT16_EN は、本来 GND に接続される端子のレベルにより生成している信号です。この方法により検出が正常に行えない場合は、JP5 をショート状態にすることで、JEXT16_EN を“1”にすることができます（「5.6 EXT-BUS 強制 16Bit ジャンパ (JP5)」、「10.2 信号」参照）。

6.2.8.11.EXT-BUS コントロール・レジスタ (EXTBUS_CONTROL GCS2:0000-7090H) [Read/Write]

Bit	信号名	RST	機能
0	DMAAK_THROUGH ¹	1	0 : EXT-BUS の DMAAK-は、DMA サイクル中のみアクティブになる。 1 : EXT-BUS の DMAAK-は、CPU ボードの DMAAK-のアクティブ・タイミングに従う。
1	未使用	x	
2	未使用	x	
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	

《注意事項》

- 1 . DMAAK_THROUGH は、EXT-BUS の DMAAK-信号のアクティブ・タイミングを制御します。DMAAK_THROUGH が“1”に設定されている時、EXT-BUS の DMAAK-信号は CPU ボードからの DMAAK-信号とほぼ同タイミングで推移します（実際には、RD-/WR-信号に対するホールド・タイムを確保するためにマザーボード内でラッチされた信号と OR されたものになります）。したがって、CPU ボードから EXT-BUS へ向けての DMA 転送の場合、EXT-BUS の DMA サイクルが開始するかなり前から EXT-BUS の DMAAK-はアクティブになります（CPU ボード上で転送元サイクルが開始した時から DMAAK-がアクティブになるため）。DMAAK_THROUGH が“0”に設定されている時、EXT-BUS の DMAAK-信号は、DMA サイクルの期間のみアクティブになります。



DMAAK_THROUGH は、特別な理由がない限り“1”的状態でご使用ください。DMAAK_THROUGH を“0”に設定した場合、EXT-BUS の DMAAK-信号がアクティブになるタイミングが遅くなるため、CPU ボードによっては、CPU ボードから EXT-BUS へ向けての DMA 転送の際に、余分に DMA サイクルが発生する場合があります。

6.2.9. その他制御レジスタ

この章では、その他のローカル・バス上のレジスタについて説明します。

6.2.9.1. SW1 読み出しレジスタ (SW1_RDOU GCS2:0000-8000H) [Read Only]

SW1 の状態を読み出すためのレジスタです。データ・フォーマットを下表に示します。

アドレス	データバス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
GCS2:0000-8000H	SW1-8	SW1-7	SW1-6	SW1-5	SW1-4	SW1-3	SW1-2	SW1-1	0=ON, 1=OFF

SW1-1 が SW1 の”1”のスイッチに、SW1-8 が SW1 の”8”のスイッチに対応しています。また、該当するビットのスイッチが ON で 0 が、OFF で 1 が読み出されます。SW1 は純粋にソフト用であり、SW1 の設定によりハード的な制御が切り替わることはできません。SW1 の使用用途は特に決まっていません。

6.2.9.2. POWER 制御レジスタ (POWER_CONTROL GCS2:0000-8020H) [Read/Write]

Bit	信号名	RST	機能
0	USB0_PWEN ¹	0	0 : USB のチャンネル 0 に+5V を供給しない。 1 : USB のチャンネル 0 に+5V を供給する。
1	USB1_PWEN ¹	0	0 : USB のチャンネル 1 に+5V を供給しない。 1 : USB のチャンネル 1 に+5V を供給する。
2	未使用	x	
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	

《注意事項》

1. USB のチャンネル 0 は、JUSB の下側のコネクタです。チャンネル 1 は JUSB の上側のコネクタです。

6.2.9.3. POWER ステータス・レジスタ (POWER_STATUS GCS2:0000-8030H) [Read Only]

Bit	信号名	RST	機能
0	USB0_OVCURRENT ^{1,3}	0	0 : USB のチャンネル 0 の+5V が電流オーバー状態ではない。 1 : USB のチャンネル 0 の+5V が電流オーバー状態である。
1	USB1_OVCURRENT ^{1,3}	0	0 : USB のチャンネル 1 の+5V が電流オーバー状態ではない。 1 : USB のチャンネル 1 の+5V が電流オーバー状態である。
2	PCMCIA_OVCURRENT ^{2,3}	0	0 : PCMCIA が電流オーバー状態ではない。 1 : PCMCIA が電流オーバー状態である。
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	

《注意事項》

1. USB のチャンネル 0 は、JUSB の下側のコネクタです。チャンネル 1 は JUSB の上側のコネクタです。USB の電源の ON/OFF については「6.2.9.2 POWER 制御レジスタ (POWER_CONTROL GCS2:0000-8020H) [Read/Write]」を参照してください。
2. PCMCIA_OVCURRENT は、2つのPCMCIAスロットのいずれかの+3.3V、+5V、+12V が電流オーバー状態になると”1”になります。PCMCIAの電源は、RF5C396(PCMCIAコントローラ)内のレジスタによって行います(「6.5 PCMCIA バス」参照)。
3. 各電流オーバー状態で、割り込みを発生させることができます(「6.2.7.1 割り込みリソースと概要」参照)。

6.2.9.4.ISA 割り込みベクタ・レジスタ (ISA_INT_VECTOR GCS2:0000-8040H) [Read Only]

Bit	信号名	RST	機能
0	ISA_INT_VECT0	0	ISA_INT_VECT[7:0]が、ISA バスの割り込みによる割り込みベクタを示します。
1	ISA_INT_VECT1	0	
2	ISA_INT_VECT2	0	
3	ISA_INT_VECT3	0	
4	ISA_INT_VECT4	0	
5	ISA_INT_VECT5	0	
6	ISA_INT_VECT6	0	
7	ISA_INT_VECT7	0	

《注意事項》

- 1 . ISA_INT_VECT[7:0]は、ISA_INTR 信号 (M1523B の INTR 端子) 要求によって割り込みが発生した時、PCI バス上に割り込みアクノリッジ・サイクルを発生させ、得られた割り込みベクタを示します。ソフトウェアはこのベクタを見ることで、どの割り込みが要求されたかを知ることができます。
- 2 . 本レジスタの内容は、ISAINTCLR によって割り込みがクリアされるまで保持されます。ISAINTCLR により割り込みがクリアされると、保留されていた割り込みがある場合、再び割り込みアクノリッジ・サイクルが起動され、本レジスタに新しい割り込みベクタが設定されます（「6.2.7.3 割り込みクリア・レジスタ 0 (INT_CLEAR0 GCS2:0000-6010H) [Write Only]」参照）。

6.2.9.5.ISA 割り込みステータス・レジスタ (ISA_INT_STATUS GCS2:0000-8050H) [Read Only]

Bit	信号名	RST	機能
0	ISA_INTR ¹	0	0 : M1523B の INTR 端子がインアクティブ。 1 : M1523B の INTR 端子がアクティブ
1	未使用	x	
2	未使用	x	
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	

《注意事項》

- 1 . ISA_INTR は M1523B (SouthBridge) の ISA 割り込み要求端子である INTR 端子がアクティブか、インアクティブかを示します。本ビットは、特に使用用途ではなく、ハードウェアのデバッグ向けです。

6.2.9.6.BREQ 制御レジスタ (BREQ_CONTROL GCS2:0000-8060H) [Read/Write]

Bit	信号名	RST	機能
0	BREQ_NUM0 ^{1,2}	0	BREQ_NUM[1:0]で、PCI9080 へバス権要求するタイミングを設定します。
1	BREQ_NUM1 ^{1,2}	0	
2	BREQ_EN ^{1,2}	0	0 : PCI9080 のバースト・サイクル中にバス権要求を行いません。 1 : PCI9080 のバースト・サイクル中にバス権要求を行います。
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	

《注意事項》

- 1 . PCI9080 が GBUS に対して発生するサイクルは、バースト回数に制限はありません。したがって、長期に渡って CPU が GBUS のバス権を得られない可能性があります。
- BREQ_EN および BREQ_NUM[1:0]は、CPU がある期待値の中で必ずバス権を得られるようするために用意されています。BREQ_EN および BREQ_NUM[1:0]を設定することで、PCI9080 の BREQ 端子を下表のタイミングでアクティブにし、PCI9080 にバス権の放棄を指示します。PCI9080 は BREQ 端子がアクティブになると、2 マイクロ・サイクル以内にバス・サイクルを終了し、一旦バス権を放棄します。

GBUS 信号 GUSE_DIRECT_ACC-	BREQ_EN	BREQ_NUM[1:0]	BREQ アクティブ・タイミング
High	0	[x,x]	BREQ はアクティブにならない。
		[0,0]	CPU がサイクルを開始し、GADS-をアクティブにした時。
		[0,1]	設定禁止
		[1,0]	次の 2 つのうち、遅く発生したタイミング。 ・ PCI9080 がサイクルを 6 マイクロ・サイクル以上連続して行った。 ・ CPU がサイクルを開始し、GADS-をアクティブにした。
	1	[1,1]	次の 2 つのうち、遅く発生したタイミング。 ・ PCI9080 がサイクルを 14 マイクロ・サイクル以上連続して行った。 ・ CPU がサイクルを開始し、GADS-をアクティブにした。
Low	0	[x,x]	BREQ はアクティブにならない。
		[0,0]	PCI9080 のサイクル開始直後。
		[0,1]	設定禁止
	1	[1,0]	PCI9080 がサイクルを 6 マイクロ・サイクル以上行つた時。
		[1,1]	PCI9080 がサイクルを 14 マイクロ・サイクル以上行つた時。

- 2 . PCI9080 の BREQ 端子をアクティブにするには、BREQ_EN, BREQ_NUM[1:0]以外に、GBUS の GBREQ-信号をアクティブにする方法があります。GBUS の GBREQ-信号は、BREQ_EN, BREQ_NUM[1:0]により生成された BREQ 信号と OR されます。

6.2.9.7. フラッシュ ROM 制御レジスタ (FROM_CONTROL GCS2:0000-8070H) [Read/Write]

Bit	信号名	RST	機能
0	FROM_RESET ¹	0	0: フラッシュ ROM の RESET 端子をインアクティブにします。 1: フラッシュ ROM の RESET 端子をアクティブにします。
1	FROM_BUSY ²	x	0: フラッシュ ROM は BUSY 状態ではありません。 1: フラッシュ ROM は BUSY 状態です。
2	未使用	x	
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	

《注意事項》

1. FROM_RESET は、フラッシュ ROM のリセット端子を操作します。
2. FROM_BUSY は読み出し専用です。4つのフラッシュ ROM のいずれか1つでも BUSY 状態の時に”1”になります。

6.2.9.8. バスロック制御レジスタ (BLOCK_CONTROL GCS2:0000-8080H) [Read/Write]

Bit	信号名	RST	機能
0	SRAM_BLOCK ¹	0	0: SRAM に対するアクセスのバスロックを無効にします。 1: SRAM に対するアクセスのバスロックを有効にします。
1	PCI_BLOCK ²	0	0: PCI バスに対するアクセスのバスロックを無効にします。 1: PCI バスに対するアクセスのバスロックを有効にします。
2	未使用	x	
3	未使用	x	
4	未使用	x	
5	未使用	x	
6	未使用	x	
7	未使用	x	

《注意事項》

1. GBUS の GBLOCK0-信号は、SRAM に対するバス・ロック信号ですが、CPU からバス・ロック信号が出力されていない場合、SRAM_BLOCK を使用します。GBUS の GBLOCK0-と SRAM_BLOCK は OR されています。
SRAM_BLOCK に”1”を設定した後、CPU が SRAM をアクセスすると、このアクセス以降は PCI9080 にバス権が渡されなくなり、バスロック状態になります。バスロック状態を抜けるには、SRAM_BLOCK に”0”を設定します。
2. GBUS の GBLOCK1-信号は、PCI に対するバス・ロック信号ですが、CPU からバス・ロック信号が出力されていない場合、PCI_BLOCK を使用します。GBUS の GBLOCK1-と PCI_BLOCK は OR されています。
PCI_BLOCK を”1”に設定すると、PCI9080 の LLOCK#端子がアクティブになります。これにより、これ以降の PCI バスに対するアクセスはバスロック状態になります。バスロック状態を抜けるには、PCI_BLOCK に”0”を設定します。
PCI バスでは、バスロック・サイクルはリード・モディファイ・ライト・サイクルとされているので、PCI_BLOCK に”1”を設定 PCI バスに対するリード・サイクル PCI バスに対するライト・サイクル PCI_BLOCK に”0”を設定、というシーケンスを守ることを強く推奨します。

6.2.9.9.TOVRDY LED クリア・レジスタ (TOVRDY_LED_CLR GCS2:0000-8090H) [Write Only]

このレジスタに書き込みを行うと、TOVRDY-LED が消灯します（「6.1.4 タイムオーバー・レディー」参照）。

6.2.9.10.ABORT LED クリア・レジスタ (ABORT_LED_CLR GCS2:0000-80A0H) [Write Only]

このレジスタに書き込みを行うと、ABORT-LED が消灯します（「6.3.4.6 アボート・エラー」参照）。

6.2.9.11.BACKOFF LED クリア・レジスタ (BACKOFF_LED_CLR GCS2:0000-80B0H) [Write Only]

このレジスタに書き込みを行うと、BACKOFF-LED が消灯します（「6.3.4.7 バックオフ・エラー」参照）。

6.3. PCI バス

本マザー・ボードの PCI バスは、PCI 規格 2.1 に準拠しています。

CPU ボードからの PCI バスへのアクセスは、PCI9080 を介して行います。

6.3.1. バス・アービター

PCI バスのバス・アービターは、ラウンドロビン方式で、下記の順番で優先順位が回ります。

- 1) PCI9080
- 2)割り込みアクノリッジ・サイクル生成回路
- 3)M1523B (SouthBridge)
- 4)SB82558 (LAN コントローラ)
- 5)PCI スロット 1
- 6) PCI スロット 2

M1523B (SouthBridge) からのバス権要求は、M1523B が内蔵する USB コントローラ、IDE コントローラ、DMA コントローラからの要求です。

6.3.2. 割り込みアクノリッジ・サイクル

M1523B (SouthBridge) が INT_R 端子によって割り込みを要求すると、マザー・ボード上の回路が PCI バス上に割り込みアクノリッジ・サイクルを生成し、M1523B から割り込みベクタを読み出します。割り込みベクタの読み出しが完了した時点で、CPU ボードに割り込みが要求されます（「6.2.7.3 割り込みクリア・レジスタ 0(INT_CLEAR0 GCS2:0000-6010H)[Write Only]」、「6.2.9.4 ISA 割り込みベクタ・レジスタ (ISA_INT_VECTOR GCS2:0000-8040H) [Read Only]」参照）。

6.3.3. 推奨マップ

PCI バス上のメモリ・マップの推奨を下記に示します。

アドレス範囲	資源
0000-0000H ~ 0007-FFFFH	ローカルバス上の SRAM。0080-0000H ~ 0087-FFFFH からアクセスできる領域と同じ。ISA バス上の資源から SRAM にアクセスできるようにこの範囲にも SRAM を割り付ける。PCI9080 の拡張 ROM 空間を使用。
007F-E000H ~ 007F-EFFFH	USB コントローラ
007F-FF00H ~ 007F-FFFFH	PCI9080 のレジスタ
0080-0000H ~ 009F-FFFFH	ローカルバス上の SRAM。PCI9080 の SP0 空間を使用。
00A0-0000H ~ 00FF-FFFFH	予約領域
0200-0000H ~ 03FF-FFFFH	CPU ボード上の資源 (GUSE_DIRECT_ACC-信号が LOW の場合)。PCI9080 の SP1 空間を使用。

6.3.4. PCI9080

PCI9080 は PLX テクノロジ社の PCI バス・ブリッジ用チップです。PCI9080 のデータシートは、PLX テクノロジ社のホームページ (<http://wwwplxtech.com/>) から入手可能です。

6.3.4.1. PCI9080 制御レジスタ

PCI9080 の制御レジスタは、GBUS の GCS6-をアクティブにしたサイクルでアクセスすることができます。この空間では、PCI9080 で CFG レジスタと呼ばれている PCI9080 の動作を決める制御レジスタがアクセスできます。

CFG レジスタでは、次のような設定を行えます。

- GBUS のアドレスと PCI バス上のメモリ空間アドレスとの対応
- GBUS のアドレスと PCI バス上の I/O 空間アドレスとの対応
- GBUS からアクセス可能な PCI バスの空間の大きさ
- PCI バス上でコンフィグレーション・サイクルを発生させるための設定
- PCI バスや、GBUS のサイクルに関する細かい設定
- PCI9080 に内蔵されている PCI バス / GBUS 間の転送が可能な DMA コントローラの設定

6.3.4.2. PCI バス・メモリ領域

GBUS の GCS5-信号をアクティブにしたアクセスは、PCI9080 への PCI バスへ向けてのアクセスになります (GBUS の GCS7-信号に CPU ボードが対応していない場合は、設定等が異なりますので、「6.3.4.4 GCS7-がサポートされていない場合」を参照してください)。

この時のサイクルは、PCI9080 のローカル側アドレスの Bit31 (LA31) は必ず Low になるようにマスター・ボードの回路が制御しています。その結果、PCI9080 の設定は、PCI バスのメモリ空間に対するアクセスの GBUS 側 (PCI9080 にとってのローカル・バス側) のアドレスは、0000-0000H 番地からになります (PCI9080 制御レジスタ A0H 番地、Local Bus Base Address Register for Direct Master to PCI Memory)。また、GBUS 側のアドレスの範囲は、CPU ボードが GBUS の GCS5-信号に対して確保したアドレス範囲になります (PCI9080 制御レジスタ 9CH 番地、Local Range Register for Direct Master to PCI)。このアドレス範囲の設定は、PCI バスの I/O 空間へのアクセスでも有効となります、メモリ範囲の方が広いため、通常メモリ範囲を設定します。

なお、このアドレス範囲より上位の PCI アドレスは、PCI 制御レジスタ A8H 番地、PCI Base Address (Remap) Register for Direct Master to PCI Memory に設定します。

マルチタスク的なアプリケーションで、PCI Base Address (Remap) Register for Direct Master to PCI Memory の書き換えが必要な PCI アクセスを行う場合は、この制御レジスタをタスクごとに保存するなどの処理が必要になります。

6.3.4.3. PCI バス I/O 領域

GBUS の GCS7-信号をアクティブにしたアクセスは、PCI9080 への PCI バスへ向けてのアクセスになります (GBUS の GCS7-信号に CPU ボードが対応していない場合は、設定等が異なりますので、「6.3.4.4 GCS7-がサポートされていない場合」を参照してください)。

この時のサイクルは、PCI9080 のローカル側アドレスの Bit31 (LA31) は必ず High になるようにマスター・ボードの回路が制御しています。その結果、PCI9080 の設定は、PCI バスの I/O 空間にに対するアクセスの GBUS 側 (PCI9080 にとってのローカル・バス側) のアドレスは、8000-0000H 番地からになります (PCI9080 制御レジスタ A4H 番地、Local Base Address Register for Direct Master to PCI IO/CFG)。また、GBUS 側のアドレスの範囲は、PCI バスのメモリ領域のために確保したアド

レス範囲になります (PCI9080 制御レジスタ 9CH 番地、Local Range Register for Direct Master to PCI)。このアドレス範囲の設定は、PCI バスのメモリ空間へのアクセスでも有効となるため、メモリ範囲の方が広いため、メモリ範囲を設定します。

なお、PCI 制御レジスタ A8H 番地、PCI Base Address (Remap) Register for Direct Master to PCI Memory の Bit13 (I/O Remap Select) に” 1 ” を設定することで、I/O サイクル時の PCI アドレスの上位 16Bit (Bit16 ~ Bit31) は全て” 0 ” になります (結果的に PCI バス上の I/O 空間は 64K バイトになります)。

6.3.4.4. GCS7-がサポートされていない場合

CPU ボードが GBUS の GCS7-による空間をサポートしていない場合は、PCI の I/O 空間にに対するアクセスも GCS5-空間で行います。この場合、GCS5-の前半分の空間を PCI のメモリ空間用に、後ろ半分の空間を PCI の I/O 空間用に割り当てます。

アドレスの範囲については、CPU ボードが GCS5-の空間に割り当てる領域の半分を設定します (PCI9080 制御レジスタ 9CH 番地、Local Range Register for Direct Master to PCI)。

PCI バスのメモリ空間をアクセスする場合の GBUS 側 (PCI9080 にとってのローカル・バス側) のアドレスは、0000-0000H 番地からになります (PCI9080 制御レジスタ A0H 番地、Local Bus Base Address Register for Direct Master to PCI Memory)。

PCI バスの I/O 空間をアクセスする場合の GBUS 側のアドレスは、GCS5-のための領域のちょうど真ん中のアドレスになります (PCI9080 制御レジスタ A4H 番地、Local Base Address Register for Direct Master to PCI IO/CFG)。

また、PCI 制御レジスタ A8H 番地、PCI Base Address (Remap) Register for Direct Master to PCI Memory の Bit13 (I/O Remap Select) に” 1 ” を設定することで、I/O サイクル時の PCI アドレスの上位 16Bit (Bit16 ~ Bit31) は全て” 0 ” になります (結果的に PCI バス上の I/O 空間は 64K バイトになります)。

6.3.4.5. PCI バス・コンフィグレーション領域

PCI バスのコンフィグレーション領域をアクセスするためには、I/O アクセス用の領域を使用します。コンフィグレーション・サイクルのアドレス情報は、PCI9080 制御レジスタ ACH、PCI Configuration Address Register for Direct Master to PCI IO/CFG に設定します。また、この制御レジスタの Bit31 (Configuration Enable) を” 1 ” に設定しなければなりません。

設定後、PCI バスの I/O アクセス用の領域に対してアクセスすると、PCI バスのコンフィグレーション空間にアクセスできます。

コンフィグレーション空間のアクセスでは、PCI9080 の制御レジスタの書き換えが必要になるため、マルチタスク的なアプリケーションで PCI バスをアクセスする場合は、コンフィグレーション空間のアクセス中は割り込みを禁止する必要があります。

6.3.4.6. アポート・エラー

PCI9080 が PCI バス上に発生させたバス・サイクルでマスターおよびターゲット・アポート、もしくはリトライ・タイムアウトが発生した場合、バス・サイクルを打ち切るために PCI9080 は BTTERM#端子 (GBUS の GBTERM-信号) をアサートします。

このアポート・エラー状態が発生した場合、マザー・ボード上の ABORT-LED が点灯します。この LED はソフト的にクリアするまで点灯し続けます (「 5.12 LED 」、「 6.2.9.10 ABORT LED クリア・レジスタ (ABORT_LED_CLR GCS2:0000-80A0H) [Write Only] 」参照)。また、このアポート・エラー状態の発生で割り込みを発生させることができます (「 6.2.7.1 割り込みリソースと概要 」 参照)。

PCI バス上に接続されているリソースのスキャン (PCI バスのコンフィグレーション) が終了した以降は、本来マスターおよびターゲット・アポートは発生しません。同様に PCI バスが順調に動作している場合、リトライ・タイムアウトも発生しません。したがって、アポート・エラー状態の発生は、深刻な障害の可能性があります。

6.3.4.7. バックオフ・エラー

GBUS の GUSE_DIRECT_ACC-信号が Low の時、PCI9080 がバックオフを要求した場合、バックオフ・エラー状態になります。

このバックオフ・エラー状態が発生した場合、マザー・ボード上の BRKOFF-LED が点灯します。この LED はソフト的にクリアするまで点灯し続けます（「5.12 LED」、「6.2.9.11 BACKOFF LED クリア・レジスタ (BACKOFF_LED_CLR GCS2:0000-80B0H) [Write Only]」参照）。また、このバックオフ・エラー状態の発生で割り込みを発生させることができます（「6.2.7.1 割り込みリソースと概要」参照）。

バックオフが発生するケースについて、以下に説明します。

例として、A というボードが PCI バスに挿さっているとして、このボードの内部構成は、マザーと同じように PCI9080+SRAM+CPU で構成されていると仮定します。

この様なケースでは、次のシナリオで PCI バスはデッドロックします。

- 1) CPU ボードがボード A への SRAM へのアクセスを開始します。
- 2) 同時にボード A の CPU ボードがマザー・ボード上の SRAM へのアクセスを開始します。
- 3) マザー・ボードの PCI9080 が PCI のバス権を得て、ボード A の SRAM へのアクセスを PCI バス上で開始します。
- 4) ボード A 上の PCI9080 は、ボード A 上のローカルバスが CPU によって使われてしまっているため、PCI バスからのサイクルに対してリトライ・ターミネーションを要求します。
- 5) マザー・ボードの PCI9080 は、リトライ・ターミネーションに応答し、バス権を放棄します。
- 6) ボード A がバス権を得て、マザーボードの SRAM へのアクセスを PCI バス上で開始します。
- 7) マザー・ボードの PCI9080 は、自身のローカルバスが CPU ボードによって使われているため、リトライ・ターミネーションを要求します。
- 8) ボード A の PCI9080 は、リトライ・ターミネーションに応答し、バス権を放棄します。
- 9) 3) に戻ります。

PCI9080 には、この状態を回避するために、上記のような状態を検出した時に CPU に対してバックオフを要求します。CPU がこのバックオフに応答しバス権を放棄すれば、上記のデッドロックは回避できます。

マザー・ボードでは、GBUS の GUSE_DIRECT_ACC-信号が High の時は、マザー・ボード上の回路がこのバックオフへの対応を実現しています。したがって、上記のようなデッドロックは発生しません。

しかし、GUSE_DIRECT_ACC-信号が Low の時は、バックオフに対応できないのでエラーとしています。

6.3.4.8. PCI バスから GBUS へのアクセス

PCI バス上のバス・マスタが、GBUS 上の資源（ローカル・バス上の SRAM もしくは CPU ボード上の資源）にアクセスする場合は、ローカル・バス上アドレスが特定の値になるように PCI9080 をコンフィグレーションしなければなりません。また、PCI バス上のバス・マスタがマザー・ボード上の SRAM をアクセスする場合、PCI バス上のアドレスと CPU ボード上の CPU のアドレスとの対応は、PCI9080 の設定に依存します。「6.1.6 GBUS メモリマップ (PCI バスからのアクセス)」を参照してください。

6.3.4.9. 初期値

PCI9080 の制御レジスタは、工場出荷時に実装されているシリアル EEPROM によって下記のように初期化されます。この初期値は最大公約数的な設定を行っていますので、これらの値は接続している CPU ボードの品種や、動作させるアプリケーションの内容によって、アプリケーションで変更する必要があります。

レジスタ名	アドレス	設定値
PCI Configuration ID Register	GCS6:000H	0030-1410H
PCI Revision ID Register	GCS6:008H	00H
PCI Class Code Register	GCS6:009H	FF-FFFFH
PCI Subsystem Vendor ID Register	GCS6:02CH	10B5H
PCI Subsystem ID Register	GCS6:02EH	9080H
PCI Expansion ROM Base Register	GCS6:030H	0000-0001H
PCI Interrupt Line Register	GCS6:03CH	00H
PCI Interrupt Pin Register	GCS6:03DH	00H
PCI Min_Gnt Register	GCS6:03EH	04H
PCI Max_Lat Register	GCS6:03FH	80H
Local Address Space 0 Range Register for PCI-to-Local Bus	GCS6:080H	FFE0-0000H
Local Address Space 0 Local Base Address (Remap) Register	GCS6:084H	0000-0001H
Mode/Arbitration Register	GCS6:088H	13E4-0000H
Big/Little Endian Descriptor Register	GCS6:08CH	0000-0000H
Expansion ROM Range Register	GCS6:090H	FFF8-0000H
Expansion ROM Local Base Address (Remap) Register and BREQo Control	GCS6:094H	0000-0012H
Local Address Space 0/Expansion ROM Bus Region Descriptor Register	GCS6:098H	47C3-24C3H
Local Range Register for Direct Master to PCI	GCS6:09CH	8000-0000H
Local Bus Base Address Register for Direct Master to PCI Memory	GCS6:0A0H	0000-0000H
Local Base Address Register for Direct Master to PCI IO/CFG	GCS6:0A4H	8000-0000H
PCI Base Address (Remap) Register for Direct Master to PCI Memory	GCS6:0A8H	0000-2807H
PCI Configuration Address Register for Direct Master to PCI IO/CFG	GCS6:0ACH	0000-0000H
Local Address Space 1 Range Register for PCI-to-Local Bus	GCS6:170H	FFF8-0000H
Local Address Space 1 Local Base Address (Remap) Register	GCS6:174H	0000-0000H
Local Address Space 1 Bus Region Descriptor Register	GCS6:178H	0000-02C3H

6.3.5. デバイス番号

PCI バスのデバイス番号は下表のように割り当てられています。

デバイス	デバイス番号
PCI スロット 1	No.8 (AD19)
PCI スロット 2	No.9 (AD20)
LAN コントローラ (SB82558)	No.10 (AD21)
M1523B (SouthBridge) コンフィグレーション・レジスタ	No.7 (AD18)
USB コントローラ (M1523B 内蔵)	No.17 ~ No.20(AD28 ~ AD31)から選択、デフォルトは No.20
IDE コントローラ (M1523B 内蔵)	No.13 ~ No.16(AD24 ~ AD27)から選択、デフォルトは No.16

USB コントローラおよびIDE コントローラのデバイス番号は、M1523B のコンフィグレーション・レジスタに設定することで選択することができます。

6.3.6. PCI スロット

マザー・ボードには、2つのPCI ボード用のスロットがあります。

6.3.6.1. 電源

各PCI スロットには、+5V、+12V、-12V が供給されていますが、+3.3V は供給されていません。また、マザー・ボードに+12V や-12V が供給されていない場合は、PCI スロットにも供給されません。

6.3.6.2. デバイス番号

それぞれのスロットに割り当てられているデバイス番号は、「6.3.5 デバイス番号」を参照してください。

6.3.6.3. 割り込み

各PCI スロットの割り込みは、SouthBridge を経由せずに直接ローカル・バスの割り込み制御回路に接続しています。詳しくは「6.2.7.1 割り込みリソースと概要」を参照してください。

6.3.7. LAN コントローラ (SB82558)

6.3.7.1. 仕様

SB82558 は、次のような特徴を持った Intel 社の LAN コントローラです。

- IEEE802.3/802.3u 10BASE-T と 100BASSE-TX に互換
- 3K バイトづつの送信 / 受信 FIFO
- ACPI (Advanced Configuration and Power Interface) 仕様に準拠
- PCI Power Management 仕様 Revision1.0 に準拠
- APM (Advanced Power Management) 仕様 Revision1.2 に準拠
- ACPI Wake-up パケットに対応
- IEE802.3u の 100BASE-TX と 10BASE-T の自動ネゴシエーションに対応
- 10 および 100Mbps での半 2 重 / 全 2 重通信のサポート

本マザーボードでは、SB82558 のパワー・マネージメント関連の機能はサポートしていません。

6.3.7.2. デバイス番号

割り当てられているデバイス番号は「6.3.5 デバイス番号」を参照してください。

このデバイス (コンフィグレーション・レジスタ) のベンダーIDは 8086H、デバイス ID は 1229H です。また、サブシステム・ベンダーIDは 1410H、サブシステム・デバイス ID は 0040H です。

6.3.7.3. アドレス

PCI バスに接続したデバイスなので、割り付けアドレスは、SB82558 のコンフィグレーション空間のレジスタに設定した値により決定します。

6.3.7.4. 割り込み

SB82558 の INTA#端子は、SouthBridge を経由せずに直接ローカル・バスの割り込み制御回路に接続しています。詳しくは「6.2.7.1 割り込みリソースと概要」を参照してください。

6.3.8. M1523B (SouthBridge)

6.3.8.1.仕様

M1523B は、ALI 社の PC/AT マザーボード用の SouthBridge-LSI です。M1523B は以下の機能を内蔵しています。

- ・ PCI-ISA ブリッジ機能
- ・ IDE コントローラ
- ・ SMM 機能
- ・ Stop clock 制御
- ・ APM 機能
- ・ USB コントローラ
- ・ ディストリビューティッド DMA 機能
- ・ 割り込みコントローラ機能 (i8259 サブセット×2)
- ・ タイマー / カウンタ機能 (i8254)
- ・ PS/2 タイプ キーボード / マウス・コントローラ

本マザーボードでは、パワー・マネージメント関連の機能 (SMM,Stop clock,APM) についてはサポートしていません。

6.3.8.2.デバイス番号

割り当てられているデバイス番号は「6.3.5 デバイス番号」を参照してください。

このデバイス (コンフィグレーション・レジスタ) のベンダーIDは10B9H、デバイスIDは1523Hです。

6.3.8.3.コンフィグレーション機能

M1523B の PCI バス上のコンフィグレーション空間レジスタにより、次のコンフィグレーションが可能です（概要）。

- ・ PCI-ISA ブリッジ機能の書き込みのポスト機能やラインバッファの有効 / 無効
- ・ ISA バスのクロック
- ・ ISA バス・サイクルのタイミング
- ・ I/O リカバリ・タイム
- ・ 内蔵 IDE コントローラの有効 / 無効
- ・ 内蔵キーボード・インターフェースの有効 / 無効
- ・ PS/2 マウスか AT マウスかの切り替え
- ・ DMA コントローラのハイ・アドレスの有効 / 無効
- ・ 割り込みのルーティング
- ・ PCI バスの割り込み線のモード
- ・ パワー・マネージメント制御
- ・ ディストリビューティッド DMA 機能
- ・ IDE/USB コントローラの IDSEL アドレス
- ・ 書き込み専用レジスタの書き込みデータ読み出し機能

6.3.8.4. ハードウェア的接続

M1523Bへのハードウェア的接続は次のようになっています。

- ・ 内蔵のキーボードおよびマウス・インターフェース機能を使用できます。
- ・ 内蔵のUSBインターフェース機能を使用できます。
- ・ 内蔵のIDEインターフェース機能を使用できます。
- ・ IDEからの割り込みは、プライマリIDEがSIRQII端子に、セカンダリIDEがSIRQIに接続しています。
- ・ ISAバスには、ISAスロットとして2スロットとPCMCIAコントローラ(RF5C396)を接続しています。
- ・ BIOS用のROMは接続していません。
- ・ PCI割り込みの入力線は常にインアクティブです。PCI割り込みはM1523Bを経由せず、直接マザー・ボードの割り込みコントローラに接続しています。
- ・ M1523BのINTR出力端子は、マザー・ボードの割り込みコントローラのISA_INTRに接続しています。
- ・ M1523BのNMI出力端子は、マザー・ボードの割り込みコントローラのISA_NMIに接続しています。
- ・ M1523BのPWG(PoWer Good)入力端子には、電圧監視回路からの出力とGBUSのGRESETI-信号とのORが接続されています。
- ・ M1523BのRSTDdrv出力端子は、GBUSのGRESETO-信号に接続され、マザー・ボードのシステム・リセットとして使用しています。
- ・ M1523Bのスピーカー出力は、マザー・ボードのJPANELコネクタに出力されています。
- ・ M1523BのSPLED出力端子は、マザー・ボードのSPEED-LEDに接続されています。
- ・ M1523BのFERR-/IRQ13入力端子はLowレベルに固定されています。
- ・ M1523BのDRQ7入力端子には、PCMCIAコントローラ(RF5C396)のDMA要求が接続されており、ISAスロットには接続していません。
- ・ M1523BのIRQ8-入力端子には、RTC(M5819P)の割り込み要求が接続されています。

6.3.9. USB コントローラ (M1523B (SouthBridge) 内蔵)

6.3.9.1. 仕様

M1523B (SouthBridge) 内蔵の USB コントローラは、USB 1.0 仕様および OpenHCI1.0a 仕様に準拠しています。また、USB 対応キーボードやマウスをレガシー・デバイス互換として扱う機能も持っています。



GBUS に対して32Bit幅での読み出し / 書き込みができないCPU ボードでは、USB 機能を使用することはできません。これはOpenHCI 仕様上、各レジスタへのアクセスが32Bit 幅に限定されているためです。

6.3.9.2. デバイス番号

割り当てられているデバイス番号は「6.3.5 デバイス番号」を参照してください。
このデバイス (コンフィグレーション・レジスタ) のベンダーID は 10B9H、デバイス ID は 5237H です。

6.3.9.3. アドレス

PCI バスに接続したデバイスなので、割り付けアドレスは、USB コントローラのコンフィグレーション空間のレジスタに設定した値により決定します。

6.3.9.4. 割り込み

USB コントローラの INTA# 端子は、M1523B 内で内部的にルーティングされます。M1523B のコンフィグレーション・レジスタの設定により、M1523B 内蔵 i8259 の任意の割り込み入力にルーティングできます。

6.3.9.5. 電源

USB コネクタに供給される+5V の ON/OFF はローカル・バスの制御レジスタにより制御します（「6.2.9.2 POWER 制御レジスタ (POWER_CONTROL GCS2:0000-8020H) [Read/Write]」参照）、また、オーバー・カレント状態の読み出し（「6.2.9.3 POWER ステータス・レジスタ (POWER_STATUS GCS2:0000-8030H) [Read Only]」参照）およびオーバー・カレント状態での割り込みの発生が可能です（「6.2.7.1 割り込みリソースと概要」参照）。

6.3.9.6. コンフィグレーション・レジスタ

USB コントローラのコンフィグレーション空間のレジスタには、USB の機能に関係するレジスタはありません。

6.3.10. IDE バスマスター・コントローラ (M1523B (SouthBridge) 内蔵)

6.3.10.1.仕様

M1523B (SouthBridge) 内蔵の IDE バスに対して、バスマスター転送を行うためのコントローラです。IDE インターフェースには、このコントローラ以外に、PIO モードをサポートするためのレジスタが別にあります。

6.3.10.2.デバイス番号

割り当てられているデバイス番号は「6.3.5 デバイス番号」を参照してください。
このデバイス (コンフィグレーション・レジスタ) のベンダーIDは 10B9H、デバイス ID は 5219H です。

6.3.10.3.アドレス

PCI バスに接続したデバイスなので、割り付けアドレスは、IDE コントローラのコンフィグレーション空間のレジスタに設定した値により決定します。

6.3.10.4.割り込み

IDE バスマスター・コントローラの INTA#および INTB#端子は、M1523B 内で内部的にルーティングされます。M1523B のコンフィグレーション・レジスタの設定により、M1523B 内蔵 i8259 の任意の割り込み入力にルーティングできます。

6.3.10.5.コンフィグレーション・レジスタ

IDE バスマスター・コントローラのコンフィグレーション空間のレジスタには、IDE の機能に関係するレジスタはありません。

6.4. ISA バス

ISA バスは、M1523B (SouthBridge) 内部で PCI バスからブリッジしたものです。
この章では、ISA バスに接続しているデバイスについて説明します。

6.4.1. ISA バス接続デバイス

ISA バスに接続しているデバイスを以下に示します。

- IDE コントローラ (PIO モード、M1523B 内蔵)
- DMA コントローラ (M1523B 内蔵)
- 割り込みコントローラ (i8259 サブセット ×2、M1523B 内蔵)
- タイマー / カウンタ (i8254、M1523B 内蔵)
- PS/2 タイプ キーボード / マウス・コントローラ (M1523B 内蔵)
- RTC (Real Time Clock、M5819)
- ISA スロット ×2
- PCMCIA コントローラ (RF5C396)

6.4.2. M1523B 内蔵レガシー・デバイス

下表に M1523B が内蔵しているレガシー・デバイスとアドレスを示します。下表の I/O アドレスは、PCI バス上の I/O アドレスを示します。

I/O アドレス	レジスタ名
0000H	DMA1 (slave) CH0 Base and Current Address
0001H	DMA1 (slave) CH0 Base and Current Count
0002H	DMA1 (slave) CH1 Base and Current Address
0003H	DMA1 (slave) CH1 Base and Current Count
0004H	DMA1 (slave) CH2 Base and Current Address
0005H	DMA1 (slave) CH2 Base and Current Count
0006H	DMA1 (slave) CH3 Base and Current Address
0007H	DMA1 (slave) CH3 Base and Current Count
0008H	DMA1 (slave) Status/Command
0009H	DMA1 (slave) Write Request
000AH	DMA1 (slave) Write Single Mask Bit
000BH	DMA1 (slave) Write Mode
000CH	DMA1 (slave) Clear Byte Pointer
000DH	DMA1 (slave) Master Clear
000EH	DMA1 (slave) Clear Mask
000FH	DMA1 (slave) Read/Write All Mask Register Bits
0020H	INT_1 (master) Control Register
0021H	INT_1 (master) Mask Register
0040H	Timer Counter – Channel 0 Count
0041H	Timer Counter – Channel 1 Count
0042H	Timer Counter – Channel 2 Count
0043H	Timer Counter Command Mode Register
0060H	Clear IRQ12 (for PS2), IRQ1 Latched Status / Keyboard Data Buffer
0061H	NMI and Speaker Status and Control (PORTB)
0064H	Keyboard Status/Command
0070H	CMOS RAM Address Port and NMI Mask Register
0071H	CMOS Data Register Port

I/O アドレス	レジスタ名
0081H	DMA Channel 2 Page Register
0082H	DMA Channel 3 Page Register
0083H	DMA Channel 1 Page Register
0087H	DMA Channel 0 Page Register
0089H	DMA Channel 6 Page Register
008AH	DMA Channel 7 Page Register
008BH	DMA Channel 5 Page Register
008FH	Refresh Address Register for Address 23 to 17
0092H	FAST RC/GATE-A20 Register
00A0H	INT_2 (slave) Control Register
00A1H	INT_2 (slave) Mask Register
00C0H	DMA2 (master) CH0 Base and Current Address
00C2H	DMA2 (master) CH0 Base and Current Count
00C4H	DMA2 (master) CH1 Base and Current Address
00C6H	DMA2 (master) CH1 Base and Current Count
00C8H	DMA2 (master) CH2 Base and Current Address
00CAH	DMA2 (master) CH2 Base and Current Count
00CCH	DMA2 (master) CH3 Base and Current Address
00CEH	DMA2 (master) CH3 Base and Current Count
00D0H	DMA2 (master) Status/Command
00D2H	DMA2 (master) Write Request
00D4H	DMA2 (master) Write Single Mask Bit
00D6H	DMA2 (master) Write Mode
00D8H	DMA2 (master) Clear Byte Pointer
00DAH	DMA2 (master) Master Clear
00DCH	DMA2 (master) Clear Mask
00DEH	DMA2 (master) Read/Write All Mask Register Bits
00F0H	Coprocessor Error Ignored Register
0170H	IDE2 (Secondary) Data Register
0171H	IDE2 (Secondary) Error Register
0172H	IDE2 (Secondary) Sector/Count Register
0173H	IDE2 (Secondary) Sector Number Register
0174H	IDE2 (Secondary) Cylinder Number Low Register
0175H	IDE2 (Secondary) Cylinder Number High Register
0176H	IDE2 (Secondary) Drive/Head Register
0177H	IDE2 (Secondary) Command/Status Register
01F0H	IDE1 (Primary) Data Register
01F1H	IDE1 (Primary) Error Register
01F2H	IDE1 (Primary) Sector/Count Register
01F3H	IDE1 (Primary) Sector Number Register
01F4H	IDE1 (Primary) Cylinder Number Low Register
01F5H	IDE1 (Primary) Cylinder Number High Register
01F6H	IDE1 (Primary) Drive/Head Register
01F7H	IDE1 (Primary) Command/Status Register
0376H	IDE2 (Secondary) Alternate Status Register
0377H	IDE2 (Secondary) Drive Address Register
03F6H	IDE1 (Primary) Alternate Status Register
03F7H	IDE1 (Primary) Drive Address Register
040BH	DMA1 Extended Mode Register
0481H	DMA CH2 High Page Register
0482H	DMA CH3 High Page Register
0483H	DMA CH1 High Page Register
0487H	DMA CH0 High Page Register
0489H	DMA CH6 High Page Register
048AH	DMA CH7 High Page Register
048BH	DMA CH5 High Page Register
04D0H	INT_1 (master) Edge/Level Control
04D1H	INT_2 (slave) Edge/Level Control
04D6H	DMA2 Extended Mode Register

6.4.3. RTC (Real Time Clock M5819)

RTC (Real Time Clock) として ALI 社の M5819 が実装されています。

6.4.3.1. アドレス

RTCへのアクセスは下表のアドレスを使用します。

アドレス	機能
PCI-I/O:0000-0070H	CMOS RAM Address Port
PCI-I/O:0000-0071H	CMOS Data Register Port

アドレス 70H は、M1523B 内蔵のレジスタとマルチプレックスされています。

6.4.4. ISA スロット

マザー・ボードには、2つの16Bit ISA ボード用のスロットがあります。

6.4.4.1. 電源

各ISAスロットには、+5V、-5V、+12V、-12V が供給されています。また、マザー・ボードに-5V、+12V や-12V が供給されていない場合は、ISAスロットにも供給されません。

6.4.4.2. ハードウェア的接続

ISAスロットはいずれも次のように接続されています。

- 割り込みは、IRQ3～IRQ7、IRQ9～IRQ11、IRQ14、IRQ15 が使用可能ですが、IRQ3～IRQ5、IRQ7、IRQ11、IRQ14 は、PCMCIA コントローラ (RF5C396) にも接続していますので、シェアする必要があります。
- DMA 線は、DRQ0～DRQ3、DRQ4～DRQ7 が使用可能ですが、DRQ7 は PCMCIA コントローラ (RF5C396) にも接続しているため、シェアする必要があります。
- OSC 信号は、周波数 14.31MHz です。
- CLK 信号は、OSC の 1/2 の周波数か、PCI クロック (33.33MHz) の 1/2, 1/3, 1/4, 1/5, 1/6 のいずれかを選択できます。選択は、M1523B のコンフィグレーション・レジスタによって行います。

6.4.5. PCMCIA コントローラ (RF5C396)

6.4.5.1.仕様

RF5C396 は、リコー社の PCMCIA コントローラ LSI です。

PCMCIA2.1 および JEDA4.2 に準拠し、2 つの PCMCIA スロットをサポートします。

RF5C396 のデータシートは、リコー社のホームページ (<http://www.ricoh.co.jp/>) から入手可能です。

6.4.5.2.アドレス

RF5C396 へのアクセスは下表のアドレスを使用します。

アドレス	機能
PCI-I/O:0000-03E0H	インデックス・レジスタ
PCI-I/O:0000-03E1H	データ・レジスタ

6.4.5.3.ハードウェア的接続

RF5C396 の各端子は下表のように接続されています。

RF5C396 端子名	接続
IRQ3	ISA バスの IRQ3
IRQ4	ISA バスの IRQ4
IRQ5	ISA バスの IRQ5
IRQ7	ISA バスの IRQ7
IRQ9/DACK-	ISA バスの DACK7-
IRQ10/DREQ	ISA バスの DRQ7
IRQ11/TC	ISA バスの IRQ11
IRQ12/ATA_LED-	IDE-LED を点滅
IRQ14	ISA バスの IRQ14
IRQ15/TC	ISA バスの TC
SPKROUT-	JPANEL のスピーカー出力
RI_OUT-	未接続
INTR-	未接続

6.5. PCMCIA バス

PCMCIA バスは、PCI バス ISA バス PCMCIA バスとブリッジしたものです。

この章では、PCMCIA バスについて説明します。

6.5.1. スロット

PCMCIA スロット 1 (JPCMCIA1) が PCMCIA コントローラ (RF5C396) の SLOT#0 側、PCMCIA スロット 2 (JPCMCIA2) が SLOT#1 側です。

6.5.2. 電源

PCMCIA スロットへの電源は、VPP として+12V と+5V のいずれか、VCC として+5V と+3.3V のいずれかが供給できます。電源の ON/OFF および電圧の選択は、RF5C396 内のレジスタにより行います。RF5C396 への設定と PCMCIA スロットに供給される電源について下表に示します。

Index:02H			Index:2FH	PCMCIA スロット供給電圧	
Bit4	Bit1	Bit0	Bit0	VCC ピン	VPP ピン
1	0	0	0	5V	0V
1	0	0	1	3V	0V
1	0	1	0	5V	5V
1	0	1	1	3V	3V
1	1	0	0	5V	12V
1	1	0	1	3V	12V
1	1	1	0	5V	OPEN
1	1	1	1	3V	OPEN
0	X	X	X	0V	0V

スロットごとにはできませんが、PCMCIA スロットへの電源供給がオーバー・カレント状態であることを検出できます（「6.2.9.3 POWER ステータス・レジスタ (POWER_STATUS GCS2:0000-8030H) [Read Only]」参照）。検出結果で、割り込みを発生させることも可能です（「6.2.7.1 割り込みリソースと概要」参照）。

7. ソフトウェア

この章では、マザー・ボード上のハードウェアを動作させるためのソフトウェアについて説明します。

7.1. サンプル・プログラム

添付の CD-ROM に入っているサンプル・プログラムは、マザー・ボード上のさまざまな回路を動作させ、動作状態を検査します。検査の内容によっては専用の治具が必要な場合がありますので、そのまま動作させることはできませんが、ソース・コードは制御方法の参考になります。

7.1.1. サンプル・プログラムに関する注意事項

サンプル・プログラムを参考にする場合、次の点に注意してください。

- サンプル・プログラムは、Green Hills Software 社の C コンパイラ Ver.1.8.9 用にコーディングされています。
- サンプル・プログラムは、ハードウェアの動作検査を目的に作られていますので、制御手順やハードウェアの設定が必ずしも適正であるとは限りません。例えば、アプリケーションの性格によっては割り込み禁止にしなければならない部分が割り込み禁止になっていない場合や、I/O への設定順序が適切でない場合、オブティマイズ・コンパイルすると動作しない部分がある、などが考えられます。
- サンプル・プログラムは、異なる CPU ボードへのポーティング作業を軽減することを主眼にしてコーディングされています。したがって、実行効率は考慮されていません。
- サンプル・プログラムでは、MB1523B(South Bridge)に関する設定（コンフィグレーション空間）は、極力安全な内容で設定しています。このため、PCI バスや ISA,PCMCIA バスに頻繁にアクセスするようなアプリケーションの場合、多少パフォーマンスが犠牲になることが考えられます。

7.1.2. サンプル・プログラムの概要

サンプル・プログラムの各ファイル / ディレクトリで行っている処理や検査内容について以下に説明します。

_CPU 名ディレクトリ: アンダースコアで始まるディレクトリ内には、各 CPU ボード個別のファイルが格納されています。サンプル・プログラムは、このディレクトリ内にある*.bld ファイルによりビルドすることができます。

_CPU 名￥src ディレクトリ: このディレクトリには、各 CPU ボード固有のファイル(*.c, *.h)が入っています。

common ディレクトリ: 各検査の内容に依存しない共通のファイルが入っています。各種のヘッダファイルと、初期化 / 設定プログラムのファイルが入っています。

common￥pci.c : PCI バスに接続されているデバイスのコンフィグレーション空間の初期化ルーチンが入っています。M1523B(South Bridge)の ISA/IDE/USB 関連、SB82558(LAN コントローラ)の初期化ルーチンがあります。

common￥pcmcia.c : RF5C396(PCMCIA コントローラ)の初期化ルーチンが入っています。

common￥rtev832_pc.c : PCI スロットに弊社の RTE-V832-PC ボードが接続されている場合の初期化が入っています。PCI スロットにボードが実装されているかどうかの検出も行っています。

audio_dma_test ディレクトリ：マザーボードの音声録音 / 再生用回路のテスト用プログラムです。音声データの転送に DMA を使用します。音声データ用のバッファとして 2 ブロック確保し、1 ブロック分の録音が終了すると、連続的に録音しながら再生を始めます。一定回数録音 / 再生を実行すると終了します。

audio_soft_test ディレクトリ：マザーボードの音声録音 / 再生用回路のテスト用プログラムです。内容的には audio_dma_test と同等ですが、音声データの転送に DMA を使用せず、Half-Full 割り込みを使用し、ソフトウェアでデータ転送を行います。

beep_test ディレクトリ：マザーボードの JPANEL コネクタにスピーカーを接続した場合の、Beep 音のテストを行います。

extbus16_test ディレクトリ：マザーボード上の JEXT16 コネクタの機能をテストします。このテストでは、JEXT16 コネクタに専用の治具が接続されている必要があります。検査内容は、EXT-BUS のメモリチェック、EXT-BUS からの割り込みチェックです。

extbus32_test ディレクトリ：マザーボード上の JEXT32 コネクタの機能をテストします。このテストでは、JEXT32 コネクタに専用の治具が接続されている必要があります。検査内容は、EXT-BUS のメモリおよび I/O チェック、EXT-BUS の 16Bit モードのチェック、EXT-BUS の DMA 転送チェック、EXT-BUS からの割り込みチェックです。

flash_test ディレクトリ：マザーボード上のフラッシュ ROM の消去 / 書き込みテストを行います。テストの最後に CPU ボード上の ROM の内容をフラッシュ ROM に書き込みます。

ide_test ディレクトリ：マザーボード上の JIDE コネクタに接続されたハードディスクのアクセスを検査します。検査内容は、ハードディスクのリセット、ハードディスクの情報の読み出し（情報の一部である型番とファームウェアバージョンを表示）、第 0 セクタ（パーティション情報）を DMA 転送で読み出し最後のデータが 0x55aa であることの確認、を行っています。

isa_bm_sram_test_mb ディレクトリ：ISA バス上のバスマスタから、マザーボード上の共有 RAM(SRAM) のアクセス・チェックをするためのプログラムの相手をするプログラムです。このテストでは、専用の治具が接続されている必要があります。

key_mouse_test ディレクトリ：マザーボード上のキーボードとマウスのコネクタの検査を行います。キーボードの検査では、キーボードをリセット後、キーボードの LED を点滅させ、"q" が入力されるのを確認しています。マウスの検査でもキーボードを接続して行い、"q" が入力されるのを確認しています。いずれの検査も、メッセージの指示があった後に、各コネクタにキーボードが接続されるという形式で検査を行います。

lan_test ディレクトリ：LAN コントローラ (SB82558) に接続しているシリアル EEPROM へ LAN の MAC アドレスを書き込んだ後ペリファイするプログラムと、LAN コントローラのベンダ / デバイス ID を読み出すプログラムです。

pci_sram_test_mb ディレクトリ：PCI バス上のバスマスタから、マザーボード上の共有 RAM(SRAM) のアクセス・チェックをするためのプログラムの相手をするプログラムです。

pcmcia_test ディレクトリ：マザーボード上の JPCMCIA1 および JPCMCIA2 コネクタの機能をテストします。テストされる機能は、「VCC および VPP 電源の切り替え」、「過電流割り込みの発生」、「カード・ステータス変化による割り込み」、「アトリビュート空間のアクセス」、「メモリ空間のアクセス」です。アトリビュート空間のアクセスと、メモリ空間のアクセスの

テストには、専用の PCMCIA カード (IO DATA 社の PCS-2M) が必要です。

printer_uart_test ディレクトリ：マザーボード上の、JSIO1,JSIO2,JPRT コネクタの機能をテストします。このテストでは、これらのコネクタに専用の治具が接続されている必要があります。

rte_timer_int_test ディレクトリ：マザー上の RTC とタイマー(8254)、および CPU ボードから出力されている GINTI-[1:0]信号による割り込み（通常は CPU ボード上の uPD71054 の TOUT0/TOUT1 が接続）を発生させ、タイマ関連の割り込みのテストを行うプログラムです。RTC からは、アップデート(1 秒)と区間(約 1m 秒)割り込みが発生し、タイマーからは約 55m 秒間隔の割り込みが発生します。CPU ボード上の uPD71054 からは、60Hz(16.667m 秒)と 40Hz(25m 秒)間隔で割り込みが発生します。アップデート割り込みの 3 回ごとに、RTC の日付情報を読み出して、画面に表示します。この時一緒に、1m 秒、55m 秒、16.667m 秒、25m 秒の各割り込みにより累積された秒数も表示します。

sram_test ディレクトリ：マザーボード上の共有 RAM(SRAM)の全領域をメモリテストします。

usb_test ディレクトリ：マザーボード上の USB コネクタの機能をテストします。テストされる機能は「電源の ON/OFF」、「接続された USB 機器からのシグネチャの読み出し」、「過電流割り込みの発生」です。ただし、「接続された USB 機器からのシグネチャの読み出し」は、GBUS に対して 32 ビット幅の読み出し / 書き込みができる CPU ボードでのみ有効です。

7.1.3. サンプル・プログラムの資源の割り付け

サンプル・プログラムでは、PCI バスや ISA バスの資源を下記のように割り付けています。

メモリ：

PCI バス・アドレス	割り付け資源
0000-0000H ~ 0007-FFFFH	マザーボード上共有 RAM(SRAM) (0080-0000H ~ 0087-FFFFH と同じ領域)。ISA バス上のバス・マスター等がアクセスできるように共有 RAM の一部をここにも割り付けている。
007F-E000H ~ 007F-EFFFH	USB コントローラ
007F-FE00H ~ 007F-FEFFH	PCI スロットに実装された RTE-V832-PC
007F-FF00H ~ 007F-FFFFH	PCI9080 レジスタ
0080-0000H ~ 009F-FFFFH	マザーボード上の共有 RAM(SRAM)
0200-0000H ~ 03FF-FFFFH	CPU ボード上のメモリへのアクセス領域 (CPU ボードがダイレクト・アクセスをサポートしている場合)
FFF8-0000 ~ FFFF-FFFFH	PCI スロットに実装された RTE-V832-PC

I/O :

PCI バス・アドレス	割り付け資源
F000H ~ F007H	IDE Primary コントローラ
F008H ~ F00FH	IDE Secondary コントローラ
F800H ~ F81FH	i82258(LAN コントローラ)
FE00H ~ FEFFH	PCI スロット上に実装された RTE-V832-PC
FF00H ~ FFFFH	PCI9080 レジスタ

割り込み：

ISA 割り込み番号	割り付け資源
IRQ0	System Timer (South Bridge 内蔵 8254 チャンネル 0)
IRQ1	PS/2 キーボード
IRQ2	未使用
IRQ3	未使用 (PC/AT 互換機では一般的に COM2 で使用する)
IRQ4	未使用 (PC/AT 互換機では一般的に COM1 で使用する)
IRQ5	未使用
IRQ6	未使用 (PC/AT 互換機では一般的に FD で使用する)
IRQ7	未使用 (PC/AT 互換機では一般的に Printer が使用する)
IRQ8	RTC
IRQ9	USB コントローラ
IRQ10	未使用
IRQ11	PCMCIA コントローラ
IRQ12	PS/2 マウス
IRQ13	未使用 (PC/AT 互換機では一般的に FPU が使用する)
IRQ14	Primary IDE コントローラ
IRQ15	Secondary IDE コントローラ

7.2. LAN コントローラ

SB82558 (LAN コントローラ) を使用する場合は、SB82558 用のドライバをリアルタイム OS メーカやミドルウェア・メーカーから入手してください。

入手したドライバを本マザー・ボード用にポーティングする際には次のことにご注意ください。

- MAC アドレスは、LAN コントローラに接続されているシリアル EEPROM から取得できます（後述）。
- LAN コントローラのコマンド・パケットを用意する作業領域はマザー・ボード上の共有 RAM(SRAM)領域になります。この作業領域のアドレスを LAN コントローラに設定する場合や、コマンド・パケット内に書き込む場合は、PCI バスのアドレス空間における作業領域のアドレスを指定することになります。しかし、この作業領域を CPU ボードから見た時のアドレスは、PCI バスのアドレスとは異なります。

したがってドライバは、PCI バス上のアドレスと CPU から見た時のアドレスの両方を使い分けなければなりません。

PC/AT 互換機用に作成されたドライバは、PCI バス上のアドレスと、CPU から見た時のアドレスが等しいことを前提として書かれている場合が一般的なので注意が必要です。また、同様の理由から、コマンド・パケットのための作業領域をスタックに確保する場合もありますので、注意が必要です。

LAN コントローラに接続されているシリアル EEPROM には、下表のデータが入っています。表中の MAC[x:y] の表記は MAC アドレスのビットを示し、その内容は LAN コントローラに貼られているシールに記載されている MAC アドレスと同じです。

MAC アドレスとサブシステム・ベンダ / デバイス ID 以外に関するシリアル EEPROM 内のデータの妥当性については、各ドライバやアプリケーションの目的に応じて判断してください。

アドレス	データ (D[15:0])
00H	MAC[39:32],MAC[47:40]
01H	MAC[23:16],MAC[31:24]
02H	MAC[7:0] ,MAC[15:8]
03H	0100H
04H	0000H
05H	0201H
06H	4701H
07H	0000H
08H	0000H
09H	0000H
0AH	4C01H
0BH	0040H (Subsystem Device ID)
0CH	1410H (Subsystem Vendor ID)
0DH ~ 3EH	0000H
3FH	CheckSum

7.3. 一般注意事項

全般的にプログラム上注意しなければならないことを以下に示します。

- LAN コントローラの部分でも記述したように、PCI バス上のアドレスと、CPU から見た時のアドレスが異なることに起因する問題に対しての注意が必要です。PC/AT 互換機用に作成されたドライバは、PCI バス上のアドレスと、CPU から見た時のアドレスが等しいことを前提と

して書かれている場合が多く、PCI バス / ISA バス / PCMCIA 上のバスマスタや、M1523B(South Bridge)内の DMA によってマザー・ボード上の共有 RAM(SRAM)をアクセスする場合は、設定するアドレスに関して注意が必要です。

PCI / ISA バス上のボード類や、South Bridge 内の DMA への設定では、PCI バス上のアドレスで共有 RAM のアドレスを設定しなければなりませんが、そのアドレスは CPU から共有 RAM をアクセスする時のアドレスとは異なります。

マザー・ボードに標準で実装されている資源で、この事を注意しなければならないのは、LAN コントローラ、IDE コントローラ、USB コントローラのバス・マスタ機能を使用する場合です。

- レガシー・デバイスの中には、アドレスが連続した I/O であっても 16Bit リード・サイクルでアクセスすると正常に動作しないものがあります。例えば RTC (リアル・タイム・クロック) へのアクセスは必ず 8Bit アクセスで行わなければなりません。CPU によっては、8Bit のリード・サイクルを発生させられないものがあります (バイト・イネーブルがない CPU や、リード・アクセス時には常に全てのバイト・イネーブル信号がアクティブになってしまう CPU) 。このような CPU を実装した弊社の CPU ボード (例えば RTE-V850E/MA1-CB) の場合、マザー・ボードへのリード・サイクルに対して、8Bit アクセスを強制する制御ポートが用意されていますので、これを使用してください。
- CPU のデータバスが 16Bit の場合、マザー・ボードに対して 32Bit アクセスを行うことができません。このような CPU の場合、EXT-BUS や PCI バスに 32Bit アクセスが必要なボードを接続することはできません。

8. GBUS 仕様

ここでは、GBUS の仕様について説明します。

8.1. 用語

この章で用いる用語について説明します。

8.1.1. CPU ボードとマザー・ボード

RTE-CB シリーズのボードのことを CPU ボード、RTE-MOTHER-A のことを単にマザー・ボードと呼ぶことにします。

8.1.2. バス・サイクル、マイクロ・サイクル

GBUS は、バースト・アクセス可能な一般的なバスです。

バス・サイクルとは、アクセスがバーストした場合も含み、一連のサイクルが終了するまでの区切りのことを示すものとします（1回の GADS- のアサートが必要とされる区切り）。

バス・サイクルには、シングル・サイクルとバースト・サイクルがあります。シングル・サイクルとは、1 回のデータ転送しか発生しないバス・サイクルのことを示します。バースト・サイクルとは、複数回のデータの転送が発生するバス・サイクルのことを示します。

また、バースト・サイクルのデータ転送 1 回ごとのサイクルをマイクロ・サイクルと呼ぶことにします。

8.2. 信号

GBUS の信号の内容を下表に示します。GBUS の各信号の入出力方向は、マザー・ボード側を基準にして記述します。つまり、「入力」とある場合、CPU ボードから出力されマザー・ボードへ入力される信号を示します（信号名にもこの基準が適用されています）。

下表で「双方向」と記載されている信号はバス・サイクルの状態で信号の向きが切り替わることを示します。

また、「入力 / 出力」と記載されている信号はバス・マスタが CPU ボードなのかマザー・ボードなのかによって信号の向きが切り替わることを示し、前に書かれているのが CPU ボードがバス・マスタ時の信号の方向、後に書かれているのがマザー・ボードがバス・マスタ時の信号の方向を示します。

GBUS の信号は、+5V の TTL レベルです。また、マザー・ボードは常にリトル・エンディアンです。

信号名	入出力	機能
GCLK	入力	<ul style="list-style-type: none"> GBUS の同期クロック。最高周波数は 33.33MHz。最低周波数は 10.0MHz。GBUS はこのクロックの立ち上がりに同期して動作する。 マザー・ボード上では、+5V と GND に対してそれぞれ 330 Ω でターミネーションされるため、CPU ボードの回路はこれをドライブできなければならない。 GCLK が 16.67MHz より周波数が低い場合、GCLK_LOW を Low にする。これにより、マザー・ボードはウェイト数の調整を行う。 この信号は、PLL (Phase Lock Loop) によるゼロ・ディレイ・バッファが使用されているので、GCLK の周波数を変更した場合は、PLL のロックのために周波数変更後最低でも 1m 秒の間はマザー・ボードにアクセスしてはならない。
GRESETI-	入力	<ul style="list-style-type: none"> GBUS のリセット信号。CPU ボード上でリセットが発生した時に、この信号を Low にする。マザー・ボードはこの信号によってリセットされる。マザー・ボードはこの信号以外に、パワー・オン・リセットおよびリセット・スイッチによるリセットでリセットされる。
GRESETO-	出力	<ul style="list-style-type: none"> マザー・ボードのリセットが発生した場合、Low になる信号。 マザー・ボードでは、マザー・ボード上で発生したリセットと GRESETI- を OR したものを GRESETO- とする。したがって CPU ボードは、GRESETI- と GRESETO- を OR した信号で、CPU ボード上の回路をリセットする (GRESETI- と GRESETO- を OR するのは、マザー・ボードが接続されていない時そのため)。

信号名	入出力	機能
GADDR[31:2]	入力 / 出力	<ul style="list-style-type: none"> GBUS のアドレス信号。サイクル中は常に有効な値でドライブされる。 GADDR[31]は、CPU がバス・マスターの場合、マザー・ボード上で無視される。マザーボード内の A[31]は、GCS7-がアクティブになっているアクセス、つまり PCI バスの I/O 空間へのアクセスの時に”1”に、そうでない時に”0”になる。 下位アドレスの A1,A0 は、バイト・イネーブル信号を用いる。 GAHI_EN-信号により、CPU ボードからの GADDR[31:26]を 0 として扱うようできる。 バス・マスターがマザー・ボードの場合、GADDR[25]が 0 の時、マザー・ボード上の SRAM が、GADDR[25]が 1 の時 CPU ボード上のリソースが選択されていることを示す。
GBEN-[3:0]	入力 / 出力	<ul style="list-style-type: none"> GBUS のバイト・イネーブル信号。サイクル中は常に有効な値でドライブされる。 それぞれ、GBEN0- が GDATA[7:0]、GBEN1- が GDATA[15:8]、GBEN2- が GDATA[23:16]、GBEN3- が GDATA[31:24]の各バイト・レーンに対応し、GBENx- が Low の時に応するバイト・レーンが有効。
GDATA[31:0]	双方向	<ul style="list-style-type: none"> GBUS のバス・データ信号。 マザー・ボード上で 10K でプルアップされる。 この信号の方向は、GW/R-により決定する。
GADS-	入力 / 出力	<ul style="list-style-type: none"> GBUS のアドレス・ストローブ信号。GCLK の立ち上がりでこの信号が Low にサンプルされると、バス・サイクルの開始を示す。 マザー・ボードは、いずれのチップ・セレクト信号 (GCS-[7:0]) もアクティブでない場合 GADS-は無視する。
GREADY-	出力 / 入力	<ul style="list-style-type: none"> GBUS のレディー信号。マイクロ・サイクル中に GCLK の立ち上がりでこの信号が Low、GWAITI が High にサンプルされると、マイクロ・サイクルの終了を示す。 CPU ボードからマザー・ボードに対するアクセス時のタイムオーバー・レディは、マザー・ボードが生成する。これは、GREADY-信号がぶつかってしまうのを回避するためである。
GWAITI-	入力	<ul style="list-style-type: none"> ウェイト要求信号。GCLK の立ち上がりでサンプルされる。 CPU ボード側の都合で、少ない Wait 数のサイクルに対応できない場合、CPU ボードは GREADY-のサンプル・タイミングで、GWAITI-を Low にサンプルされるようにすることで、仮にそのタイミングで GREADY-が Low であったとしても、それをマザー・ボードにレディーとして扱わせないことができる。通常、CPU ボードがゼロ Wait バーストに対応できない場合などに使用する（「8.6.3 GWAITI-」参照）。 この信号は、CPU ボードがバス・マスターのサイクルのみ有効。
GBLAST-	入力 / 出力	<ul style="list-style-type: none"> バス・サイクル終了通知信号。GCLK の立ち上がりでサンプルされる。 バス・サイクルを終了するマイクロ・サイクルの開始時から、バス・マスターが Low にアサートする。 GBLAST-が Low、GREADY-が Low、GWAITI-が High が GCLK の立ち上がりでサンプルされると、バス・サイクルが終了。
GBTTERM-	出力 / 入力	<ul style="list-style-type: none"> バス・サイクル終了要求信号。GCLK の立ち上がりでサンプルされる。 アクセスされている側が、バス・サイクルの終了を要求する場合、GREADY-信号と共に GBTTERM-信号を Low にする。バス・マスターは、GREADY-が Low としてサンプルした時、GBTTERM-も Low とサンプルした場合、GBLAST-をアサートしていないとも、バス・サイクルを一旦終了させ、改めて GADS-をアサートしてバス・サイクルを開始しなければならない。GBTTERM-のアサートは GREADY-のアサートと同時になければならない。 この信号は、アクセスされている側が、バースト・サイクルに対応していないかたり、対応しているバースト回数を越えるバースト・サイクルを要求された場合に、バス・サイクルを終了させるために使用する。
GW/R-	入力 / 出力	<ul style="list-style-type: none"> Write/Read 信号。データ・バスの方向を示す。バス・サイクル中、常に有効な値でドライブされる。 この信号はバス・マスターにとってのデータ・バスの方向を示す。

信号名	入出力	機能
GCS-[7:0]	入力	<ul style="list-style-type: none"> チップ・セレクト信号。バス・サイクル中、常に有効な値がドライブされる。 CPU ボードがバス・マスターの時に、マザー・ボード上のリソースを指定するために該当するチップ・セレクト信号をアクティブにする。 各チップ・セレクト信号は、メモリ / I/O 空間の別、空間の広さなどに規定がある（「8.5 GCS-[7:0]の割り付け」参照）。
GRD-	入力	<ul style="list-style-type: none"> リード・タイミング信号。CPU ボードがバス・マスターの時にアサートされる。 この信号はマザー・ボードでは使用しない。 通常、CPU の RD-コマンド信号がある場合は、その信号が接続される。
GWR-	入力	<ul style="list-style-type: none"> ライト・タイミング信号。CPU ボードがバス・マスターの時にアサートされる。 この信号はマザー・ボードでは使用しない。 通常、CPU の WR-コマンド信号がある場合は、その信号が接続される。
GHOLD-	出力	<ul style="list-style-type: none"> バス・ホールド要求信号。 マザー・ボードが CPU ボード上のリソースにアクセスする場合、Low にアサートしバス権を要求する。 GUSE_DIRECT_ACC-信号が High の場合、CPU ボード側にマザー・ボードからアクセス可能なリソースがないことを示しており、この場合 CPU ボードは GHOLD-に対応する必要はない。
GHLDAs-	入力	<ul style="list-style-type: none"> バス・ホールド応答信号。 CPU ボードがマザー・ボードに GBUS のバス権を渡したことと示す信号で、その時 Low にアサートされる。 GUSE_DIRECT_ACC-信号を High にしている CPU ボードは、この信号を未接続にできる。
GBREQ-	入力	<ul style="list-style-type: none"> バス権返還要求信号。PCI9080 の BREQ 端子に接続されている。 PCI9080 が GBUS を使用している時に、PCI9080 にバス権を一旦放棄させたい場合にアクティブにする。 GBREQ-が Low にアサートされた時、マザー・ボードがバス・サイクル中だった場合、次のマイクロ・サイクルで GBLAST-をアサートして、次のマイクロ・サイクルでバス・サイクルを終了した後、バス権を放棄する。 GBREQ-は、PCI9080 のバス・サイクルのバースト回数が多い場合や、リフレッシュ・サイクルなどの優先順位の高いバス・サイクルが CPU ボード上で保留されている場合など、一旦バス権を CPU ボードに返させたい場合に使用する。 本マザーボードには、ローカル・バスの制御レジスタの設定により、PCI9080 がバス権を保持している期間を制限する機能がある（「6.2.9.6 BREQ 制御レジスタ (BREQ_CONTROL GCS2:0000-8060H) [Read/Write]」参照）。
GDMARQ-[3:0]	出力	<ul style="list-style-type: none"> DMA 要求信号。サポートされる DMA は、2 サイクル DMA のみで、フライバイ DMA はサポートされない。 マザー・ボード上で DMA 要求が発生した場合、Low にアサートする。 CPU ボードは 4 本全ての DMA をサポートしなければならないが、同時に起動できる DMA の数、および GDMAAK-信号が対応できる本数については、CPU ボードに依存する。 CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てる。 マザーボードでは、GDMARQ0-は Audio の再生用、GDMARQ1-は Audio の録音用、GDMARQ2-は EXT-BUS の DMARQ0-用、GDMARQ3-は EXT-BUS の DMARQ1-用に使用している。

信号名	入出力	機能
GDMAAK-[3:0]	入力	<ul style="list-style-type: none"> DMA 応答信号。 マザー・ボードからの DMA 要求に応答する場合に Low にアサートする。 CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てる。 マザーボードでは、GDMAAK0-は Audio の再生用、GDMAAK1-は Audio の録音用、GDMAAK2-は EXT-BUS の DMAAK0-用、GDMAAK3-は EXT-BUS の DMAAK1-用に使用している。 Audio の DMA では、DMAAK-信号を必要としない。そのため、GDMAAK0-と GDMAAK1-は CPU ボードでサポートしなくとも良い。ただし、GDMAK-[1:0]をサポートしない場合、サポートした場合より GDMARQ-信号のディアサート・タイミングが遅くなる。 GDMAAK2-および GDMAAK3-がサポートされない場合、対応する EXT-BUS の DMAAK-信号がアサートされなくなる。
GINTO-[3:0]	出力	<ul style="list-style-type: none"> 割り込み要求信号。 割り込みはレベル・センシティブおよびエッジ・センシティブのいずれにも対応可能。 Low レベル時、もしくは立ち下がりエッジで割り込み発生を示す。
GINTI-[1:0]	入力	<ul style="list-style-type: none"> 割り込み要求信号 CPU ボード上の割り込みを、他のマザー・ボード上の割り込みと合成して GINTO-[3:0]に戻すために設けられた割り込み信号。 通常は CPU ボード上の TIC (μPD71054) の OUT0 と OUT1 が接続される。マザー・ボードは、この割り込み信号に対して、センシティブの種類やボラリティについて、プログラマブルになっている。
GETC[7:0]		<ul style="list-style-type: none"> CPU ボード依存信号。本マザー・ボードでは使用していない。 信号の方向や信号の内容まで含めて、GETC[7:0]の内容については CPU ボードが決定する。CPU ボードは特別な目的の信号をマザー・ボードとやり取りする場合は、この信号を用いる。
GAHI_EN-	入力	<ul style="list-style-type: none"> アドレス上位有効信号。 この信号が Low の時、CPU ボードがバス・マスタの場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていることを示す。この信号が High の場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていないことを示し、マザー・ボード上の回路は、GADDR[31:26]が全て Low として処理する。
GMOTHER_DETECT	出力	<ul style="list-style-type: none"> マザー・ボード検出信号。 この信号は、CPU ボード上でプルアップされ、マザー・ボード上で GND に接続される。マザー・ボードが接続されている事を CPU ボード側で判断しなければならない場合にこの信号を使用する。例えば、CPU ボードのタイムオーバー・レディ生成回路。
GUSE_DIRECT_ACC-	入力	<ul style="list-style-type: none"> この信号が Low の時、CPU ボード側にマザー・ボードからアクセス可能なリソースが存在することを示す。 この信号が High の時、PCI9080 が GBUS のバス権を要求しても GHOLD-はアクティブにならず、Ready ベースのバス調停が行われる。 この信号が Low の時、PCI9080 が GBUS のバス権を要求すると GHOLD-がアクティブになる。つまり、HOLD ベースのバス調停が行われる。
GCLK_LOW-	入力	<ul style="list-style-type: none"> この信号が Low の時、GCLK の周波数が 16.67MHz 以下であることを示す。High の場合は、GCLK の周波数が 16.67MHz ~ 33.33MHz であることを示す。 マザー・ボード上の回路は、この信号を使用して、マザー・ボード上のリソースへのアクセスの際のウェイト数を決定する。
GBLOCK-[1:0]	入力	<ul style="list-style-type: none"> バス・ロック信号。バス・サイクル中と、ロックするバス・サイクル間で有効でなければならない。 CPU からバス・ロック信号が出力されている場合、この端子を使用してバス・ロック信号をマザー・ボードに接続する。 GBLOCK0-信号は、GCS0-(SRAM)の空間に対して有効。GBLOCK1-は、GCS5-(PCI パスのメモリ)と GCS7-(PCI パスの I/O)の空間に有効。 本マザーボードには、ローカル・バスの制御レジスタの設定により、GBLOCK-[1:0]と同等の機能を提供する機能がある（「6.2.9.8 バスロック制御レジスタ (BLOCK_CONTROL GCS2:0000-8080H) [Read/Write] 」参照）。

信号名	入出力	機能
+5V	出力	・ 電源。+5V ± 5%をマザー・ボードからCPUボードへ供給する。
+12V	出力	・ 電源。+12V ± 10%をマザー・ボードからCPUボードへ供給する。ただし、マザーボードに+12Vが供給されていない場合は、CPUボードにも供給されない。

8.3. ピン配置

下表に GBUS のピン配置を示します。Reserve は予約済みのピンを、N/C は未接続のピンを示します。

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+12V	2	+12V	3	GND	4	+5V
5	GADDR2	6	GADDR3	7	GADDR4	8	GADDR5
9	GADDR6	10	GADDR7	11	GND	12	+5V
13	GADDR8	14	GADDR9	15	GADDR10	16	GADDR11
17	GADDR12	18	GADDR13	19	GADDR14	20	GADDR15
21	GND	22	+5V	23	GADDR16	24	GADDR17
25	GADDR18	26	GADDR19	27	GADDR20	28	GADDR21
29	GADDR22	30	GADDR23	31	GND	32	+5V
33	GADDR24	34	GADDR25	35	GADDR26	36	GADDR27
37	GADDR28	38	GADDR29	39	GADDR30	40	GADDR31
41	GND	42	+5V	43	GBEN3-	44	GBEN2-
45	GBEN1-	46	GBEN0-	47	GND	48	+5V
49	GDATA31	50	GDATA30	51	GDATA29	52	GDATA28
53	GDATA27	54	GDATA26	55	GDATA25	56	GDATA24
57	GND	58	+5V	59	GDATA23	60	GDATA22
61	GDATA21	62	GDATA20	63	GDATA19	64	GDATA18
65	GDATA17	66	GDATA16	67	GND	68	+5V
69	GDATA15	70	GDATA14	71	GDATA13	72	GDATA12
73	GDATA11	74	GDATA10	75	GDATA9	76	GDATA8
77	GND	78	+5V	79	GDATA7	80	GDATA6
81	GDATA5	82	GDATA4	83	GDATA3	84	GDATA2
85	GDATA1	86	GDATA0	87	GND	88	+5V
89	GND	90	GWR-	91	GBTTERM-	92	GREADY-
93	GRESETI-	94	GADS-	95	GBLAST-	96	GWAITI-
97	GND	98	GCLK	99	GND	100	+5V
101	GCS0-	102	GCS1-	103	GCS2-	104	GCS3-
105	GCS4-	106	GCS5-	107	GCS6-	108	GCS7-
109	Reserve	110	Reserve	111	Reserve	112	Reserve
113	GRD-	114	GWR-	115	GND	116	+5V
117	GHOLD-	118	GHLDA-	119	GBREQ-	120	N/C
121	GDMARQ0-	122	GDMARQ1-	123	GDMARQ2-	124	GDMARQ3-
125	GDMAAK0-	126	GDMAAK1-	127	GDMAAK2-	128	GDMAAK3-
129	Reserve	130	Reserve	131	Reserve	132	Reserve
133	GND	134	+5V	135	GINTO0-	136	GINTO1-
137	GINTO2-	138	GINTO3-	139	GINTI0-	140	GINTI1-
141	GETC0	142	GETC1	143	GETC2	144	GETC3
145	GETC4	146	GETC5	147	GETC6	148	GETC7
149	Reserve	150	Reserve	151	GAHI_EN-	152	GMOTHER_DETECT-
153	GND	154	+5V	155	GUSE_DIRECT_ACC-	156	GCLK_LOW-
157	GRESETO-	158	GBLOCK0-	159	GBLOCK1-	160	N/C
161	N/C	162	N/C	163	N/C	164	N/C
165	N/C	166	N/C	167	N/C	168	N/C
169	N/C	170	N/C	171	N/C	172	N/C
173	N/C	174	N/C	175	N/C	176	N/C
177	GND	178	+5V	179	+12V	180	+12V

使用するコネクタは下記のものです。

CPU ボード側コネクタ（ストレート）

ケル株式会社製 8817-180-170L

マザー・ボード側コネクタ（ストレート）

ケル株式会社製 8807-180-170S

マザー・ボード側コネクタ（L アングル）

ケル株式会社製 8807-180-170L

8.4. 未使用端子の処理

GBUS のマザー・ボードに対しての入力信号で使用しない信号は、マザー・ボード上でプルアップ / ダウンの処理が行われているため、CPU ボード上で未接続にすることができます。未接続にすることが可能な信号と、未接続時のために行われているマザー・ボード上の処理を下表に示します。

信号名	処理内容
GADDR[31:26]	<ul style="list-style-type: none"> GADDR[31:26]を使用しない場合は、GAHI_EN-信号を High もしくは未接続にすることにより、GADDR[31:26]を未接続にすることができます。この場合、CPU がバス・マスターのときマザー・ボード上では GADDR[31:26]は全ビットが 0 として扱われる。
GWAITI-	<ul style="list-style-type: none"> プルアップ処理が行われている。
GBLAST-	<ul style="list-style-type: none"> プルアップ処理が行われている。
GBTTERM-	<ul style="list-style-type: none"> プルアップ処理が行われている。
GCS-[7:0]	<ul style="list-style-type: none"> プルアップ処理が行われている。
GHDLDA-	<ul style="list-style-type: none"> プルアップ処理が行われている。
GBREQ-	<ul style="list-style-type: none"> プルアップ処理が行われている。
GDMAAK-[3:0]	<ul style="list-style-type: none"> プルアップ処理が行われている。
GINTI-[1:0]	<ul style="list-style-type: none"> プルアップ処理が行われている。
GAHI_EN-	<ul style="list-style-type: none"> プルアップ処理が行われている。
GUSE_DIRECT_ACC	<ul style="list-style-type: none"> プルアップ処理が行われている。
-	
GCLK_LOW-	<ul style="list-style-type: none"> プルアップ処理が行われている。
GBLOCK-[1:0]	<ul style="list-style-type: none"> プルアップ処理が行われている。

8.5. GCS-[7:0]の割り付け

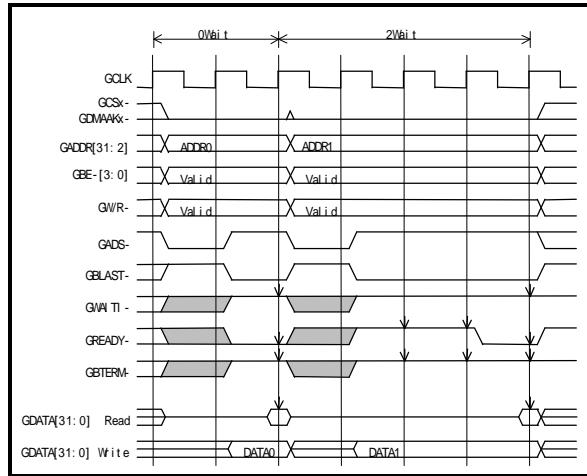
チップセレクト信号 (GCS-[7:0]) の割り付けを下表に示します。全ての空間をバースト・サイクルによるアクセスが可能です。下表の推奨空間に I/O と記載されている空間は、CPU に I/O 空間がある場合は、I/O 空間に割り付けることを推奨していることを示します。また最少範囲とは、CPU ボードは該当チップセレクトの空間に、最低でも最少範囲が示す領域を割り当てなければならないことを示します。最大範囲に記載がある場合は、CPU ボードのアドレス範囲に余裕がある場合、最大範囲が示す領域まで割り当てることが可能なことを示します（「6.1.5 GBUS メモリ・I/O のマップ (CPU ボードからのアクセス)」参照）。

信号名	推奨空間	最少範囲	最大範囲	備考
GCS0-	メモリ	1Mbyte		<ul style="list-style-type: none"> SRAM 空間 GLOCK0-およびローカル・バスのレジスタの設定によりバス・ロック可能
GCS1-	メモリ	2Mbyte		<ul style="list-style-type: none"> フラッシュ ROM 空間 CPU ボード上のスイッチの切り替えなどで CPU ボード上の UV-EPROM の代わりにこの空間からも Boot できるようにする。
GCS2-	I/O	64Kbyte		<ul style="list-style-type: none"> ローカル・バス上の制御用レジスタ空間
GCS3-	メモリ	64Kbyte	16Mbyte	<ul style="list-style-type: none"> EXT-BUS のメモリ空間 16Bit 用の EXT-BUS (JEXT16 コネクタ) にボードを接続している場合は、この空間でアクセスする。
GCS4-	I/O	64Kbyte	16Mbyte	<ul style="list-style-type: none"> EXT-BUS の I/O 空間
GCS5-	メモリ	1Mbyte	2Gbyte	<ul style="list-style-type: none"> PCI バスのメモリ空間 GLOCK1-およびローカル・バスのレジスタの設定によりバス・ロック可能
GCS6-	I/O	512byte		<ul style="list-style-type: none"> PCI9080 の制御用レジスタ空間
GCS7-	I/O	64Kbyte	2Gbyte	<ul style="list-style-type: none"> PCI バスの I/O 空間 GLOCK1-およびローカル・バスのレジスタの設定によりバス・ロック可能 CPU に I/O 空間がない場合、この空間のためのチップセレクトを用意せず、GCS5-の空間で PCI バスの I/O 空間にアクセスすることも可能。

8.6. バス・サイクル

8.6.1. シングル・サイクル

GBWAITI-および GBTERM-が常にインアクティブな場合で、CPU ボードがバス・マスターの場合のシングル・サイクルの様子を下図に示します。マザー・ボードがバス・マスターの場合、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。

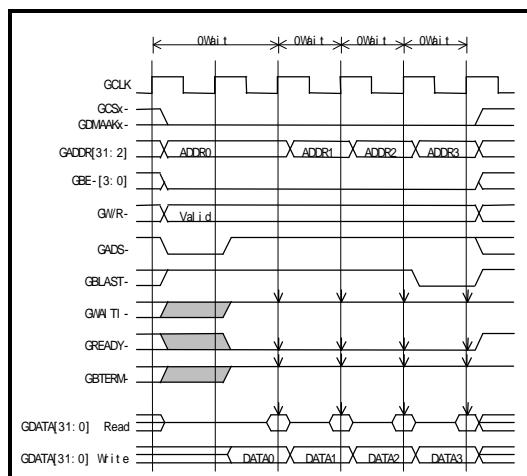


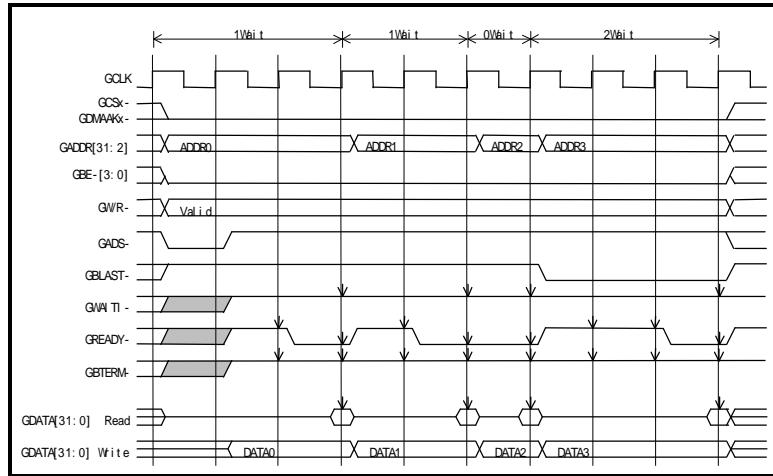
8.6.2. パースト・サイクル

パースト・サイクルでは、次のルールがあります。

- Gbus のスペックとしては、パースト・サイクル中のアドレスの順番は問いません。ただし、アクセス対象によっては、アドレス順が規定されてしまうことがあります。本マザーボードでは、PCI バスへのアクセスおよび PCI9080 制御レジスタへのアクセスでは、アドレスは昇順增加しなければなりません。
- パースト・サイクル中は GBE-[3:0] は全てアクティブでなければなりません。
- パースト回数（マイクロ・サイクルの数）には制限はありません。アクセス対象側でパースト回数の制限がある場合は、GBTERM-信号を用いてパーストの中止を要求します（「8.6.4 GBTERM-」参照）。本マザーボードでは、パースト回数を制限するリソースはありません。

GBWAITI-および GBTERM-が常にインアクティブな場合で、CPU ボードがバス・マスターの場合のパースト・サイクルの様子を下図に示します。マザー・ボードがバス・マスターの場合、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。





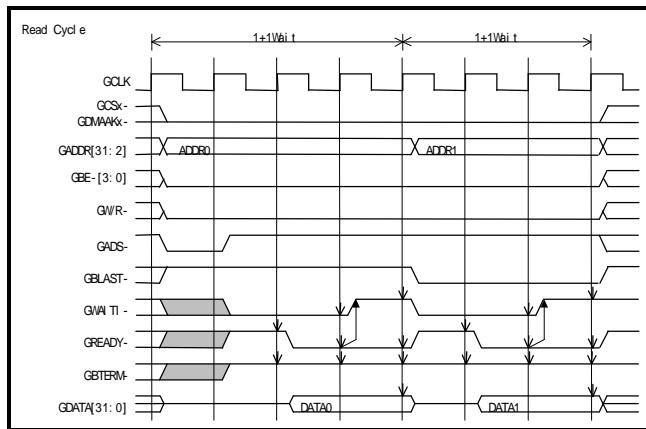
8.6.3. GWAITI-

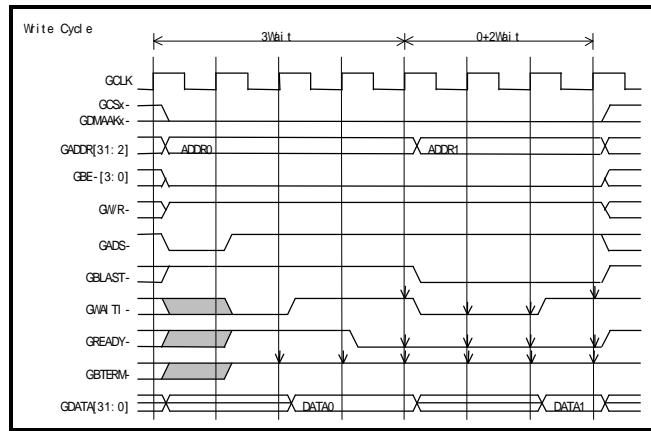
GBWAITI-信号は、CPU ボードがバス・マスタのサイクルで次のような場合に使用できます。

- リード・サイクル時にタイミング的な問題でデータのサンプルができないため、特定クロック数分データのサンプリングを遅らせたい場合。
- ライト・サイクルのバースト・サイクルで、マイクロ・サイクルが終了後すぐに次のマイクロ・サイクルのためのデータ準備ができず、特定クロック数分アクセス対象を待たせたい場合。

言い換えると、リード・サイクルとライト・サイクルで役割は入れ代わりますが、GREADY-と GBWAITI-はデータ送信レディーとデータ受信レディーの働きをします。

GBWAITI-信号によりウェイトが入っている様子を下図に示します。



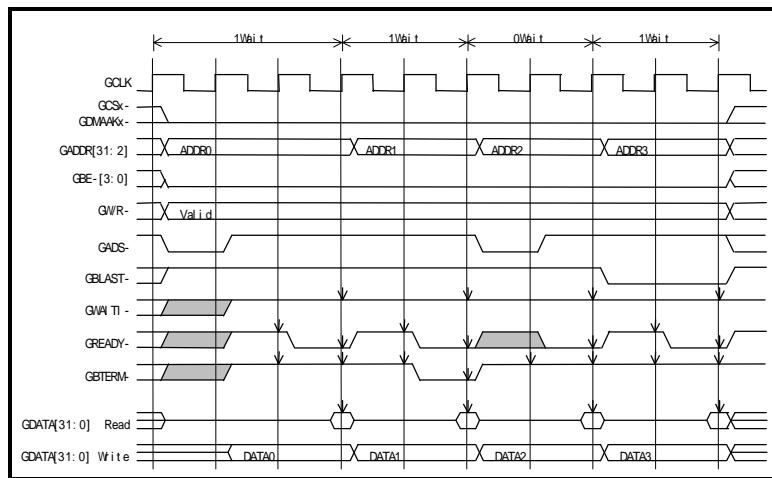


8.6.4. GBTERM-

GBTERM-信号が GREADY-信号と共にアクティブになると、バス・マスタは現在のマイクロ・サイクルを最後にバス・サイクルを終了させ、バースト・サイクルの続きを改めて GADS-をアクティブにしてサイクルを始めます。

GBTERM-信号は、アクセス対象がバースト・サイクルに対応していない場合や、対応バースト回数を越えてアクセスされた場合などにアクティブにします。また、GREADY-信号をアクティブにせずに GBTERM-信号のみをアクティブにすることは禁止されています。

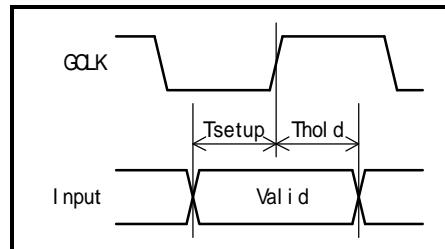
GBTERM-信号によりバースト・サイクルが中断される様子を下図に示します。



8.7. タイミング

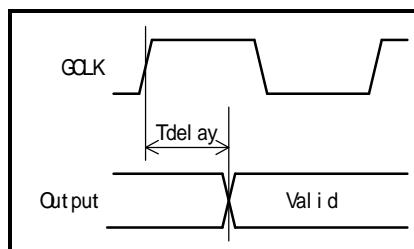
この章では、本マザーボードにおけるタイミングについて記述します。CPU ボードはこのタイミングを満たすように設計されています。

8.7.1. セットアップ・タイム



信号名	Tsetup Min (nS)	Thold Min (nS)
GADDR[31:2]	12	0
GBEN-[3:0]	8	0
GDATA[31:0]	7	0
GADS-	14	0
GREADY-	9	1
GWAITI-	14	0
GBLAST-	8	0
GBTTERM-	8	1
GW/R-	10	0
GCS-[7:0]	14	0
GBREQ-	15	0
GDMAAK-[3:0]	6	0
GLOCK-[1:0]	12	0

8.7.2. ディレイ・タイム



信号名	Tdelay MAX(nS)
GADDR[31:2]	21
GBEN-[3:0]	17
GDATA[31:0]	21
GADS-	15
GREADY-	15
GBLAST-	17
GBTTERM-	16
GW/R-	15

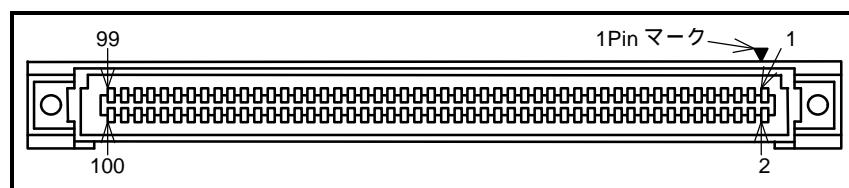
9. APPENDIX.A 32Bit EXT-BUS 仕様

JEXT32 コネクタは、メモリや I/O などを拡張できるように用意された 32 ビット EXT-BUS のコネクタです。このコネクタには、本ボードの内部のローカル・バスが接続されています。

9.1. ピン配置

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	GND	2	+5V	3	D0	4	D1
5	D2	6	D3	7	GND	8	D4
9	D5	10	D6	11	D7	12	GND
13	D8	14	D9	15	D10	16	D11
17	GND	18	D12	19	D13	20	D14
21	D15	22	GND	23	D16	24	D17
25	D18	26	D19	27	GND	28	D20
29	D21	30	D22	31	D23	32	GND
33	D24	34	D25	35	D26	36	D27
37	GND	38	D28	39	D29	40	D30
41	D31	42	GND	43	+5V	44	GND
45	Reserve	46	Reserve	47	(A1)	48	A2
49	A3	50	A4	51	GND	52	A5
53	A6	54	A7	55	A8	56	A9
57	A10	58	GND	59	A11	60	A12
61	A13	62	A14	63	A15	64	A16
65	GND	66	A17	67	A18	68	A19
69	A20	70	A21	71	A22	72	A23
73	GND	74	+5V	75	MRD-	76	Reserve
77	MWR0-	78	MWR1-	79	MWR2-	80	MWR3-
81	IORD-	82	IOWR-	83	GND	84	READY
85	GND	86	INT0-	87	INT1-	88	INT2-
89	INT3-	90	DMARQ0-	91	DMARQ1-	92	DMAAK0-
93	DMAAK1-	94	RESET-	95	32/16BIT-	96	N/C
97	+5V	98	GND	99	CLK	100	GND

JEXT32 コネクタピン配置



JEXT32 のピン配置

9.2. 信号

信号名	入出力	機能
D[0..31]	入出力	データ・バス信号。CPU のデータ・バス信号をバッファして接続。 ボード上で 10K ブルアップ。
A[1..23]	出力	アドレス・バス信号。CPU のアドレス信号をバッファして接続。
MRD-	出力	メモリ・リード・サイクルのタイミング信号。EXT-BUS 空間のアクセス時のみ、アクティブになる。
MWR-[0..3]	出力	メモリ・ライト・サイクルのタイミング信号。それぞれ、MWR0-は D[0..7]に、MWR1-は D[8..15]に、MWR2-は D[16..23]に、MWR3-は D[24..31]に対応。EXT-BUS 空間のアクセス時のみ、アクティブになる。
IORD-	出力	I/O リード・サイクルのタイミング信号。EXT-BUS 空間のアクセス時のみ、アクティブになる。
IOWR-	出力	I/O ライト・サイクルのタイミング信号。EXT-BUS 空間のアクセス時のみ、アクティブになる。
READY	入力	サイクルの終了を CPU に通知する信号。EXT-BUS 空間のみで有効。 確実に CPU に READY を認識させるためには、MRD-,MWR-[0..3],IORD-,IOWR-がインアクティブになるまで READY をアクティブに保つことが必要。ボード上で 10K ブルアップ。
INT-[0..3]	入力	Low アクティブの割り込み要求信号。ボード上の割り込みコントローラに接続。ボード上で 10K ブルアップ。 (「6.2.7.1 割り込みリソースと概要」参照)
DMARQ-[0..1]	入力	Low アクティブの DMA 要求信号。バッファ後 GBUS の GDMARQ2-, GDMARQ3-信号に接続されている。ボード上で 10K ブルアップ。
DMAAK-[0..1]	出力	Low アクティブの DMA 応答信号。GBUS の GDMAAK2-, GDMAAK3-信号に接続されている。
RESET-	出力	Low アクティブのシステム・リセット信号。
32/16BIT-	入力	この信号を Low にすると、データバスの D[15..0]のみが使用される (16 ビットバスモード)。High にすると、データバスの D[31..0]が使用される (32 ビットバスモード)。ボード上で 10K ブルアップ。
CLK	出力	クロック信号。GBUS の GCLK がバッファ後、接続されている。
Reserve		予約信号。EXT-BUS を使用するボードは、この端子に何も接続しないこと。

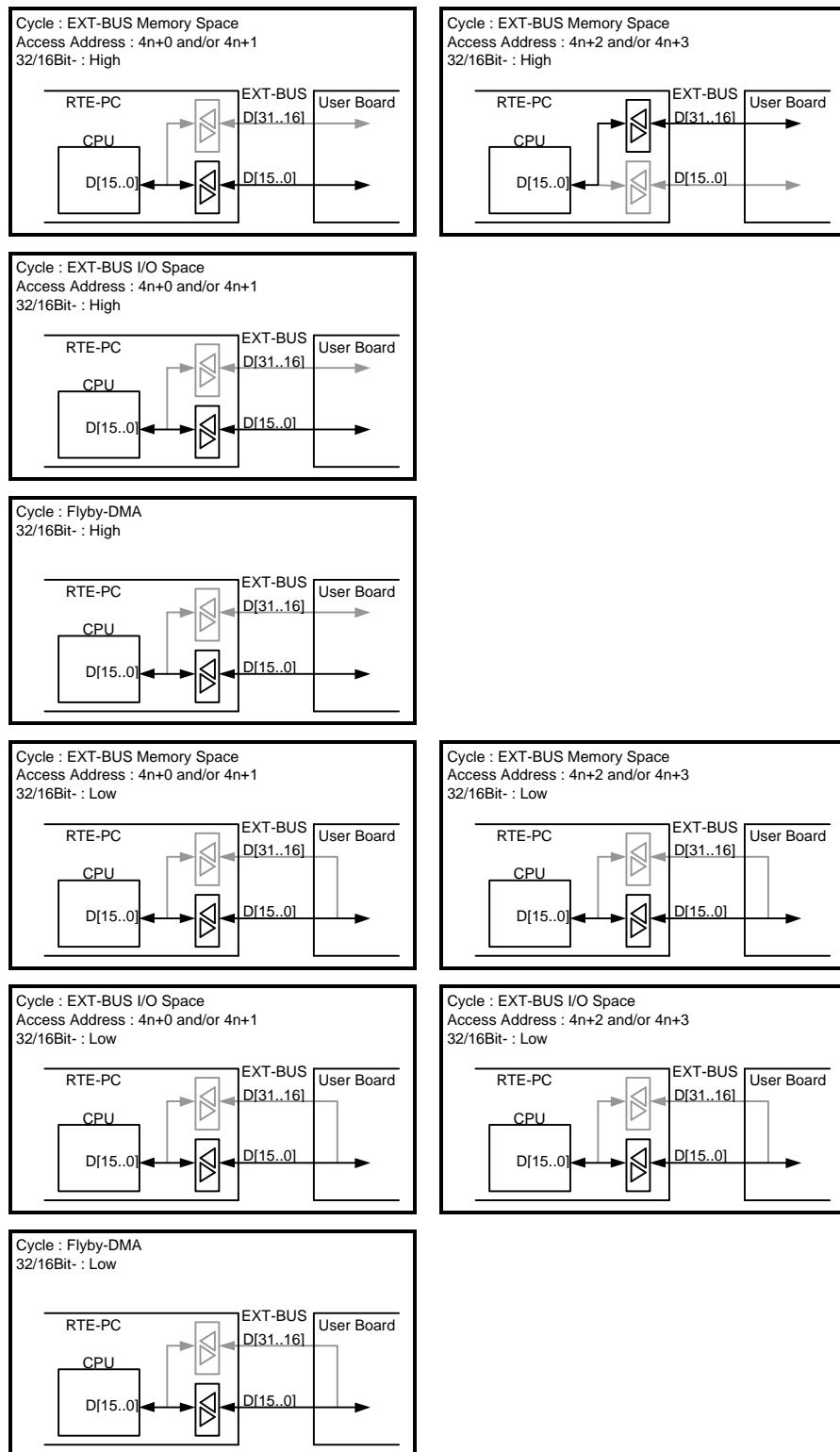
JEXT32 コネクタ信号

《注意事項》

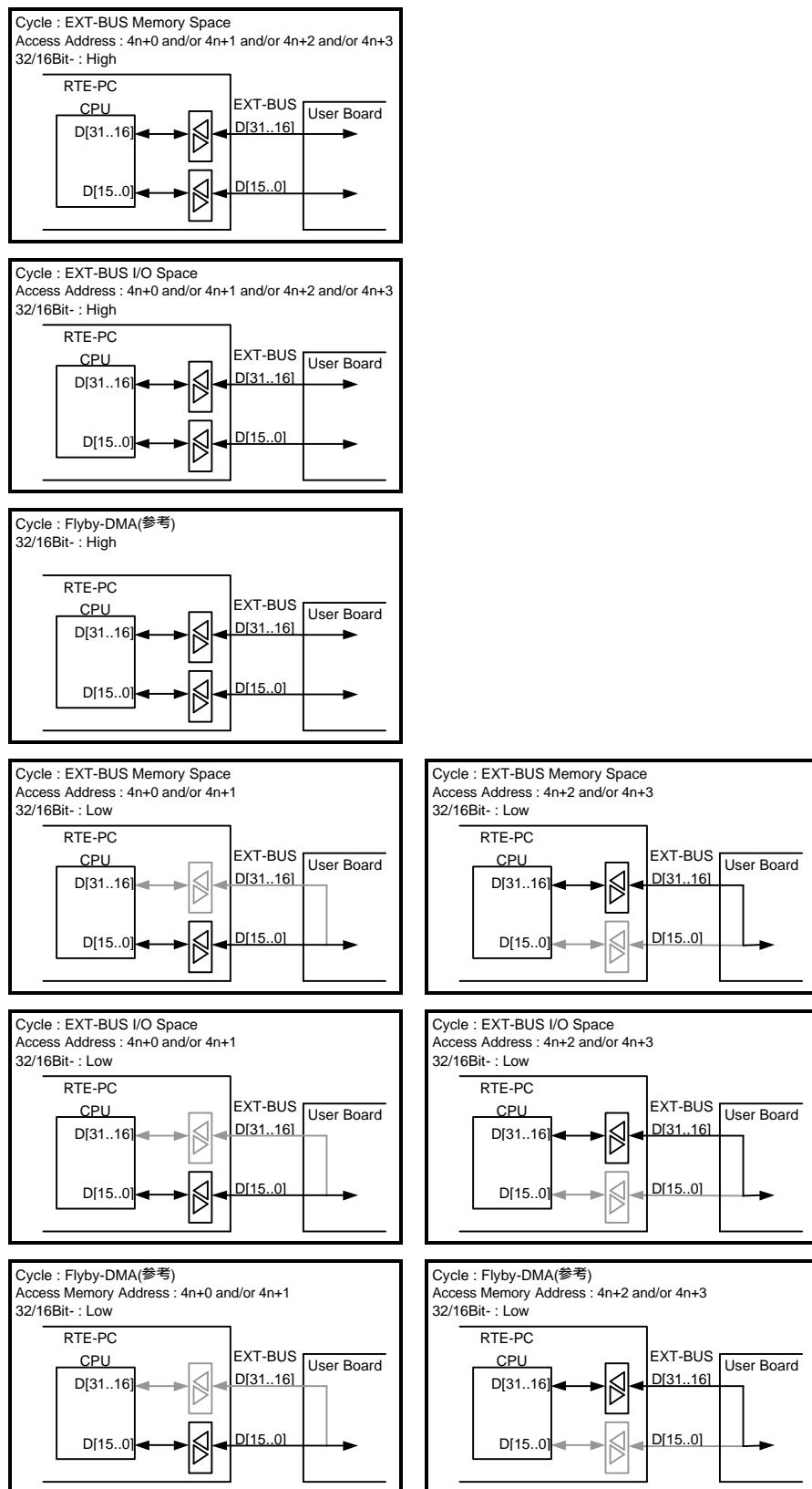
- 32/16BIT-信号は、将来の RTE シリーズの全てでサポートされるとは限りません。EXT-BUS に接続するボードを将来の RTE シリーズでも使用する予定の場合は、32 ビットバスモードで動作するように設計してください。
32/16BIT-が Low の時は、MWR2-および MWR3-がアサートされることはありません。代わりに MWR0-および MWR1-がアサートされます。
- A1 は 32/16BIT-信号が Low の時有効です。したがって、32/16BIT-信号がサポートされていない将来の RTE シリーズでは、A1 が出力されないことがあります。
- EXT-BUS バスの 1 回のサイクルでの最大アクセス・バス幅は、CPU のデータ・バスのバス幅に依存します。例えば 16 ビット・データバスの CPU の場合、I/O へのアクセスやフライバイ DMA でのアクセスの場合、最大 16 ビットまでのアクセスしかできません。
したがって、EXT-BUS に接続するボードの I/O サイクルやフライバイ DMA サイクルでアクセスされるレジスタは、接続しようとする CPU のデータバス幅以下のデータバス幅でなければなりません (RTE-MOTHER-A ではフライバイ DMA はありません)。

9.3. データバスの接続

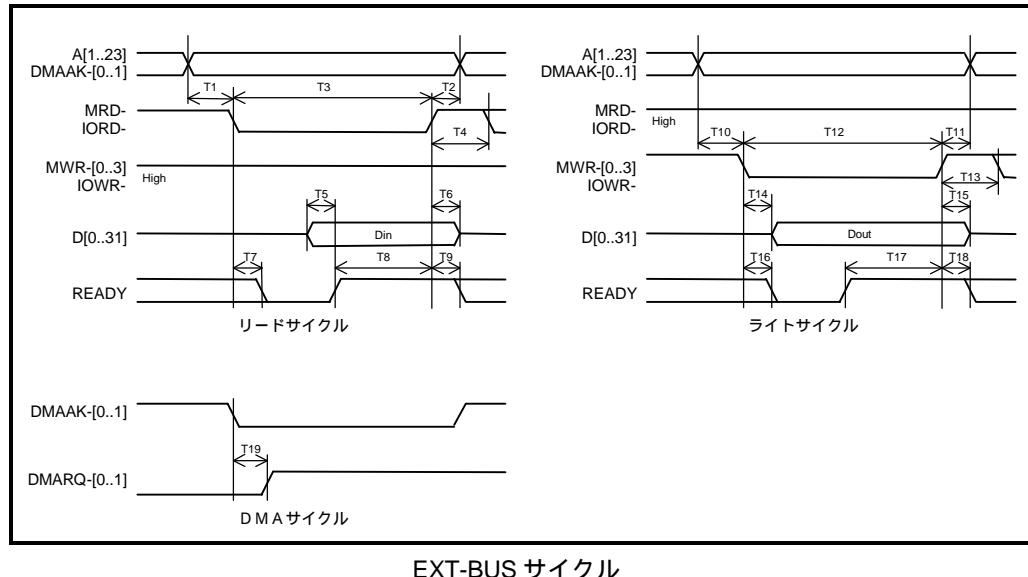
9.3.1. 16 ビット・データバスCPU (参考)



9.3.2. 32 ビット・データバスCPU (RTE-MOTHER-A の場合)



9.4. タイミング



EXT-BUS サイクル

記号	内容	MIN(ns)	MAX(ns)
T1	ADDR,DMAAK- MRD-,IORD- セットアップ時間	10	
T2	MRD-,IORD- ADDR,DMAAK- ホールド時間	10	
T3	MRD-,IORD- サイクル時間	50	
T4	MRD-,IORD- サイクル間隔	20	
T5	RD DATA RD READY セットアップ時間	0	
T6	MRD-,IORD- RD DATA ホールド時間	0	
T7	MRD-,IORD- RD READY ディレイ時間		20
T8	RD READY MRD-,IORD- ディレイ時間	15	
T9	MRD-,IORD- RD READY ホールド時間	0	
T10	ADDR,DMAAK- MWR-,IOWR- セットアップ時間	10	
T11	MWR-,IOWR- ADDR,DMAAK- ホールド時間	10	
T12	MWR-,IOWR- サイクル時間	50	
T13	MWR-,IOWR- サイクル間隔	20	
T14	MWR-,IOWR- WR DATA ディレイ時間		20
T15	MWR-,IOWR- WR DATA ホールド時間	10	
T16	MWR-,IOWR- WR READY ディレイ時間		20
T17	WR READY MWR-,IOWR- ディレイ時間	0	
T18	MWR-,IOWR- WR READY ホールド時間	0	
T19	DMAAK- DMARQ- インアクティブ遅延時間		20

EXT-BUS AC スペック

9.5. 適合コネクタ

EXT-BUS に使用しているコネクタと、そのコネクタに勘合する適合コネクタの型番を以下に示します。複数のボードを EXT-BUS に接続する場合は、ケーブルを使用してデージーチェーン接続を行います。

EXT-BUS 使用コネクタ	: KEL 社 8830E-100-170S
適合コネクタ（基板用）	: KEL 社 8802-100-170S
適合コネクタ（ケーブル用）	: KEL 社 8825E-100-1705
対ケーブル用ライトアングル（基板用）	: KEL 社 8830E-100-170L KEL 社 8831E-100-170L

9.6. 注意事項

EXT-BUS に接続するボードを設計する上での注意事項を以下に示します。

- 1 . 複数のボードを EXT-BUS に接続する場合は、READY 信号はボードが選択されているときのみドライブするように、Hi-Z 制御を行わなければなりません。
- 2 . EXT-BUS のサイクルにウェイトを挿入するためには、T7 および T16 を満足する必要があります。
- 3 . DMA サイクルをシングル転送モードで行う場合、次の DMA サイクルを確実に発生させないためには、タイミング図の T19 を満足する必要があります。ただし、この T19 は CPU の機能に大きく依存するため、将来の RTE シリーズで変更される可能性があります。

10.APPENDIX.B 16Bit EXT-BUS 仕様

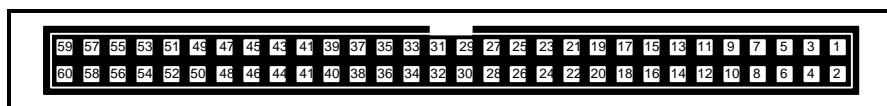
JEXT16 は、メモリや I/O などを拡張できるように用意された 16 ビット EXT-BUS のコネクタです。
このコネクタには、本ボードの内部のローカル・バスが接続されています。

10.1. ピン配置

以下に JEXT16 コネクタのピン配置を示します。

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+5V	2	+5V	31	GND	32	GND
3	D0	4	D1	33	A8	34	A9
5	D2	6	D3	35	A10	36	A11
7	D4	8	D5	37	A12	38	A13
9	D6	10	D7	39	A14	40	A15
11	GND	12	GND	41	+5V	42	+5V
13	D8	14	D9	43	A16	44	A17
15	D10	16	D11	45	A18	46	A19
17	D12	18	D13	47	BHE-	48	GND
19	D14	20	D15	49	GND ^{*1}	50	RD-
21	+5V	22	+5V	51	WR-	52	RESET-
23	A0	24	A1	53	GND	54	GND
25	A2	26	A3	55	READY	56	INT-
27	A4	28	A5	57	GND	58	GND
29	A6	30	A7	59	CPUCLK	60	GND

JEXT16 コネクタピン配置



JEXT16 のピン配置

10.2. 信号

信号名	入出力	機能
A[0..19]	出力	アドレス・バス信号。CPU のアドレス信号をバッファして接続。
BHE-	出力	バイトハイ・イネーブル信号。CPU のUBE-信号をバッファして接続。
D[0..15]	入出力	データ・バス信号。CPU のデータ・バス信号をバッファして接続。 また、ボード上で 10K ブルアップ。
RD-	出力	リード・サイクルのタイミング信号。JEXT 空間のアクセス時のみ、アクティブになる。
WR-	出力	ライト・サイクルのタイミング信号。JEXT 空間のアクセス時のみ、アクティブになる。
READY	入力	サイクルの終了を CPU に通知する信号。JEXT 空間のみで有効。 確実に CPU に READY を認識させるためには、RD-もしくは WR-がインアクティブになるまで READY をアクティブに保つことが必要。また、ボード上で 10K ブルアップ。
INT-	入力	Low アクティブの割り込み要求信号。JEXT32 コネクタの INT0-信号に接続されている。また、ボード上で 10K ブルアップ。 (「6.2.7.6 割り込みステータス・レジスタ 1 (INT_STATUS1 GCS2:0000-6040H) [Read Only]」参照)
RESET-	出力	Low アクティブのシステム・リセット信号。
CLK	出力	クロック信号。GBUS の GCLK 端子がバッファ後、接続されている。

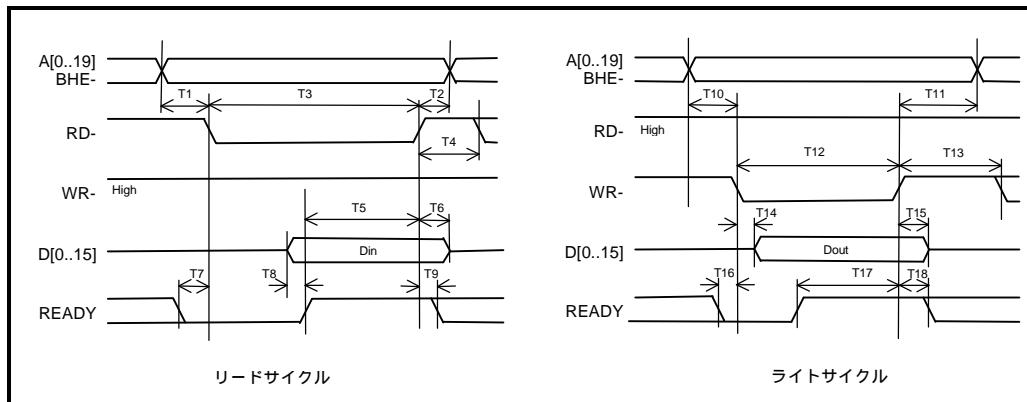
JEXT16 コネクタ信号

《注意事項》

1 . 49Pin は本来 GND 端子ですが、本マザー・ボードでは JEXT16 コネクタにボードが挿されているかどうかの検出のために使用しています。つまり、49Pin が Low レベルであれば JEXT16 コネクタにボードが接続されていることになります。

49Pin が GND に接続されていないボードを JEXT16 コネクタに接続する場合は、JP5 をショートすることで、強制的に 49Pin を GND に接続することができます（「5.6 EXT-BUS 強制 16Bit ジャンパ (JP5)」参照）。

10.3. タイミング



JEXT16 バス・サイクル

記号	内容	MIN(ns)	MAX(ns)
T1	RD アドレス セットアップ時間	0	
T2	RD アドレス ホールド時間	0	
T3	RD サイクル時間	50	
T4	RD サイクル間隔	20	
T5	RD データ セットアップ時間	15	
T6	RD データ ホールド時間	0	
T7	RD READY WAIT セットアップ時間	0	
T8	RD READY セットアップ時間	0	
T9	RD READY ホールド時間	0	
T10	WR アドレス セットアップ時間	0	
T11	WR アドレス ホールド時間	20	
T12	WR サイクル時間	50	
T13	WR サイクル間隔	20	
T14	WR データ 遅延時間		20
T15	WR データ ホールド時間	20	
T16	WR READY WAIT セットアップ時間	0	
T17	WR READY セットアップ時間	0	
T18	WR READY ホールド時間	0	

JEXT16 バス AC スペック

- Memo -

RTE-MOTHER-A ユーチーズ・マニュアル

M881MNL01

Midas lab