

RTE-V850E2/ME3-CB

ユーザース・マニュアル(Rev. 1.00)

改訂履歴

実施日	Revision	章	内容
2005年02月08日	0.9		暫定初版
2005年06月07日	0.91		・誤記訂正 ・ローダのキャプチャー図の入れ替え
2005年07月22日	1.00		正式初版

目次

1. はじめに	1
1.1. マニュアル表記について	1
2. 機能	2
3. 主な特徴	3
4. 基本仕様	3
5. ボードの構成	4
5.1. リセット・スイッチ (SW_RESET)	4
5.2. 電源コネクタ (JPOWER)	4
5.3. スイッチ 1 (SW1)	4
5.4. スイッチ 2 (SW2)	5
5.5. スイッチ 3, 4, 6 (SW3, SW4, SW6)	5
5.6. スイッチ 5 (SW5)	6
5.7. スイッチ 7 (SW7)	7
5.8. スイッチ INTP25(INTP25).....	7
5.9. 7SEG-LED, xxx-LED.....	7
5.10. ROM エミュレータ用テストピン (JROM-EMLT)	7
5.11. クリスタル・ソケット(JXTAL1).....	8
5.12. AVDD 切り替えジャンパ (JP1).....	8
5.13. CF-IF:CSEL-端子(39pin)の設定ジャンパ (JP2).....	8
5.14. CF-IF:OE-端子(9pin)の設定ジャンパ (JP3).....	8
5.15. LAN91C111:LINK 端子の設定ジャンパ (JP4).....	8
5.16. READY 端子の設定ジャンパ (JP6)	8
5.17. シリアル・コネクタ (JSIO1,JSIO2)	8
5.18. USB コネクタ 1 (JUSB1)	9
5.19. USB コネクタ 2 (JUSB2)	10
5.20. LAN コネクタ (JLAN)	10
5.21. JGBUS コネクタ (JGBUS)	10
5.22. ICE-JTAG コネクタ(JDCU)	11
5.23. ICE-EMEM コネクタ(JEMEM1).....	11
5.24. 信号観測用コネクタ(J1, J2, J3).....	12
5.25. CPU 信号コネクタ (JEXT-AD, JEXT_PORT)	13
6. ホスト PC との接続	15
6.1. RS-232C 接続	15
7. ハードウェア・リファレンス	16
7.1. メモリ・I/O のマップ	16
7.2. 推奨設定	18

7.2.1. MEMC レジスタ.....	18
7.3. メモリ詳細.....	18
7.3.1. FlashROM(CS0 :1000000 - 01FFFFFF).....	18
7.3.2. SDRAM (CS1:0800000 - 27FFFFFF).....	18
7.4. IO マップ.....	19
7.4.1. IO 一覧.....	19
7.4.2. SW1 読み出しポート(SW1 1FE0000H [Read Only]).....	19
7.4.3. SW2 読み出しポート(SW2 1FE01000H [Read Only]).....	19
7.4.4. 7セグメント LED 表示データ出力ポート(7SEG-LED 1FE02000/2H [Write Only]).....	19
7.4.5. タイムオーバー・レディー-LED クリア・パルス(TOVRDY_LED_CLRPLS 1FE03000H [Write Only]).....	20
7.4.6. 割り込みコントローラ(PIC:1FE04000H - 1FE04030H [Read/Write]).....	20
7.4.7. UART (TL16C550C:1FE08000H - 1FE08070H).....	22
7.4.8. TIC (uPD71054 1FE09000H - 1FE09030H).....	22
7.4.9. USB (ML60852A:1FE0A000 - 1FE0A0FF).....	23
7.4.10. CompactFlash (1FE0C000H - 1FE0DFFFH).....	24
7.4.11. LANC (LAN91C111:1FE10300H - 1FE1030EH).....	34
8. ソフトウェア.....	35
8.1. 初期化.....	35
8.2. uPD71054 に対する連続アクセス.....	35
8.3. ライブラリ.....	35
8.4. タイマの使用例.....	36
9. マスカブル割り込みを使用したアプリケーションの開発.....	37
9.1. 割り込みベクタ.....	37
9.2. 一般的な制限事項 / 注意事項.....	38
9.3. ダウンロード時のベクタ領域書換え方法.....	38
9.4. ブレーク・ポイント使用に関する制限事項 / 注意事項.....	39
10. CPU 端子接続.....	40
10.1. 端子接続一覧.....	40
10.2. RESET-.....	41
10.3. PCM0/WAIT-.....	41
10.4. P20/NMI, P11/SCK0/INTP11-.....	42
10.5. P23/SCK1/INTP23-.....	42
10.6. P24/SI1/INTP24+, PCM2/HLDAK-, UDP, UDM.....	42
10.7. P25/SO1/INTP25-.....	43
10.8. P65/INTP65-/..., P66/INTP66-/..., P67/INTP67-/.....	43
10.9. P50/DMARW0-/INTP50, P53/DMARQ1-/INTPC00.....	43
10.10. P72/DMARQ2-/..., P75/DMARQ3-/.....	44
10.11. P12/SI0/RXD0.....	44
10.12. P13/SO0/TXD0.....	44
10.13. P21/RXD1/INTP21-.....	44

10.14. P22/TXD1/INTP22-	44
10.15. その他の信号	45
11. GBUS 個別仕様	46
11.1. 概要	46
11.2. バス・サイクル	47
11.3. チップセレクト	48
11.4. RTE-MB-A の初期設定	48
11.5. Audio 用 DMA に関して	48
11.6. EXt-Bus の DMA に関して	48
12. MULTI モニタ	49
12.1. ボードの設置	49
12.1.1. RTE for Win32 のインストール	49
12.1.2. SW1 の設定	49
12.1.3. SW2 の設定	49
12.1.4. PC との接続	50
12.2. Multi モニタ	50
12.2.1. 起動時の 7Seg-LED	50
12.2.2. ROM モニタ・ワーク RAM	50
12.2.3. モニタ割り込み	50
12.2.4. _INIT_SP の設定	51
12.2.5. タイマ割り込み	51
12.2.6. ハードウェアの初期化	51
12.2.7. 特殊命令	51
12.3. RTE コマンド	51
12.3.1. HELP(?)	51
12.3.2. INIT	51
12.3.3. VER	51
12.3.4. SFR コマンド	52
13. FLASHMEMORY ロータ	53
13.1. ボードの設置	53
13.1.1. SW1 の設定	53
13.1.2. SW2 の設定	53
13.1.3. PC との接続	53
13.2. FlashMemory ロータ	54
13.2.1. 起動時の 7Seg-LED	54
13.2.2. 注意事項	54
13.3. 操作方法	55
13.3.1. 起動手順	55
13.3.2. 通信環境	55
13.3.3. ヘキサファイルの転送方法	57
13.3.4. エラー	58

14. GBUS 共通仕様	59
14.1. 用語.....	59
14.1.1. CPU ボードとマザー・ボード.....	59
14.1.2. バス・サイクル、マイクロ・サイクル.....	59
14.2. 信号.....	59
14.3. ピン配置.....	63
14.4. 未使用端子の処理.....	64
14.5. GCS-[7:0]の割り付け.....	64
14.6. バス・サイクル.....	65
14.6.1. シングル・サイクル.....	65
14.6.2. バースト・サイクル.....	65
14.6.3. <i>GWAITI</i> -.....	66
14.6.4. <i>GBTERM</i> -.....	67
14.7. タイミング.....	68
14.7.1. セットアップ・タイム.....	68
14.7.2. ディレイ・タイム.....	68
- MEMO -	69

1. はじめに

「RTE-V850E2/ME3-CB」は、NEC 製の RISC プロセッサ V850E2/ME3 の評価を目的とした CPU ボードです。プロセッサの性能評価、デモンストレーション、シミュレータの実行エンジン、アプリケーション・プログラムの試作開発など、幅広くご利用頂けます。

ボードは、最高 200MHz で動作する V850E2/ME3、メモリ、シリアル、LAN、USB 等のインターフェースと拡張用のバスコネクタで構成されます。メモリは、フラッシュ ROM と SDRAM を標準で搭載しています。SDRAM の制御は、V850E2/ME3 が内蔵するメモリコントローラを使用して行います。

本製品は開発用のソフトウェアツールとして、ROM モニタで GHS 社の Multi(ソースレベルデバッガ)の他、各社の JTAG-ICE がご使用になれます。

1.1. マニュアル表記について

本書では、数字の表記については下表の表記を用います。16 進数や 2 進数の表記では、桁数が多くて読みにくい場合は、4 桁ごとに“-”(ハイフン)を入れてあります。

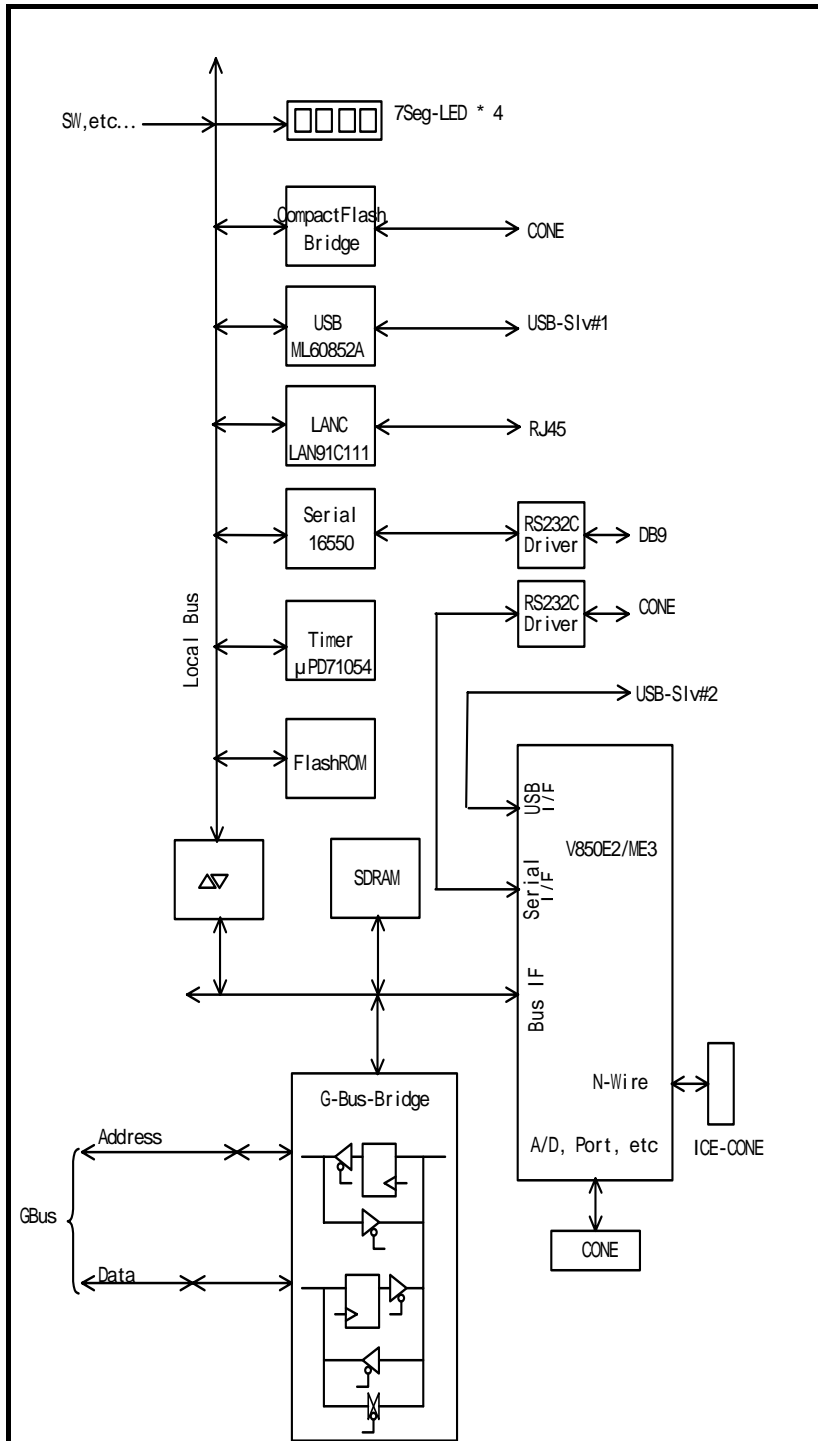
進数	表記規則	例
10 進数	数字のみを示します	“10”は 10 進数の“10”を示します
16 進数	数字の末尾に”H”を記します	“10H”は 10 進数の“16”を示します
2 進数	数字の末尾に”B”を記します	“10B”は 10 進数の“2”を示します

数字表記規則

Multi は米国 Green Hills Software, Inc の商標です。

2. 機能

RTE-V850E2/ME3-CB の機能ブロックの概要を図に示します。



RTE-V850E2/ME3-CB ブロック図

”Local Bus”は CPU バスをバッファしたバスで、CPU に同期したバスです。

”Gbus”は、CPU バスとは非同期のバスで、33MHz 固定のバスです。

3. 主な特徴

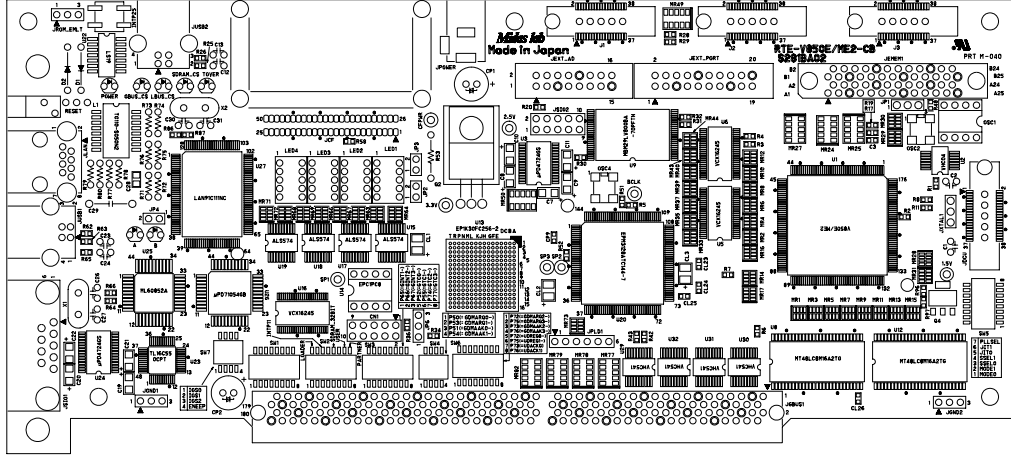
- GreenHills 社の MULTI 用のモニタ ROM を搭載していますので、MULTI を使用して高級言語レベルでのリアルタイム実行・評価が可能です。
- JTAG/N-Wire ICE が接続できます。
- FlashROM を 1M-Byte、SDRAM は 32M-Byte を標準搭載しています。
- シリアル(2ch)のインターフェースを用意しています (1ch は外部コントローラ、もう 1ch は CPU 内蔵のコントローラを使用し、モニタは外部コントローラのシリアルを使用)。
- タイマ(3ch)を搭載しています (モニタで 1ch 使用)。
- USB のコントローラを搭載しています。内蔵の USB コントローラの評価も可能です。
- LAN コントローラを搭載しています。
- CF-Card のインターフェースを搭載しています。

4. 基本仕様

プロセッサ	V850E2/ME3
CPU クロック	200MHz
バスクロック	66MHz
電源	+5V , 1.5A(max)
メモリ	
FlashROM	1M-Byte
SDRAM	32M-Byte (但し、16-Bit バス指定時は 16M-Byte)
I/O	
シリアル(2ch)	CPU 内蔵(Uart) ヘッダ NS16550 相当 DB9 コネクタ
タイマ	uPD71054 分解能 500nS
USB	Oki:ML60852A
LAN	Smsc:LAN91C111
IO ポート	LCD or LED(7seg)表示 / スイッチ入力
その他	
CF-Card-IF	Compact Flash Card のインターフェース
テストコネクタ	バス等の信号を観測する為のロジアナ用のコネクタ
GBUS コネクタ	RTE-CB 標準 32bit I/F(33MHz)
N-Wire IF	ICE 接続用インターフェース(MICTOR)
GP ヘッダ	CPU の未使用ピンを開放するためのコネクタ
STD16ROM-IF	ROM エミュレーション用コネクタ
スイッチ	RESET, 割り込み等

5. ボードの構成

下図は RTE-V850E2/ME3-CB ボード上の主要な部品の物理的な配置です。本章では、それぞれの部品について説明します。



RTE-V850E2/ME3-CB の部品配置図

5.1. リセット・スイッチ (SW_RESET)

SW_RESET は本ボード全体のリセット・スイッチです。このスイッチを押すと CPU を含む全ての回路がリセットされます。

5.2. 電源コネクタ (JPOWER)

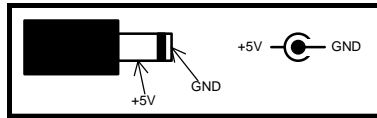
JPOWER コネクタに供給する電源は、以下の通りです。

電圧：5V

電流：1.5A(max)

適合コネクタ：Type A (5.5)

極性：



電源コネクタの極性に十分ご注意ください。

また、JGBUS コネクタから電源を供給する場合は、JPOWER に電源を接続しないでください。

5.3. スイッチ 1 (SW1)

SW1 は、汎用の入力ポートのスイッチです。設定状態は、入力ポートから読み出すことが可能です (「7.4.2 SW1 読み出しポート(SW1 1FE00000H [Read Only])」参照)。ポートからの読み出し時、スイッチは OFF で 1、ON で 0 の値になります。モニタ ROM を使用する場合には、一部を除き割り当て済みです。モニタ ROM での割り付けは、以下の各章を参照し使用環境に合わせて設定してください。

Multi を使用する場合、「12.1.2 SW1 の設定」を参照ください。

5.4. スイッチ 2 (SW2)

SW2 は、本ボードの動作をハード的に切り替えるスイッチです。設定内容は入力ポートから読み出すことが可能です (「7.4.3 SW2 読出しポート(SW2 1FE01000H [Read Only])」を参照)

番号	信号名	出荷時の設定	機能
1	LOADER	OFF	起動プログラムを指定します。 OFF : 通常のモニタを起動します。 ON : FLash Memory Loader を起動します。
2	---	OFF	常時、OFF でご使用ください。
3	INTP11	OFF	モニタで使用する割り込みを指定します。 OFF : NMI ON : INTP11
4	CACHE	OFF	キャッシュの設定を指定します。 OFF CS1 を cache に設定します。他は, uncache です。 ON CS0, CS1, CS2 を uncache に設定します。
5	SDRAM_32Bit	ON	SDRAM のバスサイズを指定します。 OFF: 16-Bit ON: 32-Bit
6	---	OFF	常時、OFF でご使用ください。
7	MONITOR0	OFF	起動するプログラムを選択します。 8 7
8	MONITOR1	OFF	OFF OFF : Multi Monitor (0x100000) ON OFF : Reserve (0x108000) OFF ON : Reserve (0x110000) ON ON : User Program (0x118000)

- ・SW2-3 は、モニタで割り込みコントローラの設定のために読み出しているだけです。
- ・SW2-7,8 は、起動後の分岐アドレスを決めるために読み出しているだけです。
これは、Multi のモニタ内で処理しています。

5.5. スイッチ 3, 4, 6 (SW3, SW4, SW6)

SW3, SW4, SW6 は、CPU の端子に接続している本基板内の信号線を物理的にカットするためのスイッチです。通常、出荷時の状態でご使用ください。

備考：以下の表は、CPU 端子と最終的な内部の資源名を記述しています。

[SW3]

番号	CPU 端子名	出荷時の設定	接続される内部資源
1	INTP65-/TIC1/INTPC10/P65	ON	GINT1- : GBUS の割り込み要求信号 GINT1-
2	INTP66-/INTPC11/P66	ON	GINT2- : GBUS の割り込み要求信号 GINT2-
3	INTP67-/TOC1/P67	ON	GINT3- : GBUS の割り込み要求信号 GINT3-
4	---	OFF	常時、OFF でご使用ください。
5	INTP52-/TC0-/P52	OFF	常時、OFF でご使用ください。
6	TOC0/TC1-/P55	OFF	常時、OFF でご使用ください。
7	TOC2/TC2-/P74	OFF	常時、OFF でご使用ください。
8	TOC3/TC3-/P77	OFF	常時、OFF でご使用ください。

[SW4]

番号	CPU 端子名	出荷時の設定	接続される内部資源
1	INTP50-/DMARQ0-/P50	ON	GDMARQ0- : GBUS の DMARQ0-
2	INTPC00/TIC0/DMARQ1-/P53	ON	GDMARQ1- : GBUS の DMARQ1-
3	INTP51-/DMAACK0-/P51	OFF	常時、OFF でご使用ください。
4	INTPC01/DMAAK1-/P54	ON	DMAACK1- : GBUS の DMAAK1-

[SW6]

番号	CPU 端子名	出荷時の設定	接続される内部資源
1	P72/DMARQ2-/INTPC20/TIC2	OFF	GDMARQ2- : GBUS の DMARQ2-
2	P75/DMARQ3-/INTPC30/TIC3	OFF	GDMARQ3- : GBUS の DMARQ3-
3	P73/DMAAK2-/INTPC21	OFF	常時、OFF でご使用ください。
4	P76/DMAAK3-/INTPC31	OFF	常時、OFF でご使用ください。
5	P72/DMARQ2-/INTPC20/TIC2	ON	USBDRQ0- : ML60852A の DREQ0-端子
6	P75/DMARQ3-/INTPC30/TIC3	ON	USBDRQ1- : ML60852A の DREQ1-端子
7	(P73/DMAAK2-/INTPC21)-	OFF	常時、OFF でご使用ください。
8	(P76/DMAAK3-/INTPC31)-	OFF	常時、OFF でご使用ください。

SW6-1 と SW6-5, SW6-2 と SW6-6 は両方を同時に ON にしないでください。

5.6. スイッチ 5 (SW5)

SW5 は CPU のモード端子設定用のスイッチです。通常は出荷時の状態でご使用ください。

番号	信号名	出荷時の設定	機能
1	MODE0	OFF	起動時のバス幅を指定します。 2 1 ON OFF : 16-Bit << 常時、この状態でご使用ください。 ON ON : 32-Bit << 設定禁止
2	MODE1	ON	
3	SSEL0	OFF	CPU の SSEL0 端子のレベルを指定します。 OFF : High レベル ON : Low レベル
4	SSEL1	ON	CPU の SSEL1 端子のレベルを指定します。 OFF : High レベル ON : Low レベル
5	JIT0	OFF	CPU の JIT0 端子のレベルを指定します。 OFF : High レベル ON : Low レベル
6	JIT1	OFF	CPU の JIT1 端子のレベルを指定します。 OFF : High レベル ON : Low レベル
7	VBCSEL	OFF	CPU の VBCSEL 端子のレベルを指定します。 OFF : High レベル ON : Low レベル
8	----	OFF	常時、OFF でご使用ください。

注意：モニタ ROM を使用する場合は、出荷時の設定でご使用ください。

5.7. スイッチ7 (SW7)

SW7 は、出荷時の状態でご使用ください。

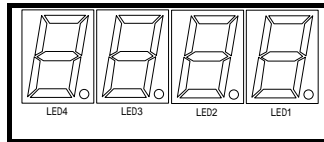
番号	CPU 端子名	出荷時の設定	備考
1	ISO0	ON	出荷時の設定から変更しないでください。
2	ISO1	ON	出荷時の設定から変更しないでください。
3	ISO2	ON	出荷時の設定から変更しないでください。
4	ENEPP	OFF	出荷時の設定から変更しないでください。

5.8. スイッチ INTP25(INTP25)

スイッチ INTP25 は、CPU の P25/INTP25 端子に接続されています。スイッチを押下した状態で、ローレベルが印加されます。

5.9. 7SEG-LED, xxx-LED

LED は、各種ステータスを示しています。表に内容を示します。4 つの 7SEG-LED は、起動時にモニタが使用しますが、その後、ユーザアプリケーションで自由に使用可能です。



名称	内容
POWER	ボードに電源が供給されている時に点灯
GBUS_CS	GBUS 空間へのアクセス時に点灯します。
LBUS_CS	ボード上のローカルバス空間へのアクセス時に点灯します。
SDRAM_CS	ボード上の SRAM 空間へのアクセス時に点灯します。
TOVER	タイムオーバ・レディ発生時に点灯、ソフト的にクリアするまで点灯する (「7.4.5 タイムオーバ・レディ LED クリア・パルス (TOVRDY_LED_CLRPLS 1FE03000H [Write Only])」参照)
A	LAN91C111 の LEDA 端子(24pin)がローレベルで点灯します。
B	LAN91C111 の LEDB 端子(25pin)がローレベルで点灯します。

ボード LED ステータス

5.10. ROM エミュレータ用テストピン (JROM-EMLT)

JROM-EMLT は、ROM エミュレータを接続する際に使用するテストピンです。下記の制御信号が入力できます。表に信号名と機能を示します。

信号名 (ピン番号)	入出力	機能
RESET- (1)	入力	Low レベル入力により、CPU がリセットされます。 ROM エミュレータからのリセット要求信号を接続します。 1K でプルアップされています。
NMI- (2)	入力	Low レベル入力により、CPU に NMI が入ります (10.4P20/NMI, P11/SCK0/INTP11を参照ください。)。 ROM エミュレータからの NMI 要求信号を接続できます。 1K でプルアップされています。
GND(3)	- - -	GND。ROM エミュレータの GND と接続します。

JROM_EM 端子の機能

5.11. クリスタル・ソケット(JXTAL1)

JXTAL1 は、CPU に供給するクロックの切り替えとクリスタルの実装ソケットの役割を持っています。

OSC1 からのクロックを CPU のクロックとして使用する場合

JXTAL1 の 1pin と 2pin をショートします。この場合、クリスタルは実装しないでください。

JXTAL1 にクリスタルを実装し、CPU の発振回路を使用する場合

JXTAL1 の 1pin と 3pin の間にクリスタルを実装します。1pin、2pin 間はショートしないでください。出荷時は 10MHz のクリスタルが実装されています。

5.12. AVDD 切り替えジャンパ (JP1)

JP1 は、CPU に供給する AD 用の電源(AVDD)を切り替えるためのジャンパです。

ボードから供給する場合：出荷時の状態

JP1 の 1pin と 2pin をショートします。それにより+3.3V が供給されます。

外部(JEXT_AD)から供給する場合

JP1 の 2pin と 3pin をショートし、電源を JEXT-AD コネクタ-10 ピンから供給してください。

5.13. CF-IF:CSEL-端子(39pin)の設定ジャンパ (JP2)

JP2 は、CF-IF の CSEL-端子(39pin)の状態を切り替えるためのジャンパです。

ショートすることで GND レベルに設定されます。出荷時の状態はショートです。

5.14. CF-IF:OE-端子(9pin)の設定ジャンパ (JP3)

JP3 は、CF-IF の OE-端子(9pin)の状態を切り替えるためのジャンパです。

ショートすることで GND レベルに設定されます。出荷時の状態はオープンです。

5.15. LAN91C111:LINK 端子の設定ジャンパ (JP4)

JP4 は、LAN91C111 の LINK-端子(22pin)の状態を切り替えるためのジャンパです。

ショートすることで GND レベルに設定されます。出荷時の状態はオープンです。

5.16. READY 端子の設定ジャンパ (JP6)

JP6 は、非マップ空間をアクセスした時の CPU の READY 端子の状態処理を切り替えるためのジャンパです。出荷時の状態は 1-2 ショートです。

CPU の READY 端子 PULL-DOWN 処理する場合

JP6 の 1pin と 2pin をショートします。この場合、未マップ空間へアクセスした場合、タイムオーバーが発生します。

CPU の READY 端子 PULL-UP 処理する場合

JJP6 の 2pin と 3pin をショートします。この場合、未マップ空間へアクセスしてもタイムオーバーになることはありません。

5.17. シリアル・コネクタ (JSIO1,JSIO2)

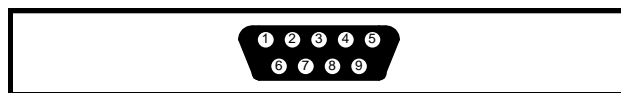
JSIO1 コネクタは、ボード上のシリアル・コントローラ(TL16C550CPT)によって制御される RS-232C インターフェイス用のコネクタです。

JSIO2 コネクタは、CPU の内蔵シリアル・コントローラによって制御される RS-232C インターフェイス用のコネクタです。

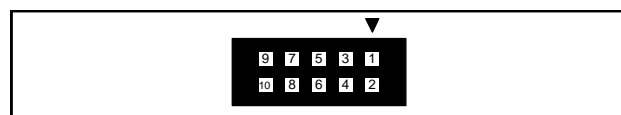
コネクタの形状は、JSIO1 は PC/AT で用いられる一般的な D-SUB9 ピンの RS-232C コネクタ、JSIO2 は 2.54mm ピッチのピンプラグ型のコネクタです。何れも、全ての信号は RS-232C レベルに変換されています。コネクタのピン番号と信号アサインは下の図と表の通りです。

表には、ホストと接続する場合の接続信号について、ホスト側が D-SUB9 ピンの場合と D-SUB25 ピンの場合の布線をそれぞれ示してあります（一般的なクロスケーブルの布線です）。

また JSIO2 のピン配置は、リボンケーブルに対して圧接型コネクタを使用した場合、JSIO1 のピン配置と同じになるようになっています。



JSIO1 ピン配置 (オス)



JSIO2 ピン配置

適合コネクタ：

- 10 ピンケーブル用： オムロン株式会社 XG4M-1030-T 相当品可
 10 ピン基板用： オムロン株式会社 XG8W-1031 相当品

JSIO1 ピン番号	信号名	入出力	ホストの接続ピン番号	
			D-SUB9	D-SUB25
1	DCD	入力		
2	RxD(RD)	入力	3	2
3	TxD(SD)	出力	2	3
4	DTR(DR)	出力	1, 6	6, 8
5	GND		5	7
6	DSR(ER)	入力	4	20
7	RTS(RS)	出力	8	5
8	CTS(CS)	入力	7	4
9	RI	入力		

JSIO1 コネクタ信号

JSIO2 ピン番号	CPU 端子	信号名	入出力	ホストの接続ピン番号	
				D-SUB9	D-SUB25
1	--	DCD	入力		
3	P12	RxD(RD)	入力	3	2
5	P13	TxD(SD)	出力	2	3
7	--	DTR(DR)	出力	1, 6	6, 8
9		GND		5	7
2	--	DSR(ER)	入力	4	20
4	P21	RTS(RS)	出力	8	5
6	P22	CTS(CS)	入力	7	4
8	--	RI	入力		

JSIO2 コネクタ信号

注意事項：

1. JSIO2 の 1, 2, 8, 10 ピンは、ボード内で使用されていません。
2. JSIO2 の 7 ピン(DTR)は、2 ピン(DSR)をループバックしています。

5.18. USB コネクタ 1 (JUSB1)

JUSB1 コネクタは、本ボードに搭載している USB デバイスコントローラのインターフェース用です。コネクタはシリーズBです。

JUSB1 ピン番号	信号名
1	VCC
2	-DATA
3	+DATA
4	GND

JUSB1 コネクタ信号

5.19. USB コネクタ 2 (JUSB2)

JUSB2 コネクタは、CPU に搭載している USB デバイスコントローラのインターフェース用です。コネクタはシリーズBです。

JUSB2 ピン番号	信号名
1	VCC
2	-DATA
3	+DATA
4	GND

JUSB2 コネクタ信号

5.20. LAN コネクタ (JLAN)

JLAN1 コネクタは、10BaseT 用の RJ45 コネクタです。

JLAN1 ピン番号	信号名	ピン番号	信号名
A1	TD+	A5	CT2
A2	TD-	A6	RD-
A3	RD+	A7	CT3
A4	CT1	A8	CT4

JLAN コネクタ信号

5.21. JGBUS コネクタ (JGBUS)

拡張用の 32Bit データ幅のバスコネクタです。詳細は「11 GBUS 個別仕様」、「14 GBUS 共通仕様」を参照してください。

5.22. ICE-JTAG コネクタ(JDCU)

JDCU コネクタは ICE を接続するためのコネクタです。JTAG 系 ICE(マイダス・ラボ社製 RTE-2000-TP 等)の ICE が接続できます。以下の信号が接続されています。

ピン番号	信号名	ピン番号	信号名
1	GND	2	GND
3	DCK	4	+3.3V
5	DMS	6	DRST-
7	DDI	8	NC.
9	DDO	10	NC.
11	NC.	12	NC.
13	NC.	14	NC.
15	NC.	16	NC.
17	TRCCLK	18	NC.
19	TRCEND	20	NC.
21	TRCDATA0	22	GND
23	TRCDATA0	24	GND
25	TRCDATA0	26	GND
27	TRCDATA0	28	GND
29	GND	30	GND
31	GND	32	GND
33	GND	34	GND
35	GND	36	GND
37	GND	38	GND

JDCU コネクタ信号

5.23. ICE-EMEM コネクタ(JEMEM1)

JEMEM1 コネクタは ROM をエミュレーションするツールを接続するためのコネクタです。NEC 社で推奨している 16-Bit 標準 ROM コネクタの仕様に準拠したもので、JTAG 系 ICE(マイダス・ラボ社製 RTE-2000-TP 等)のエミュレーションプローブが接続できます。以下の信号が接続されています。

ピン番号	信号名	ピン番号	信号名
A1	GND	B1	ADDR1
A2	ADDR2	B2	ADDR3
A3	ADDR4	B3	ADDR5
A4	ADDR6	B4	ADDR7
A5	ADDR8	B5	ADDR9
A6	ADDR10	B6	ADDR11
A7	ADDR12	B7	ADDR13
A8	ADDR14	B8	ADDR15
A9	ADDR16	B9	ADDR17
A10	ADDR18	B10	ADDR19
A11	ADDR20	B11	ADDR21
A12	ADDR22	B12	GND
A13	WR-	B13	INH-
A14	WR-	B14	GND
A15	CS-	B15	GND
A16	RD-	B16	+3.3V
A17	DATA0	B17	DATA1
A18	DATA2	B18	DATA3
A19	DATA4	B19	DATA5
A20	DATA6	B20	DATA7
A21	DATA8	B21	DATA9
A22	DATA10	B22	DATA11
A23	DATA12	B23	DATA13
A24	DATA14	B24	DATA15
A25	GND	B25	GND

JEMEM1 コネクタ信号

5.24. 信号観測用コネクタ(J1, J2, J3)

J1, J2, J3 コネクタは、HP 社の高密度プローブを接続してボード上の信号を観測するためのコネクタです。

ピン番号	信号名	ピン番号	信号名
1	NC.	2	NC.
3	GND	4	NC.
5	CPU_RD-	6	CPU_WR-
7	CPU_A15	8	NC.
9	CPU_A14	10	NC.
11	CPU_A13	12	NC.
13	CPU_A12	14	NC.
15	CPU_A11	16	NC.
17	CPU_A10	18	NC.
19	CPU_A9	20	CPU_A25
21	CPU_A8	22	CPU_A24
23	CPU_A7	24	CPU_A23
25	CPU_A6	26	CPU_A22
27	CPU_A5	28	CPU_A21
29	CPU_A4	30	CPU_A20
31	CPU_A3	32	CPU_A19
33	CPU_A2	34	CPU_A18
35	CPU_A1	36	CPU_A17
37	CPU_A0	38	CPU_A16

J1 コネクタ信号

ピン番号	信号名	ピン番号	信号名
1	NC.	2	NC.
3	GND	4	NC.
5	CPU_BCLK	6	NC.
7	CPU_D15	8	CPU_D31
9	CPU_D14	10	CPU_D30
11	CPU_D13	12	CPU_D29
13	CPU_D12	14	CPU_D28
15	CPU_D11	16	CPU_D27
17	CPU_D10	18	CPU_D26
19	CPU_D9	20	CPU_D25
21	CPU_D8	22	CPU_D24
23	CPU_D7	24	CPU_D23
25	CPU_D6	26	CPU_D22
27	CPU_D5	28	CPU_D21
29	CPU_D4	30	CPU_D20
31	CPU_D3	32	CPU_D19
33	CPU_D2	34	CPU_D18
35	CPU_D1	36	CPU_D17
37	CPU_D0	38	CPU_D16

J2 コネクタ信号

ピン番号	信号名	ピン番号	信号名
1	NC.	2	NC.
3	GND	4	NC.
5	NC.	6	NC.
7	CPU_CS7-	8	LBUS_DEN-
9	CPU_CS6-	10	FlashROM_CS-
11	CPU_CS5-	12	LED_GBUS_CS-
13	CPU_CS4-	14	LED_LBUS_CS-

15	CPU_CS3-	16	LED_SDRAM_CS-
17	CPU_CS2-	18	GBLAST-
19	CPU_CS1-	20	GREADY-
21	CPU_CS0-	22	GW/R-
23	CPU_BEN3-	24	GADS-
25	CPU_BEN2-	26	GCLK
27	CPU_BEN1-	28	SDCAS-
29	CPU_BEN0-	30	SDRAS-
31	NC.	32	SDCKE
33	CPU_BCLK	34	CPU_P67
35	CPU_WR-	36	CPU_READY
37	CPU_RD-	38	CPU_BCYST-

J3 コネクタ信号

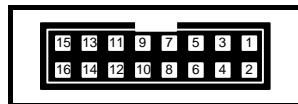
NC : 基板側で未接続です。

適合コネクタ :

ケーブル側 : AMP 社 MICTOR38 プラグ
 基板用 : AMP 社 MICTOR38 レセプタクル 2-767004-2

5.25. CPU 信号コネクタ (JEXT-AD, JEXT_PORT)

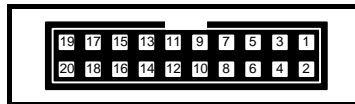
JEXT_AD, JEXT_PORT コネクタは、外部から CPU に信号を直接接続するためのコネクタです。コネクタの形状は、2.54mm ピッチのピンプラグ型のコネクタです。コネクタのピン番号と信号アサインは下の図と表の通りです。



JEXT_AD ピン配置

適合コネクタ :

16 ピンケーブル用 : オムロン株式会社 XG4M-1630-T 相当品可
 16 ピン基板用 : オムロン株式会社 XG4C-1631/1634 相当品



JEXT_PORT ピン配置

適合コネクタ :

20 ピンケーブル用 : オムロン株式会社 XG4M-2030-T 相当品可
 20 ピン基板用 : オムロン株式会社 XG4C-2031/2034 相当品

ピン番号	信号名	ピン番号	信号名
1	GND	2	CPU_ANI0
3	CPU_ANI1	4	CPU_ANI2
5	CPU_ANI03	6	CPU_ANI4
7	CPU_ANI5	8	CPU_ANI6
9	CPU_ANI7	10	AVDD(JP1-3)
11	AVREFP	12	AVREFM
13	AVSS(=GND)	14	N.C.
15	N.C.	16	GND
25	GND	26	GND

JEXT_AD コネクタ信号

ピン番号	信号名	ピン番号	信号名
1	GND	2	CPU_PCM3
3	CPU_PCM4	4	CPU_PCM5
5	CPU_P65	6	CPU_P66
7	CPU_P67	8	CPU_P50
9	CPU_P51	10	CPU_P52
11	CPU_P53	12	CPU_P54
13	CPU_P55	14	CPU_P72
15	CPU_P73	16	CPU_P74
17	CPU_P75	18	CPU_P76
19	CPU_P77	20	GND

JEXT_PORT コネクタ信号



JEXT_PORT コネクタの信号の一部はボード内部でも使用されています。このようなポートに対し外部の信号を接続する場合は、ボード内部で使用している信号との接続を SW(3,4,6) で切り離さなければなりません。

その場合、内部資源としては使用できなくなります。

6. ホスト PC との接続

6.1. RS-232C 接続

モニタ ROM を使用して、ホストマシンとシリアルで接続する際は以下の通りです。

添付品の RS-232C ケーブルと、電源を用意してください。

ボード上のスイッチの設定と確認を行ってください。SW1 のボーレートの設定は、必ず実施ください。(「12.1.2 SW1 の設定」を参照ください。)

JSIO1 コネクタとホストマシンを RS-232C ケーブルで接続し、JPOWER コネクタへ電源を供給してください。ボードの POWER-LED が点灯し、モニタの起動を示す 7seg-LED の表示がなされることを確認してください。



LED が点灯しない場合は、すぐに電源を切り接続を確認してください。

ホストマシンでデバッガ (FlashMemory ロードの場合はターミナルソフト) を起動し、RS-232C 経由でコネクタします。エラーが発生する場合には、シリアル・ケーブルやスイッチ (特にボーレート) の設定等に間違いがないかを確認してください。デバッガの起動方法や手順は、各デバッガのマニュアルを参照ください。FlashMemory ロードの場合は「13 FlashMemory ロード」の章を参照してください。



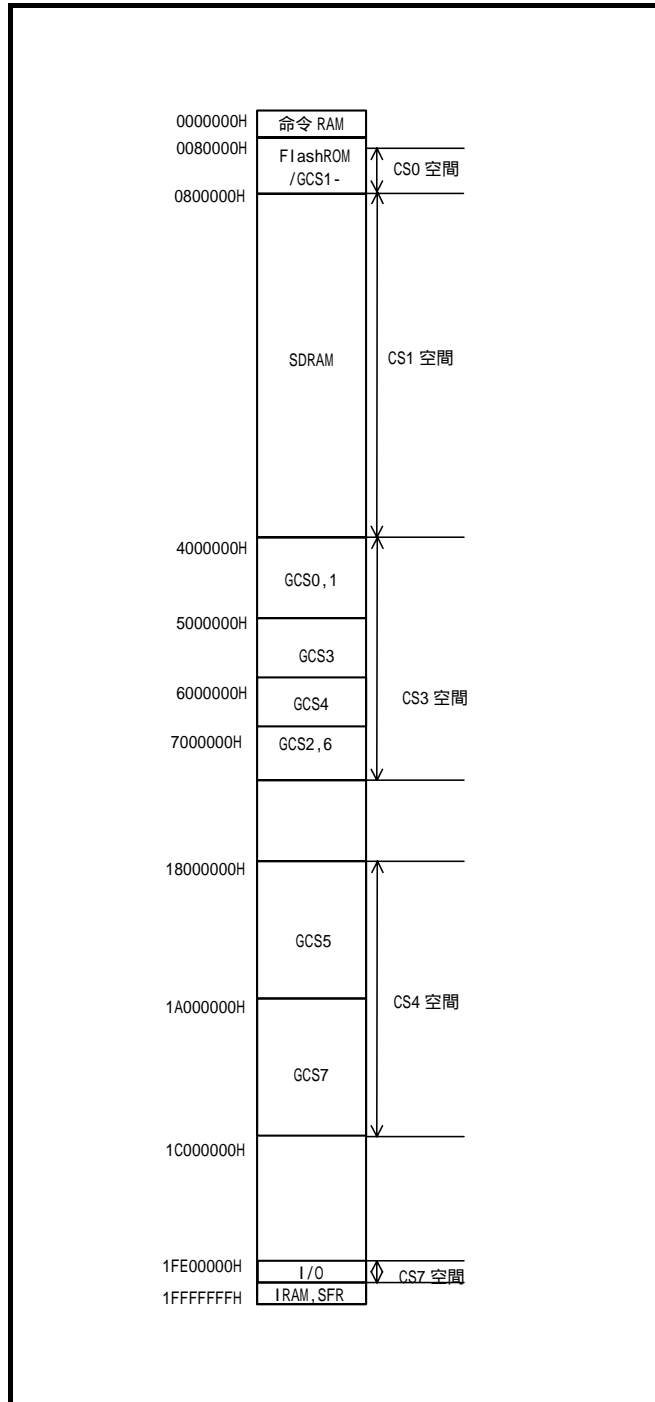
ボードは絶縁物の上に設置してください。通電中に、導電物を基板に接触させると故障の原因になります。

7. ハードウェア・リファレンス

RTE-V850E2/ME3-CB ボードのハードウェアの仕様について記述します。

7.1. メモリ・I/O のマップ

ボードのメモリと I/O の割り付けは、以下の通りです。



メモリ・I/O マップ

CS0 空間 (FlashROM,GCS1-) :0080000 - 07FFFFFF(7M-byte)

この空間は、ボード上の FlashROM が割り付けられています。実装されている FlashROM の容量は 1M-Byte です。実装容量以上の空間には実メモリ空間のイメージが発生します。JEMEM に ROM エミュレーション用のプローブを接続した場合、Flash-ROM の代わりに ICE のエミュレーションメモリが割り付けられます。この場合、最大 7M バイトまでのエミュレーションメモリが割り付け可能です。



0x100000 – 0x7FFFFFF をエミュレーションメモリに割り付ける場合(RTE-2000-TP の例)
rom1 100000 700000 64m bus16 rom16 : 100000 番地から 7M-Byte を割り付けます

出荷時 FlashROM には、以下のプログラムが書き込まれています。

0x100000 - 0x107FFF : MULTI モニタ

0x108000 - 0x10FFFF : リザーブ

0x110000 - 0x117FFF : リザーブ

0x1F8000 - 0x1FFFFFF : FLASH LOADER

CS1 空間 (SDRAM) :0800000 - 3FFFFFFF(56M-byte)

この空間には、SDRAM が割り付けられています。実装されている SDRAM の容量は 32M-Byte です。実装容量以上の空間内には、実メモリ空間のイメージが発生します。内蔵の RAM や SFR と重なる領域は、内蔵の資源が優先的にアクセスされ、SDRAM へはアクセスはしません。バスを 16-Bit に設定した場合には SDRAM の容量は半分の 16M-Byte になります。

CS3 空間 (GCS0-) :4000000 - 47FFFFFFF(8M-byte)

この空間は、GBUS の GCS0-用の空間として予約されています。

CS3 空間 (GCS1-) :4800000 – 4FFFFFFF(8M-byte)

この空間は、GBUS の GCS1-用の空間として予約されています。

CS3 空間 (GCS3-) :5000000 – 5FFFFFFF(16M-byte)

この空間は、GBUS の GCS3-用の空間として予約されています。

CS3 空間 (GCS4-) :6000000 – 6FFFFFFF(16M-byte)

この空間は、GBUS の GCS4-用の空間として予約されています。

CS3 空間 (GCS2-) :7000000 – 7FFFFFFF(8M-byte)

この空間は、GBUS の GCS2-用の空間として予約されています。

CS3 空間 (GCS6-) :7800000 – 7FFFFFFF(8M-byte)

この空間は、GBUS の GCS6-用の空間として予約されています。

CS4 空間 (GCS5-) :18000000 – 19FFFFFFF(32M-byte)

この空間は、GBUS の GCS5-用の空間として予約されています。

CS4 空間 (GCS7-) :1A000000 - 1BFFFFFFF(32M-byte)

この空間は、GBUS の GCS7-用の空間として予約されています。

CS5-6 空間 (未使用) :1C000000 - 1FDFFFFFFF(62M-byte)

この空間は、本ボード上では使用していません。

CS7 空間 (I/O) :1FE00000 - 1FEFFFFFFF(1M-byte)

この空間は、I/O 空間として使用します。I/O マップについては「7.4.1 IO 一覧」を参照してください。

7.2. 推奨設定

ここでは、メモリおよび I/O 資源のアクセスに関する各レジスタの推奨設定値を示します。

7.2.1. MEMC レジスタ

システム・バスに関する設定は、下表のように設定してください。

レジスタ名	アドレス	設定値	備考
CSC0	0xFFFFF060	0x201f	
CSC1	0xFFFFF062	0x2001	
BHC	0xFFFFF06A	0x0202	CS1(SDRAM)だけを Cache に設定した例
VSWC	0xFFFFF06E	0x42	100-200MHz の指定値
BCT0	0xFFFFF480	0x88B8	
BCT1	0xFFFFF482	0x8888	
DWCO	0xFFFFF484	0x1116	
DWC1	0xFFFFF486	0x1111	
BCC	0xFFFFF488	0x8002	
ASC	0xFFFFF48A	0x8000	
LBS	0xFFFFF48E	0x6AA9 (0x6AA5)	()内は SDRAM を 16-bit バスで使用する場合
BMC	0xFFFFF498	0x00	Fx=200MHz -> VBCLK=66.7MHz
SCR1	0xFFFFF4A4	0x20A5 (0x2095)	()内は SDRAM を 16-bit バスで使用する場合
RFS1	0xFFFFF4A6	0x8203	
CKC	0xFFFFF822	0x03	
CKS	0xFFFFF82C	0x01	
PFCCT	0xFFFFF04B	0x0F	
PFCDH	0xFFFFF056	0x0001	
PMCAL	0xFFFFF040	0x0003	
PFCALL	0xFFFFF058	0x03	
IRAMM	0xFFFFF80A	0x00	使用方法によります。

注意：SDRAM 関連レジスタ(SCR1, SFR1)やキャッシュ関連のレジスタ(BHC 等)の設定手順については、CPU のマニュアルを参照して行ってください。

7.3. メモリ詳細

7.3.1. FlashROM(CS0 :1000000 - 01FFFFFF)

富士通製 MBM29LV800BA(1M-Byte:512K*16-bit、ボトムブートブロック)を 1 個搭載しています。

このフラッシュには出荷時、ボトムの 32k-byte に MULTI 用のモニタが、トップの 32k-byte に FlashMemory へのローダが入っています。

7.3.2. SDRAM (CS1:0800000 - 27FFFFFF)

MICRON 社製 MT48LC8M16A2TG-7E(16M-byte:8M-Byte*16-bit)が 2 個搭載されています。SDRAM のデータバスの幅によって使用できる容量が以下の通り異なります。設定方法は、「5.4 スイッチ 2 (SW2)」の 5 を参照ください。

32-Bit : 32M-Byte

16-Bit : 16M-Byte

7.4. IO マップ

RTE-V850E2/ME3-CB では、オンボード I/O として、シリアル・コントローラ (TL16C550CPT)、LANC(LAN91C111)、USBC(ML60852A)、タイマ (μPD71054)、LED(LCD)、スイッチ等があります。ここでは、それらのマップと I/O デバイスについて説明します。

7.4.1. IO 一覧

IO の一覧と各領域の Wait 数を下表に示します。

アドレス	用途	Wait 数
1FE00000	SW1	3
1FE01000	SW2	3
1FE02000 - 1FE02003	7SEG-LED_	3
1FE03000	TOVRDY_LED_CLRPLS	3
1FE04000 - 1FE04030	PIC	3
1FE08000 - 1FE08070	UART (TL16C550C)	9
1FE09000 - 1FE09030	TIC (μPD71054)	9
1FE0A000 - 1FE0A0FF	USB(ML60852A)	12
1FE0C000 - 1FE0DFFF	CompactFlash	--
1FE10300 - 1FE1030E	LANC(LAN91C111)	9

7.4.2. SW1 読出しポート(SW1 1FE00000H [Read Only])

SW1 の状態を読み出すためのポートです。データ・フォーマットを下表に示します。

物理アドレス	データバス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
1FE00000H 入力	SW1-8	SW1-7	SW1-6	SW1-5	SW1-4	SW1-3	SW1-2	SW1-1	0=ON 1=OFF

SW1-1 が SW1 の"1"のスイッチに、SW1-8 が SW1 の"8"のスイッチに対応しています。また、該当するビットのスイッチが ON で 0 が、OFF で 1 が読み出されます。SW3 は、モニタの動作設定用のスイッチとして使用しています。

7.4.3. SW2 読出しポート(SW2 1FE01000H [Read Only])

SW2 の状態を読み出すためのポートです。データ・フォーマットを下表に示します。

物理アドレス	データバス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
1FE01000H 入力	SW2-8	SW2-7	SW2-6	SW2-5	SW2-4	SW2-3	SW2-2	SW2-1	0=ON 1=OFF

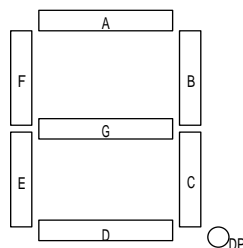
SW2-1 が SW2 の"1"のスイッチに、SW2-8 が SW2 の"8"のスイッチに対応しています。また、該当するビットのスイッチが ON で 0 が、OFF で 1 が読み出されます。SW2 は、主にハードウェアの動作を切り替えます。

7.4.4. 7 セグメント LED 表示データ出力ポート(7SEG-LED 1FE02000/2H [Write Only])

7 セグメント LED に表示するデータを設定します。データ・フォーマットを下表に示します。該当するビットに 0 を設定すると対応するセグメントが点灯します。計 4 個実装されています。

論理アドレス	データ								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
1FE02000 - 1FE02003H 出力	LED1 -DP	LED1 -G	LED1 -F	LED1 -E	LED1 -D	LED1 -C	LED1 -B	LED1 -A	0=点灯 1=消灯

7 セグメント LED のビット対応は、下図の通りです。LED は 4 桁分あります。



7.4.5. タイムオーバ・レディ LED クリア・パルス(TOVRDY_LED_CLRPLS 1FE03000H [Write Only])

本ポートに書き込みを行うと、ボード上のタイムオーバ・レディ発生時に点灯する TOV_RDY LED が消灯します。書き込まれたデータは無視されます。TOV_RDY LED は一旦点灯すると、本ポートに書き込むか、ボードをリセットするまで点灯し続けます。

7.4.6. 割り込みコントローラ(PIC:1FE04000H - 1FE04030H [Read/Write])

PIC は、Multi および PARTNER のモニタ・プログラムの動作に必要な割り込み(INT0)とユーザが使用できる割り込み(INT1)を各 1 本サポートし、INT0 は CPU の NMI 又は、INTP11 に、INT1 は CPU の INTP23 に接続されます。共にローアクティブの割り込み要求信号です。

PIC に入力している割り込みは以下の通りです。

- 1)RS232C デバイス (UART,TL16C550C) からの通信割り込み
- 2)タイマ(TIC, μ PD71054)の TOUT0/1/2 によるタイマ割り込み要求
- 3)タイムオーバ・レディの発生
- 4)GINT0 の割り込み
- 5)外部の USB コントローラ、VBUS からの割り込み
- 6)LANC からの割り込み
- 7)CompactFlash からの割り込み

論理アドレス	レジスタ	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1FE04000H	PIC INT0M	IM011	IM010	IM09	IM08	IM07	IM06	IM05	IM04	IM03	IM02	IM01	IM00
1FE04010H	PIC INT1M	IM111	IM110	IM19	IM18	IM17	IM16	IM15	IM14	IM13	IM12	IM11	IM10
1FE04020H	PIC INTR	IR11	IR10	IR9	IR8	IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0
1FE04030H	PIC INTEN					INT0 SEL	0	0	0	0	0	INT1 EN	INT0 EN

INT0M,INT1M レジスタはそれぞれ INT0,INT1 に入力する割り込みをマスクします。IM0x, IM1x のビットが"1"の時にイネーブルとなり、複数ビットを選択した場合にはそれぞれの OR で割り込みがアクティブとなります。

INTR レジスタは割り込みステータスで、割り込み要求がある場合に"1"が読み出せます。これはマスク状態に関係ありません。またエッジ割り込み要求の解除(クリア)には、このレジスタの対応ビットに"1"を書き込みます。

IM0[0..7],IM1[0..7],IR[0..7]の各ビットに割り付けられている割り込み要因は以下の通りです。

PIC INT-MASK[],STATUS[]	割り込み要因	要求レベル
0	タイマ0 (モード2)	エッジ (立ち上がり)
1	シリアル0	レベル (High)
2	タイムオーバ	レベル (High)
3	GINT0-(from Gbus)	レベル (Low)
4	外部 USBC INTR-	レベル (Low)
5	LANC INTR	レベル (High)
6	外部 USB-VBUS-ON	エッジ (立ち上がり)
7	外部 USB-VBUS-OFF	エッジ (立ち下がり)
8	タイマ1 (モード2)	エッジ (立ち上がり)
9	タイマ2 (モード0)	エッジ (立ち上がり)
10	CompactFlash I/O モード=IREQ- true-ide モード=INTRQ	エッジ → 1->0 の変化 → 0->1 の変化
11	CompactFlash (CD1-,CD2-)	エッジ ・どちらかが"1"になった時の変化(カード排出時) ・両方が"0"になった時の変化(カード挿入時)

INTEN レジスタは、INT0,INT1 への割り込みの有効/禁止を制御します。

INT0EN: PIC の出力: INT0 を制御します。このビットで INT0 をハード的に禁止することができます。INT0 はローアクティブの信号で、CPU の NMI(P20)または INTP11(P11)に INTOSEL の指定により接続されます。

INT0EN	INT0
0	禁止する (リセット値)
1	有効にする

INT1EN: PIC の出力: INT1 を制御します。このビットで INT1 をハード的に禁止することができます。INT1 はローアクティブの信号で、CPU の INTP23(P23)に接続されます。

INT1EN	INT1
0	禁止する (リセット値)
1	有効にする

INT0EN, INT1EN は複数の割り込み要因が発生している時に、1つの割り込み処理が終了した時点で、CPU への割り込み要求信号にエッジを生成するためにも使用します。CPU の割り込み受け付けがエッジ検出の場合、割り込みハンドラの最後のステップで、INTxEN ビットを一旦"1"に設定後、"0"にする処理を実行してください。これによって、保留中の割り込みが入ります。

INT0SEL: モニタで使用する割り込みを選択します。

INT0SEL	モニタ用の割り込み
0	NMI(P20)を使用 (リセット値)
1	INTP11(P11)を使用



PIC の各レジスタへのアクセスは 16-bit サイズで行ってください。
 モニタを使用中は、INT0 関連の内容は変更しないでください。

7.4.7. UART (TL16C550C:1FE08000H - 1FE08070H)

UART コントローラとして TEXAS INSTRUMENTS 製の TL16C550C LSI を使用しています。TL16C550C は、UART を 1 チャンネル備えており、UART の送受信部には 16 キャラクタ分の FIFO バッファを持ち、RTS/CTS フローを自動的に制御する機能を備えているため、最小限の割り込みで通信のオーバーラン・エラーを押さえられます。

TL16C550C の各レジスタは、表のように割り付けられています。各レジスタの機能については、TL16C550C のマニュアルを参照してください (TL16C550C のマニュアルは米国 TEXAS INSTRUMENTS 社のホームページ (<http://www.ti.com/>) の TI&ME のコーナーで入手可能です)。

アドレス	読出し	書込み
FE08000H	RBR/DLL	THR/DLL
FE08010H	IER/DLM	IER/DLM
FE08020H	IIR	FCR
FE08030H	LCR	LCR
FE08040H	MCR	MCR
FE08050H	LSR	LSR
FE08060H	MSR	MSR
FE08070H	SCR	SCR

TL16C550C レジスタ配置

TL16C550C の XIN 入力には 16MHz のクロックが接続されています。

UART の割り込みは CPU の PIC を通して、CPU の NMI1/INTP11-1 に入力できます。

UART はボードの JIS01 コネクタに接続しています。また、UART はリモートデバッガを用いる場合、ホストとの通信に使用されます。

TL16C550C は、システム・リセットによってリセットされます。

注意：モニタ使用中は、UART の内容は変更しないでください。

7.4.8. TIC (uPD71054 1FE09000H - 1FE09030H)

TIC は NEC 社製の uPD71054 が実装されています。uPD71054 は Intel 製の i8254 と互換であり、3 つのタイマ / カウンタを持っています。これらのタイマ / カウンタにより、モニタのタイマ割り込みの生成を行っています。

TIC の各レジスタは、表の通りに割り当てられています。

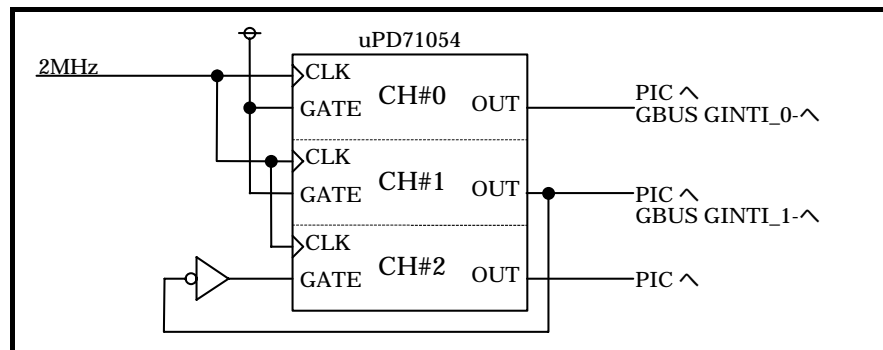
アドレス	読出し	書込み
1FE09000H	COUNTER#0	COUNTER#0
1FE09010H	COUNTER#1	COUNTER#1
1FE09020H	COUNTER#2	COUNTER#2
1FE09030H	----	Control Word

TIC のレジスタ配置

TIC の各チャンネルは下図のように接続されています。

チャンネル 0 は、Multi の ROM モニタ・プログラムのインターバル・タイマとして使用されます。

チャンネル1, 2は、ユーザのプログラムで自由に使用することができます。
チャンネル2は、チャンネル1とカスケード接続されています。



使用モード例

CH#0 : モード2 (レートジェネレータ)
CH#1 : モード2 (レートジェネレータ)
CH#2 : モード0 (ダウンカウンタ)

注意：モニタ使用中は、CH0の内容は変更しないでください。

7.4.9. USB (ML60852A:1FE0A000 – 1FE0A0FF)

USBCは沖電気社製のML60852Aが実装されています。ML60852Aは、Universal Serial Bus (USB) 汎用デバイスコントローラです。USBシリアル・インタフェース・エンジン、USBトランシーバ、FIFO群、コントロール/ステータス・レジスタ群、アプリケーション・インタフェース回路、発振回路を含み、容易にUSBシステムを実現することを可能にします。

データ転送モードは、コントロール転送、バルク転送、インタラプト転送、およびアイソクロナス転送をサポートし、5個あるいは6個のエンドポイントをサポートします。

主な特長を以下に記します。

USB1.1 準拠

Full-speed (12Mbps) に対応

4つのデータ転送タイプに対応

コントロール転送、バルク転送、インタラプト転送、アイソクロナス転送

エンドポイント: 5個あるいは6個

コントロールEP 1個

バルク/インタラプトEP 3個

アイソクロナス/バルク/インタラプトEP 1個あるいは2個

データ格納用FIFO 内蔵

EP1、EP2、EP4、EP5のFIFOは2面構成

DMA転送可能 (EP1, EP2, EP4, EP5)

バスパワーデバイス対応

サスペンド条件を自動検出し、低電力モードに入ります。またレジューム条件を検出すると正常動作に自動復帰します。

ML60852Aのレジスタ群はFE0A000Hからマップされますが、16-Bitのバスに接続されているので、各レジスタのオフセットはML60852Aのマニュアル記載のアドレスに2を掛けたアドレスになります。

アドレス	対象レジスタ名
1FE0A000H	bmRequestType
1FE0A002H	brequest
1FE0A004H	wValueLSB
//	//

USBC のレジスタ配置

ハードウェア情報

割り込みは以下の通り接続されています。

INTR- → PIC 経由で CPU の NMI, INTP11, INTP23 に接続されています。

その他

コントローラへの入力クロックは、12MHz の Xtal です。

USB-IF の電源ライン:VBUS (1pin) が CPU_PCM1 に接続されており、状態の読み出しが可能です。(通電時の論理レベルが “ 1 ” です)

また、VBUS の状態変化は PIC を通し、割り込みを入れることができます。

DMA を使用する場合の注意

- * DUAL アドレスモードでご使用ください。(DMAAK 信号は使用しません)
- * DRQ0,1 信号を CPU の DMARQ2,3 へ接続してください。(SW6-5,6 ->5.5項参照)
- * CPU の DMAC の設定は DMARQ を立下りのエッジ検出モードに設定してください。
- * モニタの割り込みに NMI を使用する場合、NMI の割り込みにより DMA が中断します。中断したくない場合は、CPU の DTOC レジスタで中断禁止の設定でご使用ください。

7.4.10. CompactFlash (1FE0C000H - 1FE0DFFFH)

CompactFlash へアクセスするための空間です。ブリッジへのモード設定レジスタやカードに対しアクセスするための空間が以下の通り割り付けられています。

CFメモリマップ

アドレス	アクセス対象
1FE0C000 - 1FE0C7FF	CF-Card:アドレスレジスタ・エリア(*1)
1FE0C800 - 1FE0CFFF	CF-Card:タスクファイルレジスタ・エリア
1FE0D000H	CF-REG0
1FE0D004H	CF-STS0
1FE0D008H	CF-REG1
1FE0D010H	CF-ACC-CNT0
1FE0D014H	CF-ACC-CNT1

*1: True IDE モードでは存在しません。

CF_REG0[15:0] (1FE0D000H)

制御 FPGA 内の CF カードに関するコントロール・レジスタです。

Bit 番号	名称	R/W	説明	初期値
0	CFPWRON	R/W	CF カードの電源をコントロールします。 "1"を書き込むと CF カードの電源が ON します。	0
1	CFSRST	R/W	CF カードに対しソフトウェアリセットを発行します。 "1"をセットすると CF カードにリセットがアサトされます。 解除する場合、"0"を書き込んでください。	0
2	IOIS8	R/W	CF カードのバスサイズを 8bit にします。	0
14:3	-	-	(未定義) ライトする場合は 0 を書いてください。	0
15	SIMTST	R/W	TEST 用です。"0"から変更しないでください。	0

CF_STS0[15:0] (1FE0D004H)

制御 FPGA 内の CF カードに関するステータス情報のレジスタです。

Bit 番号	名称	R/W	説明	初期値
0	ATAM_MD	R	CF カードを PC-ATA 対応モードで使用している場合"1"となります。	-
1	ATAIO_MD	R	CF カードを PC-ATA IO モードで使用している場合"1"となります。	-
2	TRUE_IDE	R	CF カードを PC-ATA True IDE モードで使用している場合"1"となります。	-
3	WP	R	CF カードの WP 端子(24pin)が直結しています。	-
4	CD1-	R	CF カードの -CD1 端子(26pin)が直結しています。	-
5	CD2-	R	CF カードの -CD2 端子(25pin)が直結しています。	-
6	VS1-	R	CF カードの -VS1 端子(33pin)が直結しています。	-
7	VS2-	R	CF カードの -VS2 端子(40pin)が直結しています。	-
8	RDY_BSY-	R	CF カードの RDY/BSY 端子(37pin)が直結しています。	-
9	BVD1	R	CF カードの BVD1 端子(46pin)が直結しています。	-
10	BVD2	R	CF カードの BVD2 端子(45pin)が直結しています。	-
11	CSEL-	R	CF カードの -CSEL 端子(39pin)が直結しています。	-
15:12	-	R	未定義。"0"固定です。	0

CF_REG1[15:0] (1FE0D008H)

制御 FPGA 内の CF カードに関する拡張コントロール・レジスタです。

Bit 番号	名称	R/W	説明	初期値
0	MEM_MD	R/W	CF カードの動作モードを強制的にメモリーモードにします。(*1)	0
1	IO_MD	R/W	CF カードの動作モードを強制的に IO モードにします。(*1)	0
2	MEM_IO	R/W	"1"をセットすると、メモリーモードにおいて、IO アクセスが発生します。(*2)	0
3	IO_MEM	R/W	"1"をセットすると、IO モードにおいて、メモリーアクセスが発生します。(*2)	0
4	WAIT_MSK	R/W	"1"をセットすると、CF の WAIT 要求をマスクします。	0
5	INT_L/E-	R/W	CF-37pin(RDY/-BSY /-IREQ/INTRQ)ラインの PIC の検出モード(イッジレベル)を選択します。"1"でレベル、"0"でイッジ検出です。(*3)	0
15:6	-	-	(未定義) ライトする場合は 0 を書いてください。	0

*1 : "1"をセットすると、コンフィグレーション・オプション・レジスタへの Index の設定を自動認識しません。コンフィグレーション・オプションレジスタへの設定に関係なく、それぞれのモードに切り替わります。ただし、True IDE モードでは、モードの変更はできません。また、MEM_MD,IO_MD を同時に"1"にすることはできません。禁止事項です。

*2 : タスク・ファイル・レジスタ・エリアをアクセスすると、メモリーモードでは IO アクセスを IO モードではメモリアccessを発生します。タスク・ファイル・レジスタをアクセスする場合は '0' に戻してください。

*3 : RDY/-BSY /-IREQ /INTRQ のアクティブレベルは下記となります。

RDY/-BSY(メモリーモード) : High
 -IREQ(IO モード) : Low
 INTRQ(True IDE モード) : High

CF_ACC_CNT0[15:0] (1FE0D010H)

制御 FPGA 内の CF カードに関する CF アクセス・コントロール・レジスタです。リード/ライトパルスの最小幅を定義します。設定値はクロック数です。クロックの周期は 62.5nS です。初期値より小さい値は設定しないでください。

Bit 番号	名称	R/W	説明	初期値
5:0	Pulse_Width	R/W	CF カードの最小リード/ライトパルス幅です。CF カードからの wait 線の状態に関係なく、ここで設定された幅は確保されます。 パルス幅=(設定値+1) x 62.5nS (MAX 4 μS)	2
7:6	-	-	(未定義) ライトする場合は0を書いてください。	0
13:8	Reserved	R/W	初期値から変更しないでください。	2
15:14	-	-	(未定義) ライトする場合は0を書いてください。	0

CF_ACC_CNT1[15:0] (1FE0D014H)

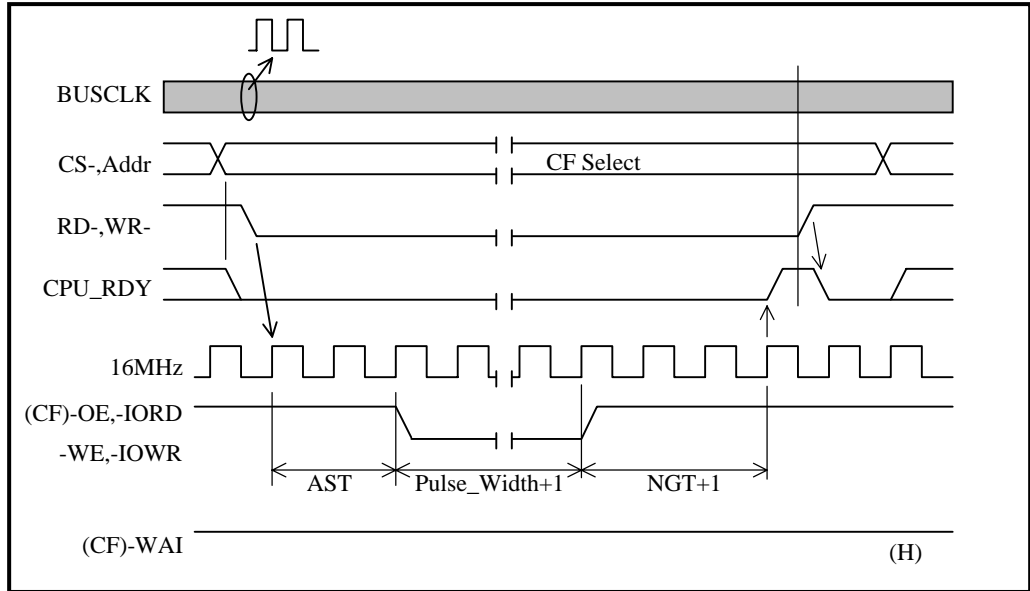
制御 FPGA 内の CF カードに関する CF アクセス・コントロール・レジスタです。アクセスの開始からリード/ライトパルスのアサートのタイミングと、パルスがネゲートされてから、アクセスの終了までのタイミングを定義します。設定値はクロック数です。クロックの周期は 62.5nS です。このレジスタは、初期値から変更しないでください。

Bit 番号	名称	R/W	説明	初期値
2:0	AST	R/W	リード/ライトパルスをアサートするタイミングです。指定値後にアサートされます。(誤差: 設定値以上、設定値+1 未満)	2
3	-	-	(未定義) ライトする場合は0を書いてください。	0
6:4	NGT	R/W	リード/ライトパルスがネゲートされてから、CPUへREADYを返すタイミングです。(設定値+1)加算後にCPUへのREADYはアサートされます。	2
15:7	-	-	(未定義) ライトする場合は0を書いてください。	0

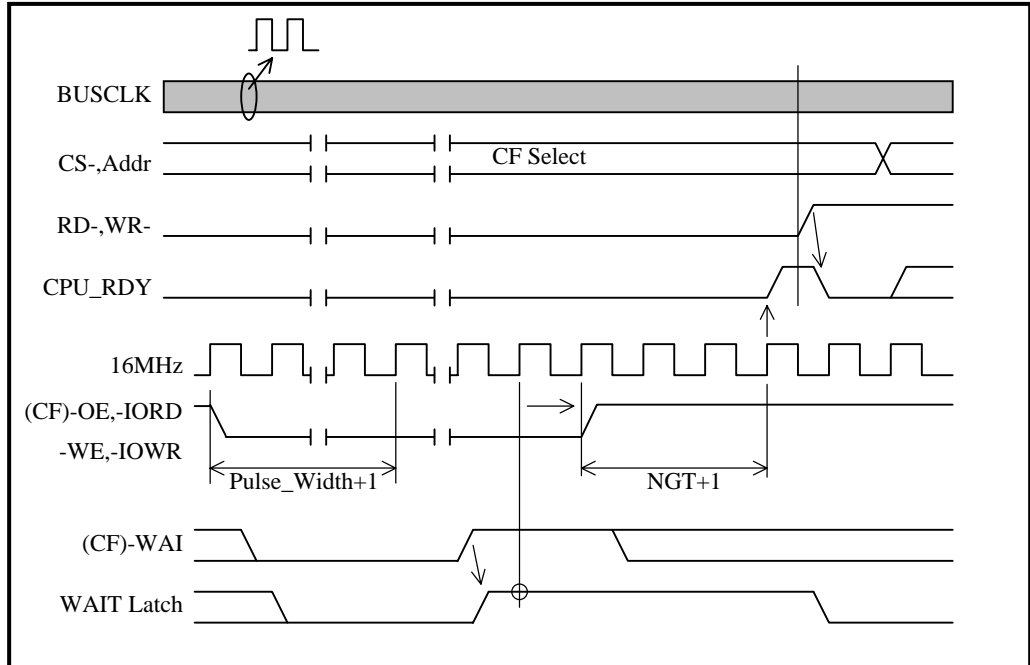
CF アクセス・タイミング

CF_ACC_CNT0,1 の設定は以下のタイミングを生成します。

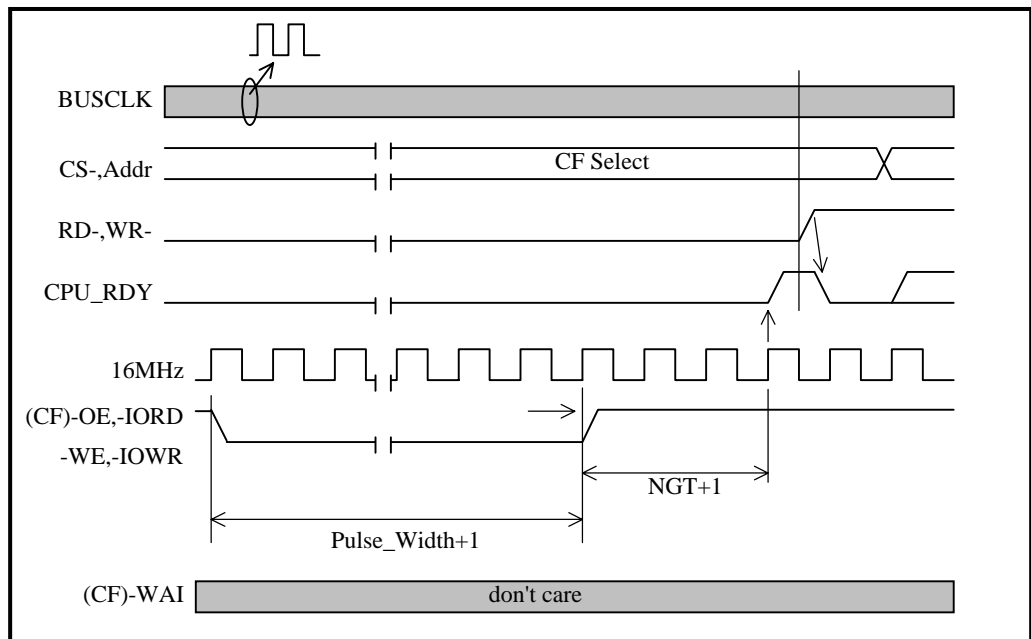
. CF が 0 WAIT の場合



. CF から WAIT の要求があった場合



. CF_REG1[4] WAIT_MSK により、CF の WAIT をマスクした場合



Task File Register Map

(1) PC-ATA メモリモード

Address	Size(bit)	Read	Write
x1FE0C800	16	Read Data register	Write Data register
x1FE0C801	8	Error register	Feature register
x1FE0C802	8	Sector count register	Sector count register
x1FE0C803	8	Sector number register	Sector number register
x1FE0C804	8	Cylinder low register	Cylinder low register
x1FE0C805	8	Cylinder high register	Cylinder high register
x1FE0C806	8	Select Card/Head register	Select Card/Head register
x1FE0C807	8	Status register	Command register
x1FE0C808	8	Dup. Even RD Data Register	Dup. Even WR Data Register
x1FE0C809	8	Dup. Odd RD Data Register	Dup. Odd WR Data Register
x1FE0C80D	8	Dup. Error register	Dup. Feature register
x1FE0C80E	8	Alt. status register	Device control register
x1FE0C80F	8	Drive address register	Reserved
x1FE0CC08	8	Even Read Data register	Even Write Data register
x1FE0CC09	8	Odd Read Data register	Odd Write Data register

(2) PC-ATA I/O モード

.Contiguous I/O Map

Address	Size(bit)	Read	Write
x1FE0C800	16	Read Data register	Write Data register
x1FE0C801	8	Error register	Feature register
x1FE0C802	8	Sector count register	Sector count register
x1FE0C803	8	Sector number register	Sector number register
x1FE0C804	8	Cylinder low register	Cylinder low register
x1FE0C805	8	Cylinder high register	Cylinder high register
x1FE0C806	8	Select Card/Head register	Select Card/Head register
x1FE0C807	8	Status register	Command register
x1FE0C808	8	Dup. Even RD Data Register	Dup. Even WR Data Register
x1FE0C809	8	Dup. Odd RD Data Register	Dup. Odd WR Data Register
x1FE0C80D	8	Dup. Error register	Dup. Feature register
x1FE0C80E	8	Alt. status register	Device control register
x1FE0C80F	8	Drive address register	Reserved

.Primary/Secondary I/O Map

Address	Size(bit)	Read	Write
x1FE0C9F0/97 0	16	Read Data register	Write Data register
x1FE0C9F1/97 1	8	Error register	Feature register
x1FE0C9F2/97 2	8	Sector count register	Sector count register
x1FE0C9F3/97 3	8	Sector number register	Sector number register
x1FE0C9F4/97 4	8	Cylinder low register	Cylinder low register
x1FE0C9F5/97 5	8	Cylinder high register	Cylinder high register
x1FE0C9F6/97 6	8	Select Card/Head register	Select Card/Head register
x1FE0C9F7/97 7	8	Status register	Command register
x1FE0CBF6/B7 6	8	Alt. status register	Device control register
x1FE0CBF7/B7 7	8	Drive address register	Reserved

(3) True IDE モード

Address	Size(bit)	Read	Write
x1FE0C9F0	16	Data register	Data register
x1FE0C9F1	8	Error register	Feature register
x1FE0C9F2	8	Select count register	Sector count register
x1FE0C9F3	8	Sector number register	Sector number register
x1FE0C9F4	8	Cylinder low register	Cylinder low register
x1FE0C9F5	8	Cylinder high register	Cylinder high register
x1FE0C9F6	8	Drive head register	Drive head register

x1FE0C9F7	8	Status register	Command register
x1FE0CBF6	8	Alt. status register	Device control register
x1FE0CBF7	8	Drive address register	Reserved

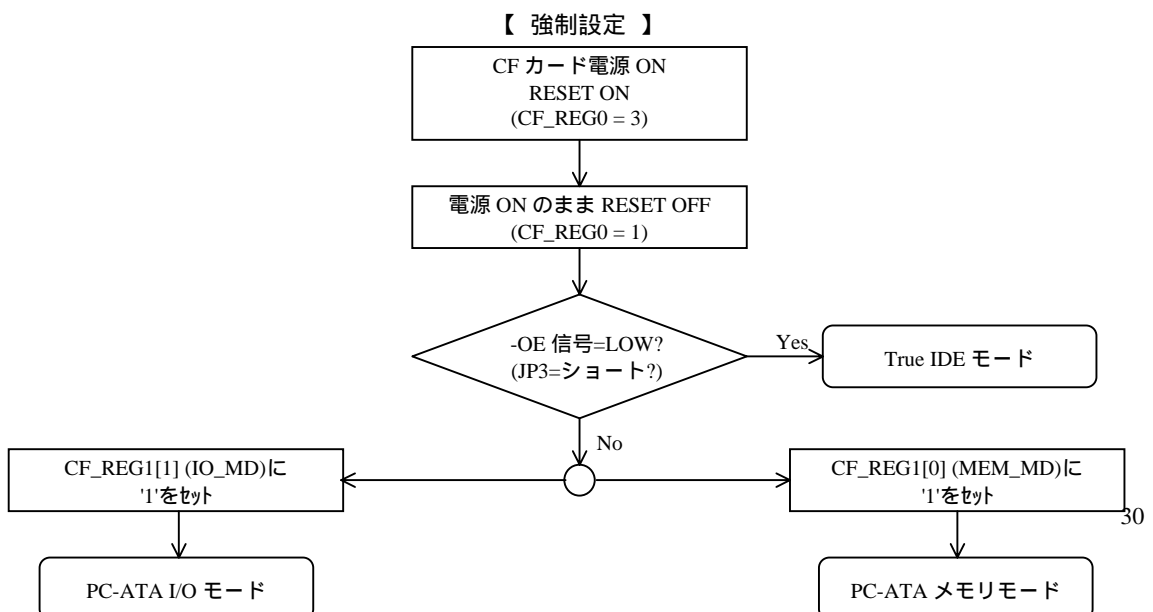
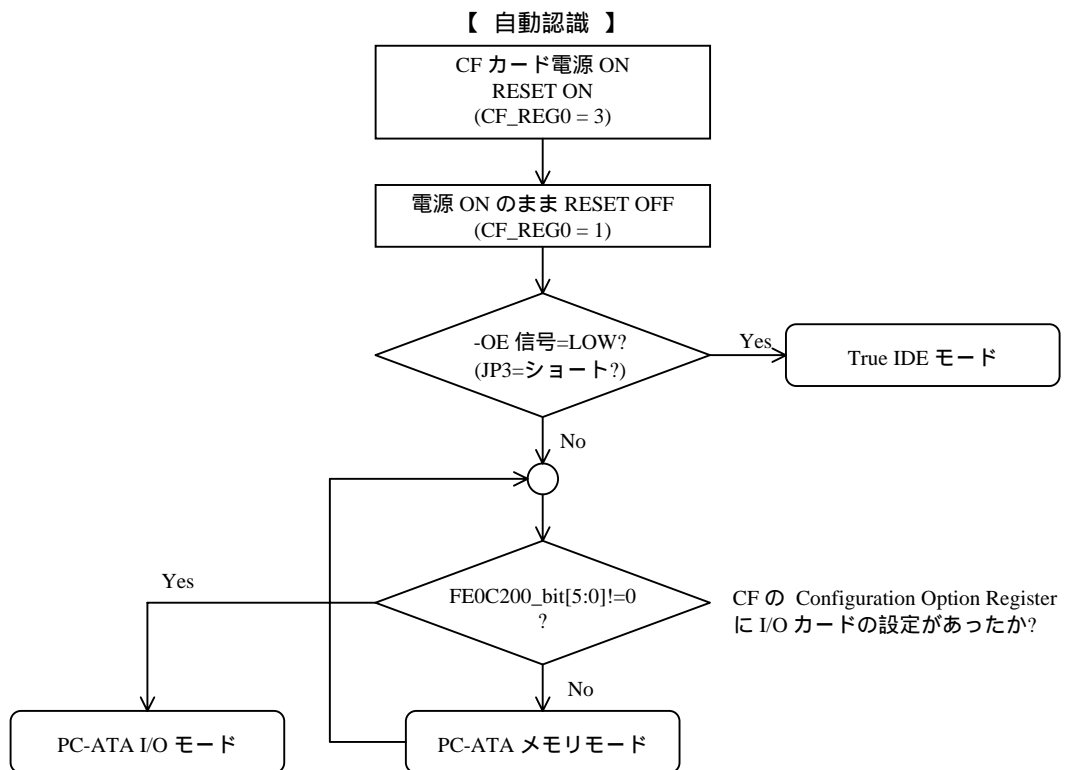
セカンダリは存在しません。Data Register は 16bit アクセス、それ以外は全て 8bit アクセスとなります。

動作モード

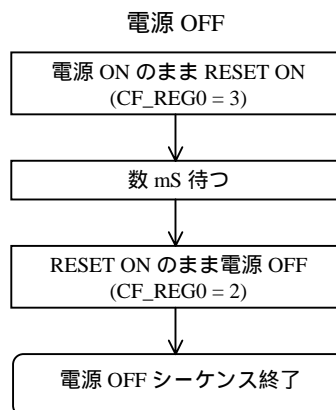
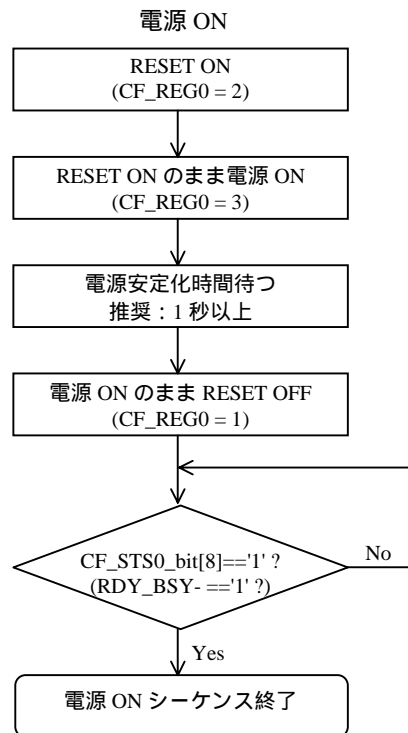
動作モードは、自動認識と強制設定の 2 方式で設定できます。初期値は自動認識です。

自動認識では、FPGA は I/O モード、メモリモードの動作モードを CF のコンフィグレーション・オプション・レジスタ(0x1FE0C200)への Index 書き込みから認識し、以下の手順で各モードに切り替わります。以下に補足します。

- ・強制設定(CF_REG1[1:0](IO_MD, MEM_MD)の設定)がなされると自動認識機能は停止します。
- ・電源操作については、次項「CF カード電源 ON/OFF シーケンス」を厳守してください。



CFカードの電源 ON/OFF シーケンス



補足

. 動作モードの自動認識

初期状態では、FPGA の動作モードは CF のコンフィグレーション・オプション・レジスタの Index(0x1FE0C200)への書き込みを検出し、自動で Index 値により切り換えます。

しかし、コンフィグレーション・オプション・レジスタがカードの 0x200 以外にマップされている CF カードの場合は、自動認識ができませんので、CF_REG1[1:0]のモード設定で、強制的に動作モードを切り換えてください。

CF+仕様のカードの場合、コンフィグレーション・オプション・レジスタの存在するアドレスは、CISTPL_CONFIG によって定義されており、自動認識するアドレス(0x200)とは異なる場所にマップされることがあります。(CISTPL_CONFIG は、コンフィグレーション・レジスタのベースアドレスが定義されており、CF の CIS に存在します。)

. アクセスタイミング(CF_ACC_REG0[15:0]の補足)

CF へのアクセスで、データ化けが発生する場合、アクセスタイミングがあっていないことが考えられます。CF_ACC_REG0[15:0]で、アクセスタイミングを定義してください。

例えば、CF からのウェイト信号の確定する時間が、最小パルス幅より長い場合、Pulse_Width の値を大きくしてください。あるいは、CF のウェイトを無視して、パルス幅を固定にして使用したい場合は、CF_REG[4]の WAIT_MSK をマスク設定してください。

. I/O,メモリ空間へのアクセス

メモリカードに IO が実装されている場合、また、IO カードにメモリが実装されている場合には、CF_REG1[3:2]の MEM_IO,IO_MEM を設定して、タスク・ファイル・レジスタ・エリアをアクセスしてください。メモリモードでは IO サイクルが、IO モードではメモリ・サイクルが CF に対し発生します。

CF の I/O,メモリ情報は、CIS (CISTPL_CFTABLE_ENTRY)にあります。

. IOIS8

CF のデータバスが 8bit である場合、CF_REG0[2]の IOIS8 をセットしてください。CF のデータバスが 8bit にバスサイジングされます。なお、8bit にセットした場合は、CPU から CF 空間へのアクセスはバイトアクセスのみとなります。

CPU (D7-0) : CF (D7-0)

CPU (D15-8) : CF (D7-0)

バス幅の情報は、CF の CIS (CISTPL_CFTABLE_ENTRY)にあります。

. 割り込み

IO カードを使用する場合、CF の CIS (CISTPL_CFTABLE_ENTRY)に定義されている割り込み情報からレベル/エッジのモードを確認し、CF_REG1[5]の INT_L/E-にレベル/エッジを設定してください。

. 未対応の仕様

- ・ CF 電源は 3.3V 固定です。5V のカードは使用できません。

CF の電源情報は、CIS (CISTPL_CFTABLE_ENTRY)にあります。

- ・ IO モードにおける CF からのスピーカ入力-SPKR 信号(CF コネクタ 45pin)は対応していません。

ハードウェア情報

割り込みは以下の通り接続されています。

INTR -> PIC 経由で CPU の NMI, INTP11, INTP23 に接続可能です。

7.4.11. LANC (LAN91C111:1FE10300H - 1FE1030EH)

LANC は SMSC 社製の LAN91C111 が実装されています。LAN91C111 はシングルチップで、10/100Mbps の両方に対応した LAN コントローラです。詳細はコントローラのマニュアルを参照ください。尚、MAC アドレスは EPROM に書き込まれています。

ハードウェア情報

割込みは以下の通り接続されています。

INTR -> PIC 経由で CPU の NMI, INTP11, INTP23 に接続可能です。

8. ソフトウェア

RTE-V850E2/ME3-CB ボードのハードウェアの初期化と周辺デバイスの使用方法について説明します。

8.1. 初期化

モニタを使用しないで、ROM からブートするプログラムを開発する場合は、最初のルーチンで V850E2/ME3 の内部バスコントローラを初期化しなければなりません。初期化時に設定する値については、「7.2推奨設定」を参照してください。

8.2. uPD71054 に対する連続アクセス

uPD71054 に対し連続してアクセスする場合は、1 回目のアクセスと 2 回目のアクセスの間に他の空間へのアクセスを 1 回以上入れてください。これは、uPD71054 に対するリカバリ・タイムを確保するためです。

リカバリ・タイムは、uPD71054 以外の資源（例えば、ROM）をダミーで一度リードすることで確保できます。

8.3. ライブラリ

C コンパイラでプログラムする時に必要となる I/O アクセスなどのライブラリです。ただし、これらの記述やパラメータ受け渡し方法などは、GHS 環境でのものです。他のコンパイラ等を使用する場合には、変更が必要となる場合があります。

```

/* I/O 入出力ライブラリ */

/* GHS V800 コンパイラ パラメータ受け渡し */
/* arg0 : r6, arg1 : r7, arg2 : r8, return : r10 */

inb(int addr)                /* バイト (8 ビット) 入力 */
{
    __asm(" ld.b 0[r6], r10");
}

inh(int addr)                /* ハーフワード (16 ビット) 入力 */
{
    __asm(" ld.h 0[r6], r10");
}

inw(int addr)                /* ワード (32 ビット) 入力 */
{
    __asm(" ld.w 0[r6], r10");
}

outb(int addr, int data)     /* バイト (8 ビット) 出力 */
{
    __asm(" st.b r7, 0[r6]");
}

outh(int addr, int data)     /* ハーフワード (16 ビット) 出力 */
{
    __asm(" st.h r7, 0[r6]");
}

outw(int addr, int data)     /* ワード (32 ビット) 出力 */
{
    __asm(" st.w r7, 0[r6]");
}

```

8.4. タイマの使用例

ボード上の外部タイマ (uPD71054) でカスケード接続されたタイマ 1 とタイマ 2 を使用した時間計測のサンプルを示します。タイマ 1 はインターバルカウンタ (モード 2)、タイマ 2 は、ダウンカウンタ (モード 0) として初期化して、時間計測するルーチンの前後でカウンタ値を求めておくことで実行時間が算出できます。ただし、タイマのカウント値はどちらもダウンカウンタとなることに注意してください。また、外部タイマの連続アクセスではコマンドリカバリ (ROM 領域のダミーリード) が必要となります。

```

/* タイマによる実行時間計測サンプル */

#define TIMERCLK      2000000          /* 2MHz */
#define INTERVAL     (TIMERCLK * 10 / 1000) /* 10ms (1/100) */
#define IOWAIT()     (*(char *) 0x1FE00000) /* 1/0 コマンドリカバリ用 */

InitTimer() /* タイマ初期化 */
{
    outb(0x1FE09030, 0x74);          IOWAIT(); /* タイマ 1 モード 2 */
    outb(0x1FE09010, INTERVAL);     IOWAIT(); /* タイマ 1 下位カウント */
    outb(0x1FE09010, INTERVAL / 256); IOWAIT(); /* タイマ 1 上位カウント */
    outb(0x1FE09030, 0xB0);          IOWAIT(); /* タイマ 2 モード 0 */
    outb(0x1FE09020, 0xFF);          IOWAIT(); /* タイマ 2 下位カウント */
    outb(0x1FE09020, 0xFF);          IOWAIT(); /* タイマ 2 上位カウント */
    return 0;
}

LatchTimer() /* カウントラッチ */
{
    int count1, count2, counts;

    outb(0x1FE09030, 0xDC);          IOWAIT(); /* タイマ 1/2 マルチプルラッチ */
    count1 = inb(0x1FE09010);         IOWAIT();
    count1 += inb(0x1FE09010) * 256;   IOWAIT(); /* タイマ 1 カウント */
    count2 = inb(0x1FE09020);         IOWAIT();
    count2 += inb(0x1FE09020) * 256;   IOWAIT(); /* タイマ 2 カウント */
    counts = INTERVAL * (0xFFFF - count2)
            + (INTERVAL - count1);
    return counts;
}

double total_time;

main()
{
    int start_count, stop_count;

    InitTimer();
    start_count = LatchTimer();        /* スタートカウント値 */
    func();
    stop_count = LatchTimer();        /* ストップカウント値 */
    total_time = (double)(stop_count - start_count)
                / (double)TIMERCLK;   /* 秒数 */
    return 0;
}

#include <time.h>

func() /* 時間計測ルーチン */
{
    ....
}

```

9. マスカブル割り込みを使用したアプリケーションの開発

本章では、RTE-V850E2/ME3-CB 上でマスカブル割り込みを使用したアプリケーションの開発を行う場合の方法と制限事項について説明します。

9.1. 割り込みベクタ

V850E2/ME3 の割り込みベクタ領域である 000000H ~ 0007FFH 番地は、内蔵命令 RAM 領域にあり書換えができることから、V850E2/ME3 のモニタには代替ベクタ領域を用意していません。

通常の V850E2/ME3 のプログラムと同様の処理でベクタ領域を書換えることができますが、RTE-V850E2/ME3-CB 上でモニタを使用したプログラムの場合、割り込みを一度禁止してからベクタの書換えを行い、再度割り込みを許可する必要があります。

ベクタを書換えるためのプログラム例を以下に示します(ベクタ領域から割り込み処理ルーチンへの相対アドレスが 22Bit 以内の場合)。

```
void SetAJump(int addr, int jmpdest) /* ベクタ設定ルーチン */
/* int addr;                          address where we're storing the 'jr' */
/* int jmpdest;                        address where the 'jr' jumps to */
{
    int offset;
    unsigned inst;
    unsigned int *p;

    offset = jmpdest - addr;
    inst = 0x07800000 /* 'jr' opcode */ | (offset & 0x003fffff);
    di();
    SetIramWrite();
    *((UINT32 *)addr) = (((inst >> 16) & 0xffff) | (inst & 0xffff));
    SetIramRead();
    ei();
}
.....
void __interrupt IntEntry() /* 割り込み処理ルーチン */
{
    .....
}
.....
main()
{
    .....
    SetAJump((int)0x080), (int)IntEntry);
    /* 目的の割り込みの例外コード */
    .....
}

/* Set read mode: Calling: void SetIramRead( void ) */
.globl _SetIramRead
_SetIramRead:
    mov     0x00, r6
    st.b   r6, SFR_IRAMM[r0]
    nop
1:        ld.b   SFR_IRAMM[r0], r10
    cmp    r6, r10
    bnz   1b
    jmp    [lp]
/* Set Write mode: Calling: void SetIramWrite( void ) */
.globl _SetIramWrite
_SetIramWrite:
    mov     0x03, r6
    st.b   r6, SFR_IRAMM[r0]
    nop
1:        ld.b   SFR_IRAMM[r0], r10
    cmp    r6, r10
    bnz   1b
    jmp    [lp]
```

9.2. 一般的な制限事項 / 注意事項

マスカブル割り込みを使用したアプリケーションをデバッグする上での制限事項と注意事項を以下に示します。

- 1) ベクタの設定前に割り込みが発生した場合、割り込みの発生時点でのプログラム位置でブレークします。これは、ベクタの初期値がモニタのブレーク処理ルーチンへの分岐命令になっているためです。また、誤ってベクタを設定した場合、モニタでのコントロールができなくなる場合があります。
- 2) ベクタ領域から割り込み処理ルーチンまでの相対アドレスが 22Bit を超える場合、割り込み処理ルーチンへの分岐のために、少なくとも 1 つ以上のレジスタの値を壊すか、分岐の中継点を作る必要があります。
- 3) ベクタ領域はプログラムで書換えるか、プログラムのダウンロード時に書換えることができます(「9.3 ダウンロード時のベクタ領域書換え方法」を参照)。但し、プログラムのダウンロード時の書換えは、使用する割り込み以外を書換えないようにしてください。
- 4) 割り込み関係を含む全てのペリフェラルは、ボード上のリセット・スイッチによってのみ初期化されます。したがって、一度プログラムを実行した後に、プログラムを再ロードして動作させる場合、前のプログラム実行による影響がペリフェラル上に残っている場合があり、誤動作の原因になります。ペリフェラルを使用するプログラムを再実行させる場合は、以下の手順にしてください。
 - (1) モニタをディスコネクトします。
 - (2) RTE-V850E2/ME3-CB のリセット・スイッチを押しボードをリセットします。
 - (3) モニタにコネクトします。
 - (4) プログラムをロードして実行します。
- 5) プログラムの先頭で DI (割り込み禁止) 状態にしてから、ペリフェラルやベクタの設定をした後、EI (割り込み許可) 状態にするようにしてください。
- 6) ブレーク中に割り込みの DI(割り込み禁止) / EI(割り込み許可)状態をデバッガの I/O(レジスタ)操作機能で行う場合は、割り込みマスクレジスタ(IMRn)の該当ビットで行ってください。ブレーク中に割り込み制御レジスタ(PICn or PnnICn)をデバッガの I/O(レジスタ)操作機能で操作した場合は、割り込み動作が正しく機能しなくなることがありますので、割り込み制御レジスタの操作は行わないでください。

9.3. ダウンロード時のベクタ領域書換え方法

プログラムのダウンロード時にベクタを書換える方法として、GHS 社の Multi 環境を基に例を示します。また、この方法は実際に ROM 化するプログラムに類似した方法とも言えます。尚、前述のプログラム例と合わせて参照してください。

- 1) 割り込みベクタ書換え用のプログラムを定義 (ASM 言語)

割り込みベクタに置く分岐命令だけのプログラムを以下のように定義します。記述方法の詳細については、言語処理系のマニュアルを参照してください。

```

.section      "intvct", .text /* Defined section name */
.align      4
.globl      _Int80
_Int80:
    jr _IntEntry /* jump to handler */
    nop
    nop

```

但し、1つの割り込みに対してベクタの境界を超えて定義することはできませんので注意してください。

2) セクション・マップの定義

リンク時に使用するセクション・マップを以下のように定義します。以下は、FlashROM 領域にプログラムを配置する場合の例です。記述方法の詳細については、言語処理系のマニュアルを参照してください。

```
{
    .intvct      0x000080    :
    .text       0x118000    :
    .data       align(0x10) :
    .
    .
}
```

ベクタに置くプログラムのセクションを最初に定義します。

複数の割り込みを使用する場合には、連続したベクタであれば1つのセクションを定義することで対処できます（割り込みベクタの境界を合わせることが必要です）。不連続の場合は、割り込み毎にセクションを定義し、セクション・マップに全てのセクションを指定することが必要です。

この方法でダウンロード時にベクタ領域の所定の場所が書換えられます。また、割り込みベクタを書換えるためのコードを記述する手間を省くことができます。

9.4. ブレーク・ポイント使用に関する制限事項 / 注意事項

割り込み処理ルーチン内へのブレーク・ポイントの設定や、その後の実行（シングル・ステップ）に関し、以下の制限事項 / 注意事項がありますのでご注意ください。

1) ブレーク中は全てのマスカブル割り込みは受け付けません。

2) シングル・ステップ機能は、次の命令にテンポラリ・ブレーク・ポイントを設定する方式を取っています。この結果、EI(割り込み許可)状態のユーザ・プログラムをシングル・ステップする場合、シングル・ステップ中にも割り込みを受け付け、1命令をシングル・ステップする間に割り込み処理に分岐し、割り込み処理を行うことがあります。

したがって、シングル・ステップでも、ブレーク・ポイントに関する注意事項に気をつけなければなりません。

3) シングル・ステップによって割り込み処理ルーチンから抜けることはできません（具体的には、割り込みルーチンの最後の”)”でのシングル・ステップができません）、同様に、reti命令のシングル・ステップもできません。デバッガの”Return”機能で、割り込み処理ルーチンから元のルーチンへ戻ることはできません。

10. CPU 端子接続

本章では、RTE-V850E2/ME3-CB 内での CPU の各端子の使用状態を説明します。

10.1. 端子接続一覧

下表は主な CPU 端子の使用状態の一覧です。

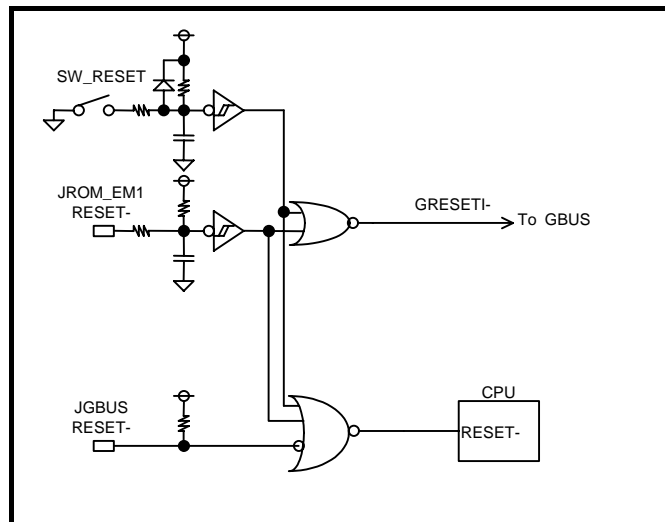
端子名	使用状態	参照章
D0-D15 PDH0/D16-PDH15/D31	データバス:D0-D31 のとしてシステムバスで使用	
PAL0-1/A0-1 A2-A15 PAH0/A16-PAH9/A25	アドレスバス:A0-A25 のとしてシステムバスで使用	
PCT0/LLWR-/LLBE-/LLDQM PCT1/LUWR-/LUBE-/LUDQM PCT2/ULWR-/ULBE-/ULDQM PCT3/UUWR-/UUBE-/UUDQM PCT4/RD- PCT5/WR-/WE- PCT7/BCYST-	LLBE-/LLDQM のとしてシステムバス及び、SDRAM で使用 LUBE-/LUDQM のとしてシステムバス及び、SDRAM で使用 ULBE-/ULDQM のとしてシステムバス及び、SDRAM で使用 UUBE-/UUDQM のとしてシステムバス及び、SDRAM で使用 RD- のとしてシステムバスの制御信号として使用 WR-/WE- のとしてシステムバス及び、SDRAM で使用 BCYST- のとしてシステムバスの制御信号として使用	
PCD0/SDCKE PCD1/BUSCLK PCD2/LBE-/SDCAS- PCD3/UBE-/SDRAS-	SDCKE のとして SDRAM で使用 CLK のとしてシステムバス及び、SDRAM で使用 SDCAS- のとして SDRAM で使用 SDRAS- のとして SDRAM で使用	
PCS0/CS0- PCS1/CS1- PCS2/CS2-/IOWR- PCS3/CS3- PCS4/CS4- PCS5/CS5-/IORD- PCS6/CS6- PCS7/CS7-	CS0- - CS7- のとして使用 但し、CS2-、CS5-、CS6- はボード上では未使用	
PCM0/WAIT-	WAIT- のとしてシステムバスで使用	10.3
PCM1	外部 USB の VBUS 監視用の入力ポートとして使用	
PCM2/HLDAK-	内蔵 USB の D+ の PULLUP、VBUS の制御用：PCM2 のとして使用	10.6
PCM3/HLDRQ- PCM4/REFRQ-	未使用	
PCM5/SELFREF-/ADTRG	未使用 (47K でプルアップ)	
P20/NMI P11/SCK0-/INTP11-	PIC からのモニタ用割り込み線：NMI- のとして使用 PIC からのモニタ用割り込み線：INTP11- のとして使用	10.4
P23/SCK1-/INTP23- P24/SI1/INTP24- P25/SO1/INTP25-	PIC からのユーザ用割り込み線：INTP23- のとして使用 内蔵 USB の VBUS 監視用割り込み線：INTP24- のとして使用 スイッチからの外部割り込み線：INTP25- のとして使用	10.5 10.6 10.7
P65/INTPC10/TIC1/INTP65- P66/INTPC11/INTP66- P67/TOC1/INTP67-	GNIT1- 用割り込み線：INTP65- のとして予約(SW3-1 で切断可能) GNIT2- 用割り込み線：INTP66- のとして予約(SW3-2 で切断可能) GNIT3- 用割り込み線：INTP67- のとして予約(SW3-3 で切断可能)	10.8
P10/UCLK/INTP10-	内蔵の USB C 用のクロック入力として使用(48MHz を入力)	
P12/RXD0/SIO P13/TXD0/SO0 P21/TXD1/INTP21- P22/RXD1/INTP22-	UART:RXD 用に RXD として使用 UART:TXD 用に TXD として使用 UART:RTS 用に P21 として使用 UART:CTS 用に P22 として使用	10.11 10.12 10.13 10.14
P50/DMARQ0-/INTP50- P53/DMARQ1-/TIC0/INTPC00 P72/DMARQ2-/INTPC20/TIC2 P75/DMARQ3-/INTPC30/TIC3	DMARQ のとして予約 P50、P53 は GBUS-DMARQ0 - 1 へ接続(SW4 で切断可能) P72、P76 は GBUS-DMARQ0 - 1 か USB-DREQ0 - 1 へ接続 (SW6-1.2、SW6-5.6 で切替え)	10.9 10.10
P51/DMAAK0-/INTP51- P54/DMAAK1-/INTPC01 P73/DMAAK2-/INTPC21 P76/DMAAK3-/INTPC31	P54 は GBUS-DMAAK1 へ接続(SW4 で切替え可能) その他は未使用 (10K でプルアップ)	
P52/TC0-/INTP52- P55/TC1-/TOC0 P74/TC2-/TOC2 P77/TC3-/TOC3	未使用 (10K でプルアップ)	
ANI0-7, AVREFP, AVREFM, AVDD, AVSS	未使用 (470K でプルダウン)	
DCK,DDO,DDI,DMS,DRST- TRCCLK, TRCDATA0-3	ICE 用コネクタに接続	
UDM UDP	JUSB2 に接続	10.6
RESET-	RESET を入力	10.2
MODE0-1,SSEL0-1, JT0, JT1, VBCDEL	SW5 で任意に設定可	
X1, X2	システムクロック用に Xtal を接続	

10.2. RESET-

CPU へのリセットは以下に示した要因で発生します。このリセットは、CPU をリセットすると共にボード全体のシステム・リセットとなります。

- **パワーオン・リセット**：ボードの電源 ON 時に発生するリセットです。
- **JROM_EM からのリセット要求**：JROMEM コネクタの RESET-端子からの入力によるリセットです（「5.10 ROM エミュレータ用テストピン (JROM-EMLT)」参照）
- **SW_RESET によるリセット**：リアパネル部分に用意されているリセット・スイッチ(SW_RESET)が押されるとリセットが発生します（「5.1 リセット・スイッチ (SW_RESET)」参照）。
- **JGBUS からのリセット**：JGBUS に接続したボードからのリセットです。

RESET の生成ロジックの概要を下図に示します。



10.3. PCM0/WAIT-

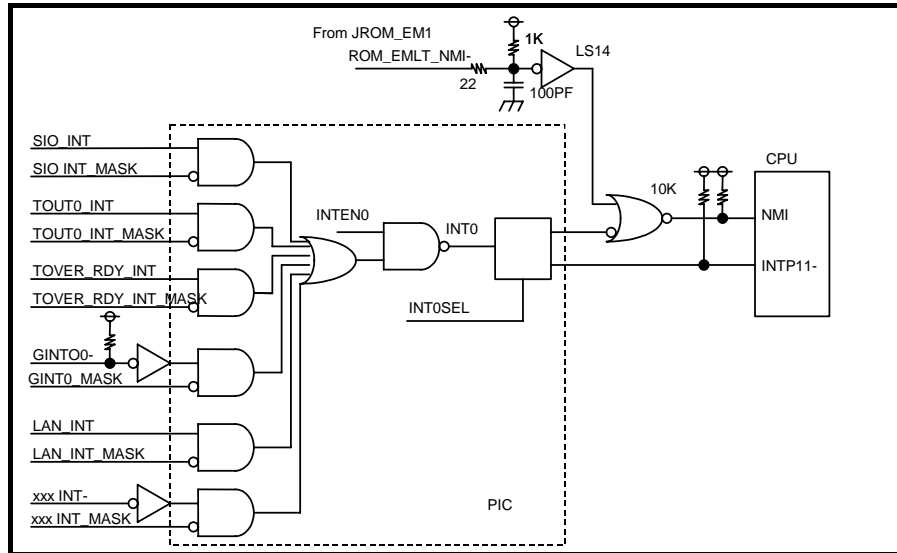
PCM0/WAIT-端子は、READY 信号として使用されています。

タイムオーバ・レディは、JP6(「5.16READY 端子の設定ジャンパ (JP6)」参照)を [1-2] pin をショートし、バスサイクルが一定時間以上経過してもクローズしない場合と、GBUS の GMOTHER_DETECT-信号が High (GBUS にボードが接続していない) の時、GBUS に割り当てられた空間へアクセスした場合に発生します。

タイムオーバ・レディが発生した場合、ボード上の TOVER_LED が点灯し、PIC に対し割り込みが入ります。TOVER_LED はタイムオーバ・レディ LED クリア・パルスをソフト的に発生させるか、ボードがリセットされるまで点灯し続けます（「7.4.5タイムオーバ・レディ LED クリア・パルス (TOVRDY_LED_CLRPLS 1FE03000H [Write Only])」参照）。

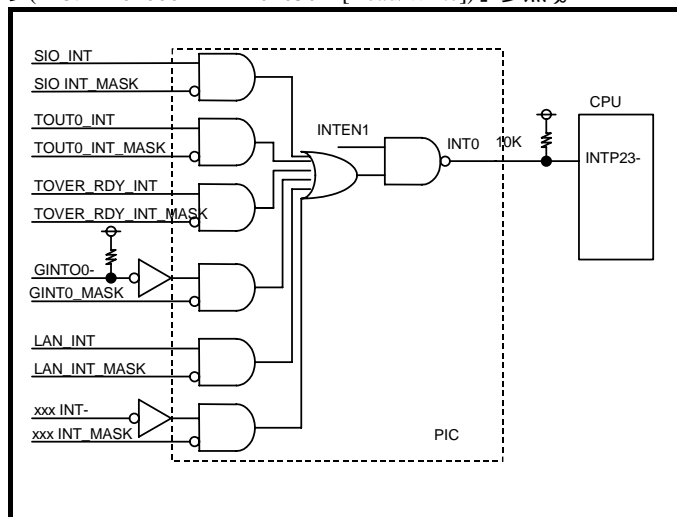
10.4. P20/NMI, P11/SCK0/INTP11-

P20, P11 端子は PIC からのモニタ用の割り込み NMI, INTP11-として使用します。生成ロジックの概念図を下図に示します。下図の xxx_MASK 信号は、PIC のレジスタへの IM0[]レジスタの設定です。(「7.4.6 割り込みコントローラ(PIC:1FE04000H - 1FE04030H [Read/Write])」参照)



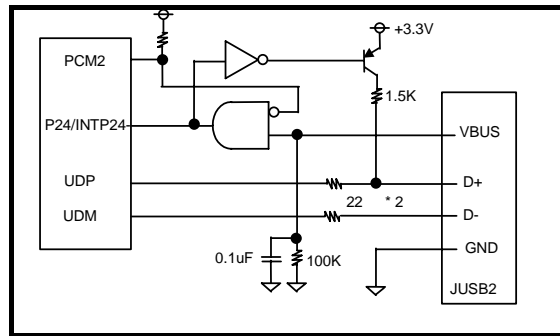
10.5. P23/SCK1/INTP23-

P23 端子は PIC からのユーザ用の割り込み INTP23-として使用します。生成ロジックの概念図を下図に示します。下図の xxx_MASK 信号は、PIC のレジスタへの IM1[]レジスタの設定です。(「7.4.6 割り込みコントローラ(PIC:1FE04000H - 1FE04030H [Read/Write])」参照)



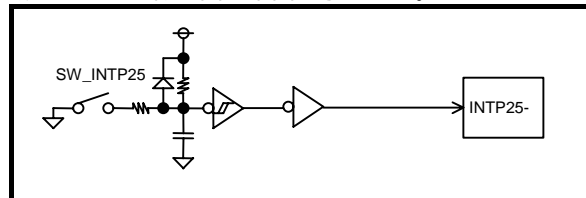
10.6. P24/SI1/INTP24-, PCM2/HLDAK-, UDP, UDM

P24, PCM2 は、CPU 内蔵の USB コントローラの外部制御用に使います。P24 は、USB-BUS の電源(VBUS)監視用の割り込み入力 INTP24-入力として、PCM2 は D+の PULL-UP の制御用に出力ポートとして使います。回路の概念図を下図に示します。P24 はハイアクティブ、PCM2 はローアクティブの信号です。



10.7. P25/SO1/INTP25-

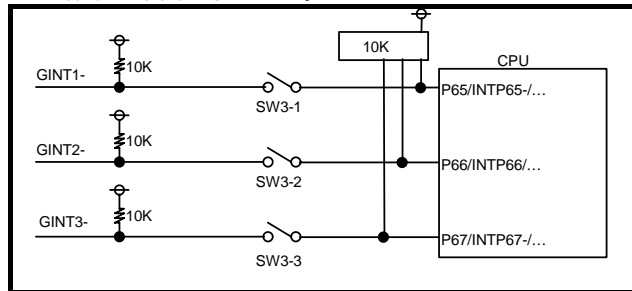
P25 は INP25-として使用します。この端子にはスイッチが接続されており、手動で割り込みを入れることができます。生成ロジックの概念図を下図に示します。



10.8. P65/INTP65-/..., P66/INTP66-/..., P67/INTP67-/...

P65/INTP65-/..., P66/INTP66-/..., P67/INTP67-/...は、割り込みとして使用し、GBUS からの割り込み (GINT[0..2])がスイッチ(SW3)を経由して接続されています。

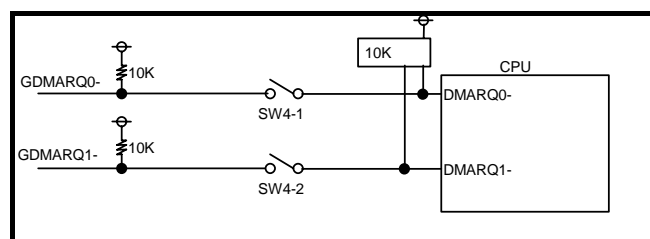
それぞれの接続の様子を下図に示します。



10.9. P50/DMARQ0-/INTP50, P53/DMARQ1-/INTPC00

P50/DMARQ0-/INTP50, P53/DMARQ1-/INTPC00 は、GBUS からの DMA 要求(GDMARQ0-, GDMARQ1-)の入力として使用します。

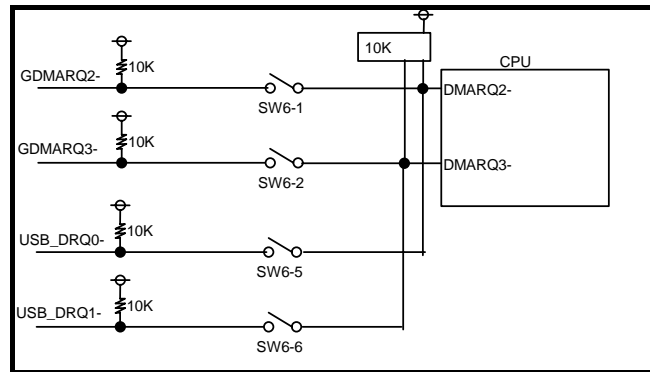
それぞれの接続の様子を下図に示します。



10.10.P72/DMARQ2-/I..., P75/DMARQ3-/I...

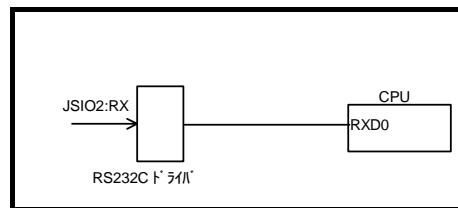
P72/DMARQ2-/I..., P75/DMARQ3-/I...は DMA の入力として使用し、GBUS からの DMA 要求 (GDMARQ2-, GDMARQ3-)と外付けの USB コントローラ ML60852A からの DMA 要求(DREQ0-, DREQ1-)をスイッチ(SW6)で切り替えて入力します。

それぞれの接続の様子を下図に示します。



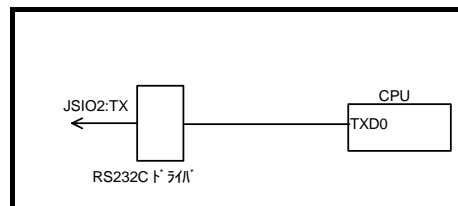
10.11.P12/SIO/RXD0

P12/SIO/RXD0 端子は、JSIO2 の Rx を RS232C 受信ドライバを経由して接続されています。UART の RXD0 として使用します。接続の様子を下図に示します。



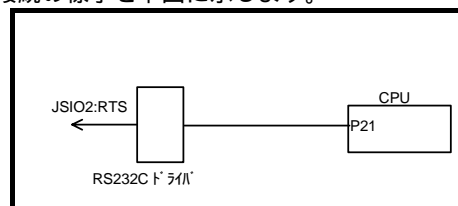
10.12.P13/SO0/TXD0

P13/SO0/TXD0 端子は、RS232C 送信ドライバを経て、JSIO2 の Tx として使用します。接続の様子を下図に示します。



10.13.P21/RXD1/INTP21-

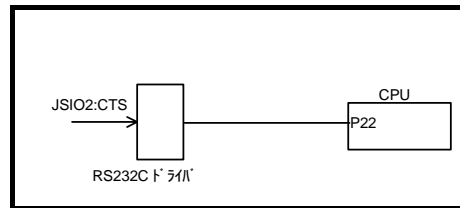
P21/RXD1/INTP21-端子は、RS232C 送信ドライバを経て、JSIO2 の RTS に使用されています。出力ポートとして使用します。接続の様子を下図に示します。



10.14.P22/TXD1/INTP22-

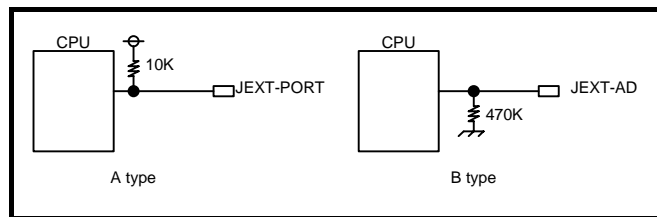
P22/TXD1/INTP22-端子は、JSIO2 の CTS を RS232C 受信ドライバを経由して接続されています。入

カポートとして使用します。接続の様子を下图に示します。



10.15. その他の信号

JEXT-AD, JEXT-PORT に接続されているその他の信号線の処理を以下に示します。



11. GBUS 個別仕様

本章では、RTE-V850E2/ME3-CB での GBUS の使用状況を説明します。GBUS の一般的な仕様については「14 GBUS 共通仕様」を参照してください。

11.1. 概要

RTE-V850E2/ME3-CB での GBUS の信号線使用状況を下表に示します。

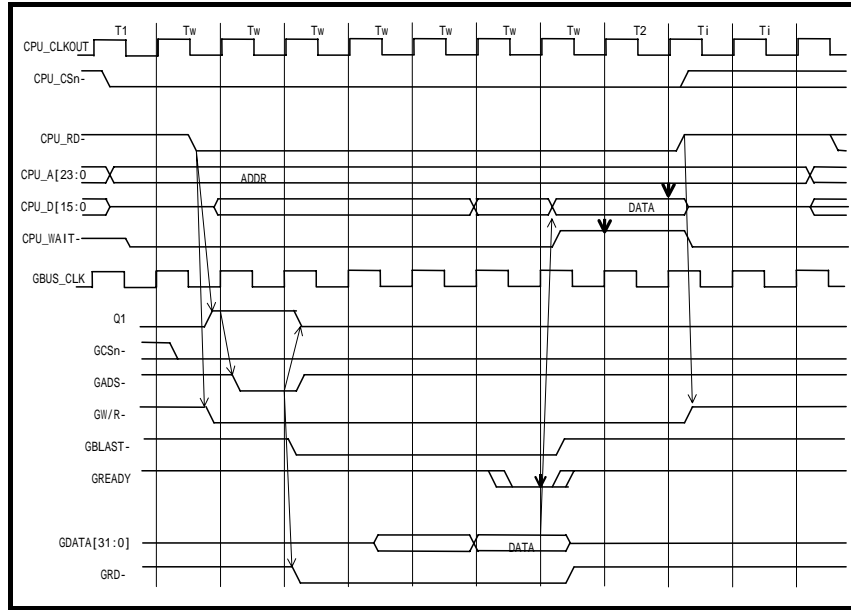
GBUS 信号名	機能
GADDR[31:2]	アドレス線として使用。GADDR[26:31]は未接続。
GDATA[31:0]	データ線として使用。
GCS-[7:0]	本ボードで生成して、チップ・セレクト線として出力。
GCLK	CPU の BUSCLK とは、非同期の 33MHz 固定のクロックを出力。
GRESETI-	本ボード上で発生したリセット要求を出力。
GRESETO-	GBUS からのリセット要求として使用。
GADS-, GREADY-, GBLAST-, GW/R-	バス制御信号として使用。
GWAITI-	未接続
GBTERM-	未接続
GRD-, GWR-	GBUS の制御信号から生成した、RD-,WR-信号を接続。
GHOLD-, GH LDA-	未接続
GBREQ-	未接続
GDMARQ-[3:0]	DMA 要求として使用。CPU の DMARQ-[3..0]がスイッチを介し接続されています。
GDMAAK-[3:0]	DMA 応答として使用。CPU の GDMAAK-[3..0]にスイッチを介し接続されていますが、使用できるのは GDMAAK-[1]のみです。
GINTO-[3:0]	割り込み要求信号として使用。
GINTI-[1:0]	GINTI0-と GINTI1-へは、それぞれ TIC(μPD71054)の OUT0 と OUT1 を接続。
GETC[7:0]	未接続。
GAHI_EN-	未接続
GMOTHER_DETECT-	タイムオーバ・レディー生成回路で使用。
GUSE_DIRECT_ACC-	未接続
GCLK_LOW-	未接続
GLOCK-[1:0]	未接続

11.2. バス・サイクル

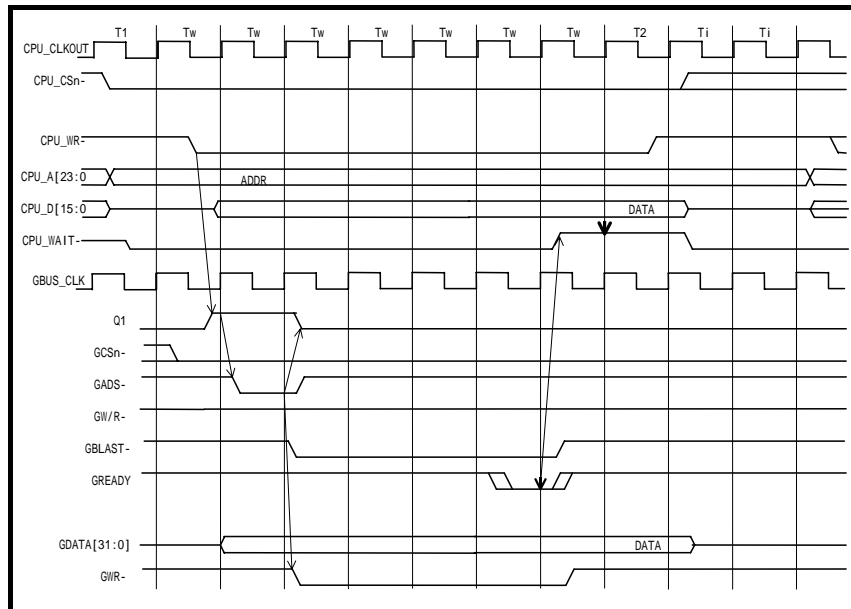
GBUS の GCLK へは、CPU とは非同期の 33MHz のクロックを接続しています。GAHI_EN-を未接続にしているため、GADDR[26:31]は未接続になっています。

以下に示す波形で、CPU_xxx 信号は CPU の信号です。また、Gxxx 信号は GBUS の信号です。

リード・サイクルの様子を下図に示します。



ライト・サイクルの様子を下図に示します。



11.3. チップセレクト

本ボードでは、GBUS の各チップセレクトには、下記の空間が割り当てられています。下記の全ての空間では、CPU 内蔵のバス・コンフィグレーション・レジスタの設定は、32 ビット・データバス幅、1Wait に設定してください(「7.2.1 MEMC レジスタ」参照)。

GBUS 信号名	CPU アドレス範囲	RTE-MB-A の資源
GCS0-	0x04000000 - 0x047FFFFFFF	共有 SRAM(2M)
GCS1-	0x04800000 - 0x04FFFFFFF	フラッシュ ROM(8M)
GCS2-	0x07000000 - 0x077FFFFFFF	IO レジスタ
GCS3-	0x05000000 - 0x05FFFFFFF	EXT-bus:メモリ空間
GCS4-	0x06000000 - 0x06FFFFFFF	EXT-Bus:IO 空間
GCS5-	0x18000000 - 0x19FFFFFFF	PCI バス空間(MEM)
GCS6-	0x07800000 - 0x07FFFFFFF	PCI-Cont レジスタ
GCS7-	0x1A000000 - 0x1BFFFFFFF	PCI バス空間(IO)

11.4. RTE-MB-A の初期設定

PCI バスに関する PLEX-9080 の設定は、下表のように設定してください

レジスタ名	アドレス	設定値
Local Range Register for Direct Master to PCI(9CH)	0x780009C	0xFE000000
Local Bus Address Register dor Direct Master to PCI Memory(A0h)	0x78000A0	0x00000000
Local Base Address Register for Direct Master to PCI IO/CFG(A4h)	0x78000A4	0x82000000

11.5. Audio 用 DMA に関して

Audio 用の DMA は、GDMARQ0, GDMARQ1 を使用します。この要求は CPU の DMARQ0, DMARQ1 で受けますが、DMARQ0 の受付は立下りエッジを、DMARQ1 はローレベルをそれぞれ指定してください。また、DMAAK は DMAAK1 だけを CPU と接続します。

11.6. EXt-Bus の DMA に関して

EXT-BUS 上の DMA は GDMARQ2, GDMARQ3 を使用します。この要求は CPU の DMARQ2, DMARQ3 で受けませんが、DMAAK はサポートしません。

12. Multi モニタ

Multi 用のモニタ ROM を使用して、ホストの Multi デバッガと接続して使用する場合の設置方法と使用方法について説明します。

12.1. ボードの設置

12.1.1. RTE for Win32 のインストール

Multi デバッガを使用する場合には、PC に通信用のソフトウェア (RTE for Win32) をインストールする必要があります。ソフトウェアのインストールとテストについては、添付の「RTE for Win32 インストール・マニュアル」を参照してください。

12.1.2. SW1 の設定

SW1 は、汎用の入力ポートのスイッチですが、実装されている Multi 用のモニタでは、以下の通り使用しています。正しく設定してご使用ください。

SW1 番号	1	2	ボーレート	
設定	ON	ON	115200 baud	
	OFF	ON	38400 baud	
	ON	OFF	19200 baud	
	OFF	OFF	9600 baud (出荷時の設定)	

SW1 番号	3	4	プロファイラ周期	
設定	ON	ON	タイマを使用しない	
	OFF	ON	200 Hz	5 ms
	ON	OFF	100 Hz	10 ms
	OFF	OFF	60 Hz	16.67ms (出荷時の設定)

SW1 番号	8	デバッガのモード
設定	ON	テストモードでモニタを立ち上げます。
	OFF	通常の使用状態 (出荷時の設定)

SW1-5 ~ 7 は、Multi モニタでは使用していません。

SW1-8 を ON にした場合、立上げに時間がかかります。また、LED に対しモニタが表示を行います。通常は、OFF の状態でご使用ください。

12.1.3. SW2 の設定

SW2 は、ボードの動作を制御するポートのスイッチですが、実装されている Multi 用のモニタでは、以下の通り使用しています。正しく設定してご使用ください。

SW2 番号	1	起動モード
設定	OFF	通常モードで起動(0x00100000)

SW2 番号	3	モニタが使用する割り込み選択
設定	ON	INTP11 を使用します。
	OFF	NMI を使用します。 (出荷時の設定)

SW2 番号	4	キャッシュの指定
設定	ON OFF	CS0, CS1, CS2 を uncache に設定します。 CS1 を cache に設定します。他は, uncache です。(出荷時の設定)

SW2 番号	7	8	モニタの種類を選択
設定	OFF	OFF	Multi 用モニタを選択

その他は、使用環境に応じて設定します。

12.1.4. PC との接続

「6 ホスト PC との接続」を参照して、シリアルで PC と接続してください。

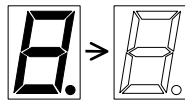
12.2. Multi モニタ

12.2.1. 起動時の 7Seg-LED

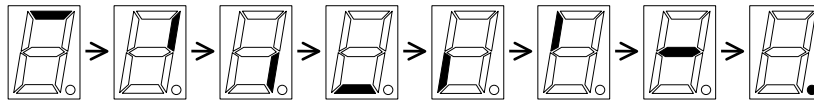
Multi 用の ROM モニタが選択されている場合、ボードの電源を入れると 7Seg-LED が次のように動きます (黒い部分が点灯部分)

1) 7Seg-LED のチェック動作 (下図参照)

SW1-8 が OFF の場合 :



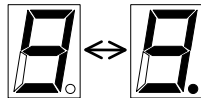
SW1-8 が ON 場合 :



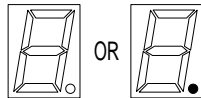
2) SRAM の簡易メモリチェックによる数字のカウント

SW1-8 が OFF の場合は行いません。

3) 接続待ち状態 (プロファイラのタイマを停止している場合は、ドットの点滅なし)



4) 接続状態 (ドットの点灯は、接続した時のドットの点灯状態が保持される)



12.2.2. ROM モニタ・ワーク RAM

ROM モニタでは、SDRAM の下位の 32KB (80-0000H - 80-7FFFH) をワーク用の RAM として使用しています。したがって、この空間とこの空間のイメージ領域は、ユーザ・プログラムで使用できません。

12.2.3. モニタ割り込み

モニタ通信、タイマ及び、強制ブレークで使用する割り込みは、SW2-5 で選択された割り込みを使用します。DMA を使用する場合は、モニタの割り込みで DMA 転送が中断しないように INTP11 を使用するか、NMI を使用する場合は、DTCO レジスタの設定で中断しないように設定してください。

12.2.4. _INIT_SP の設定

モニタで_INIT_SP (スタック・ポインタの初期値) は、"SDRAM の上限アドレス - 0x10" に設定されています (Multi の環境で_INIT_SP で変更することもできます)。モニタでは、ユーザ・プログラムで設定したスタック領域を 32 バイト使用します。

12.2.5. タイマ割り込み

タイマ割り込みを禁止しますと、Multi のプロファイラ機能が使用できません (タイマ割り込みの設定については『12.1.2 SW1 の設定』を参照)。

12.2.6. ハードウェアの初期化

ROM モニタでは、ボード上の資源に対し、直にアクセスできるように初期化を行っています。

12.2.7. 特殊命令

以下の命令を、シングル・ステップ、ブレーク・ポイント及びシスコール機能で使用しています。

BRKTRAP 命令 (0xnn40)

ユーザ・プログラム内では、ブレーク命令と解釈されるコードは使用しないでください。

12.3. RTE コマンド

サーバと接続すると TARGET ウィンドウが開かれ、ここで RTE コマンドを発行することができます。表に RTE コマンドの一覧を示します。

コマンド名	内容
HELP, ?	ヘルプ表示
INIT	イニシャライズ
VER	バージョン表示
SFR	内部 I/O 表示 / 設定

RTE コマンド一覧

各コマンドには、パラメータを必要とするものがあります。アドレスやデータなど、数値のパラメータは、全て 16 進数とみなされます。以下の数値指定は誤りです。

0x1234 1234H \$1234

12.3.1. HELP(?)

<書式> HELP [コマンド名]

HELP は、RTE コマンドの一覧や書式を表示します。また、"HELP" と入力するかわりに "?" としても同様です。コマンド名を省略すると、使用できるコマンド一覧を表示します。

<例> HELP SFR

SFR コマンドのヘルプを表示します。

12.3.2. INIT

<書式> INIT

INIT は、RTE 環境の初期化を行ないます。通常、このコマンドを使用しないでください。

12.3.3. VER

<書式> VER

VER は、RTE 環境のバージョンを表示します。

12.3.4. SFR コマンド

<書式> SFR [レジスタ名 [=データ]]

レジスタ名を指定してデータを省略した場合は、そのレジスタからリードしたデータを表示します。レジスタ名と”=”の後にデータを指定した場合には、そのレジスタにデータをライトします。データのサイズは、指定したレジスタの有効サイズで自動的に決定されます。内部 I/O レジスタの詳細については、V850E2/ME3-CPU のマニュアルを参照してください。

<例 1> SFR

レジスタ一覧を表示します。

<例 2> SFR IMR

レジスタ IMR の内容を表示します。

<例 3> SFR IMR=55AA

レジスタ IMR にデータ 55AAH をライトします。

13. FlashMemory ロータ

FlashMemory ロータは、S レコード形式の HEX ファイルを読み込み、FlashMemory へプログラムを書き込むためのプログラムです。使用にあたってはターミナルソフトが必要です。ここでは、ターミナルソフトとして HyperTerm を使用する場合の方法を一例として説明します。

HyperTerm ではテキストファイルの転送に非常に時間がかかる場合があります。
その場合には他のターミナルソフトをご利用ください。

13.1. ボードの設置

13.1.1. SW1 の設定

SW1 は、汎用の入力ポートのスイッチですが、実装されている FLASHMEMORY ロータでは、以下のスイッチを正しく設定してご使用ください。

SW1 番号	1	2	ボーレート
設定	ON	ON	115200 baud
	OFF	ON	38400 baud
	ON	OFF	19200 baud
	OFF	OFF	9600 baud (出荷時の設定)

SW1 番号	3	4	----
設定	OFF	OFF	常時この状態でご使用ください。

SW1 番号	8	----
設定	OFF	常時この状態でご使用ください。

13.1.2. SW2 の設定

SW2 は、ボードの動作を制御するポートのスイッチですが、実装されているローダでは、以下の通り使用しています。正しく設定してご使用ください。

SW2 番号	1	起動モード
設定	ON	Download モードで起動(0x001F8000)

SW2 番号	3	----
設定	OFF	常時この状態でご使用ください。

その他は、使用環境に応じて設定します。

13.1.3. PC との接続

「6 ホスト PC との接続」を参照して、シリアルで PC と接続してください。

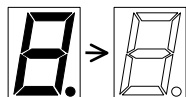
13.2. FlashMemory ロード

13.2.1. 起動時の 7Seg-LED

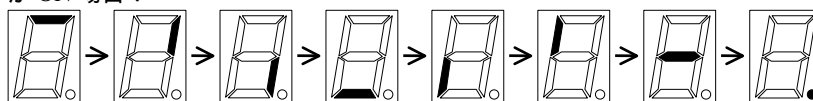
FlashMemory ロードが選択されている場合、ボードの電源を入れると 7Seg-LED が次のように動きます (黒い部分が点灯部分)

1)7Seg-LED のチェック動作 (下図参照)

SW1-8 が OFF の場合 :



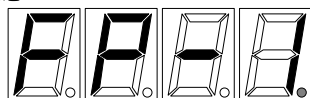
SW1-8 が ON 場合 :



2)RAM の簡易メモリチェックによる数字のカウント

SW1-8 が OFF の場合は行いません。

3)待機状態



LED1 の DP 点滅

13.2.2. 注意事項

FlashMemory ロードは、FlashMemory の全ての領域(10-0000H – 1F-FFFFH)に配置するオブジェクトを対象に書込みを行います。

予め書込まれているモニタ(0x100000 – 0x117FFF)領域やロード(0x1F8000 – 0x1FFFFFF)領域は書換えられないようにしてください。特にロード自身を消してしまった場合は、ICE を使用しない限り書込みできませんので、十分ご注意ください。

13.3. 操作方法

FlashMemory ロータを利用する際の操作方法を以下に示します。ホスト側で実行するターミナルソフトはHyperTerm を例として記します。

13.3.1. 起動手順

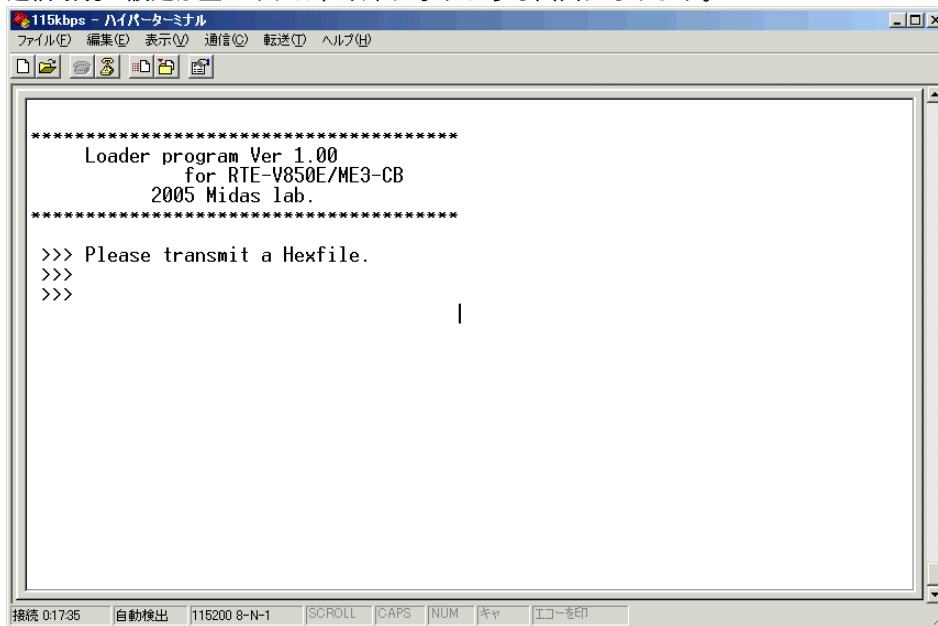
FlashMemory ロータを利用する場合は、以下の手順で起動します。

HyperTerm を起動します。

通信環境を設定(13.3.2 通信環境を参照)します。

SW2-1 を ON にしてローダを指定し、ボードの電源を投入あるいはリセットボタンを押してローダを起動します。

通信環境の設定が正しければ、以下に示すような画面になります。



ボードを先に起動した場合は、HyperTerm を起動して通信環境の設定後にボードをリセットして上記の画面のようになる事を確認してください。

13.3.2. 通信環境

HyperTerm の通信環境は、[ファイル(F)] [プロパティ(R)]以下の通り設定します。

モデムの設定

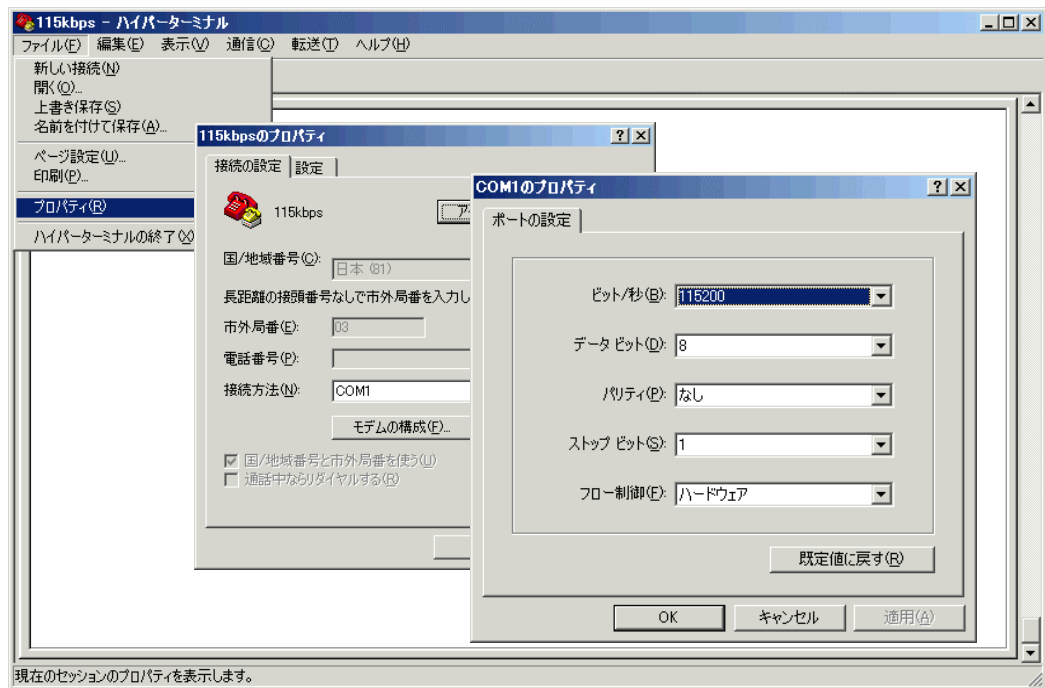
ボーレート	: DIP-SW1:1-2 の設定状態に合わせます。
データビット	: 8
ストップビット	: 1
パリティ	: なし
フロー制御	: ハードウェア

ASCII 設定

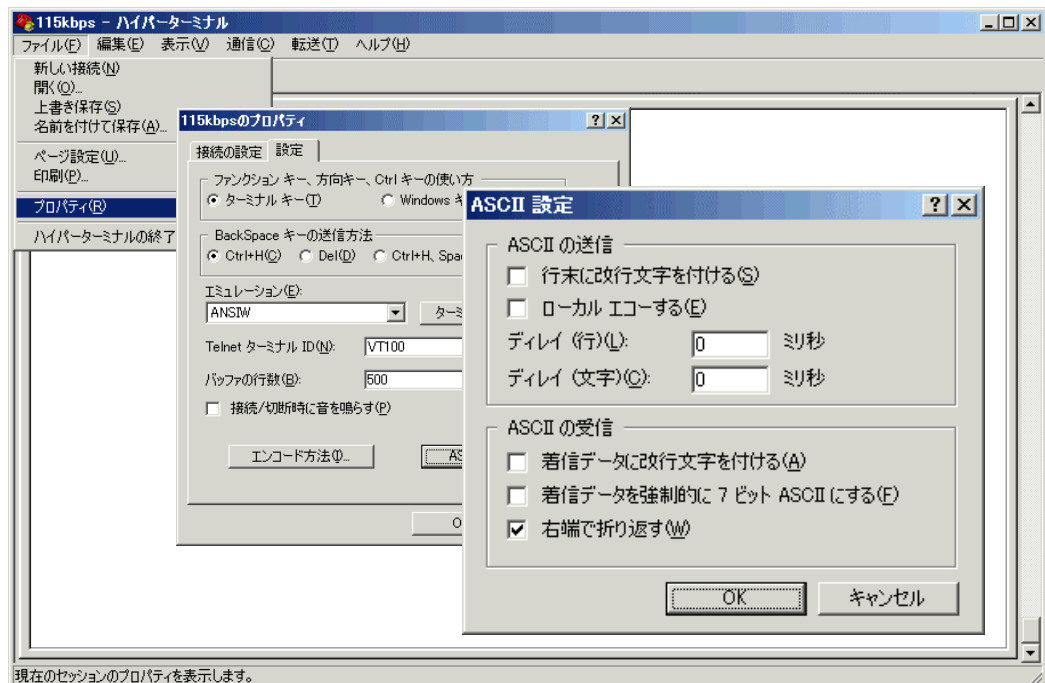
ASCII の送信	: 全てチェックを外します。
ASCII の受信	: 全てチェックを外します。

上記の設定内容については、以下の図を参照してください。

モデムの設定内容：



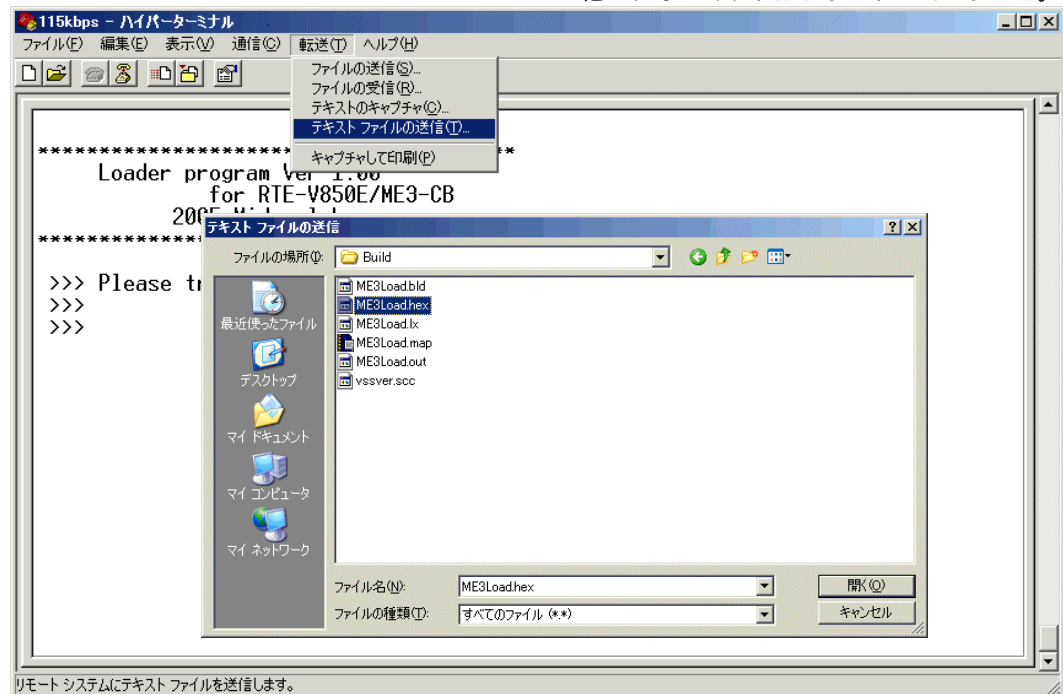
ASCII の設定内容：



13.3.3. ヘキサファイルの転送方法

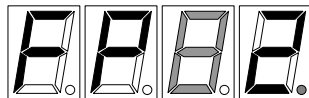
テキストファイルの転送機能を使用して、**モトローラSフォーマット**のファイルを転送します。

その他のフォーマットはサポートしていません。



転送が開始されると、ボード上の7Seg-LEDが次のように動きます（黒い部分が点灯部分）。

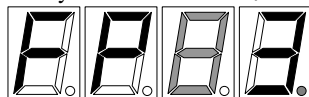
1) Download 中



LED2 の各 Seg が順次点灯、LED1 の DP 点滅

この状態は、オブジェクトを読み込み SDRAM に展開中であることを現します。

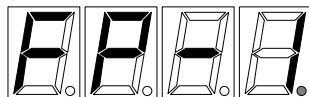
2) FlashMemory プログラミング中



LED2 の各 Seg が順次点灯、LED1 の DP 点滅

この状態は、展開したオブジェクトを読み込み FlashMemory にプログラミング中であることを現します。

3) 待機状態



DP 点滅

この状態は、FlashMemory へのプログラミングが正常に終了して転送待機中であることを現します。

また、画面上には以下に示すようなメッセージを順次表示します。

```

*** The area of LOADER writes and replaces!!
*** Does it rewrite truly? (Y/N)
*** FLASH Program Start.
*** Reset
*** Erase
Sector No.18: 1F0000-1FFFFFF
*** Brank check
Sector No.18: 1F0000-1FFFFFF
*** Write
Sector No.18: 1F0000-1FFFFFF
*** Verify
Sector No.18: 1F0000-1FFFFFF
*** FLASH Program Finish.

*****
Loader program Ver 1.00
for RTE-V850E/ME3-CB
2005 Midas lab.
*****

*** Please transmit a Hexfile.
***
***

```

13.3.4. エラー

ローダが通知するエラーを、以下に示します。これらのエラーが発生した場合は、ファイル、通信環境及びボードの状態を確認してください。

1) ヘキサオブジェクトの展開中に発生するエラー

No.	メッセージ	意味	処理
1	*** Illegal record type >>>	処理不能なレコードタイプを検出	中止
2	*** Illegal record format >>>	レコードフォーマットの異常を検出	中止
3	*** Check sum error >>>	チェックサム異常を検出	中止
4	*** Ignore record >>>	FlashMemory 領域以外のアドレスを検出	続行

メッセージに引続きエラーを検出したレコードを表示

2) FlashMemory へのプログラミング中に発生するエラー

No.	メッセージ	意味	処理
1	*** Reset error!	リセット時にエラーを検出	中止
2	*** Erase error!	消去時にエラーを検出	中止
3	*** Brank check error!	消去状態確認時にエラーを検出	中止
4	*** Write error!	書込み時にエラーを検出	中止
5	*** Verify error!	書込み状態確認時にエラーを検出	中止

メッセージに引続きエラーを検出したセクタを表示

14. GBUS 共通仕様

ここでは、ボードの品種に依存しないGBUSの仕様について説明します。

14.1. 用語

この章で用いる用語について説明します。

14.1.1. CPU ボードとマザー・ボード

RTE-CB シリーズのボードのことを CPU ボード、CPU ボードの GBUS に接続する弊社製のボードをマザー・ボードと呼ぶことにします。

14.1.2. バス・サイクル、マイクロ・サイクル

GBUS は、バースト・アクセス可能な一般的なバスです。

バス・サイクルとは、アクセスがバーストした場合も含み、一連のサイクルが終了するまでの区切りのことを示すものとします（1回の GADS-のアサートが必要とされる区切り）。

バス・サイクルには、シングル・サイクルとバースト・サイクルがあります。シングル・サイクルとは、1回のデータ転送しか発生しないバス・サイクルのことを示します。バースト・サイクルとは、複数回のデータの転送が発生するバス・サイクルのことを示します。

また、バースト・サイクルのデータ転送1回ごとのサイクルをマイクロ・サイクルと呼ぶことにします。

14.2. 信号

GBUS の信号の内容を下表に示します。GBUS の各信号の入出力方向は、マザー・ボード側を基準にして記述します。つまり、「入力」とある場合、CPU ボードから出力されマザー・ボードへ入力される信号を示します（信号名にもこの基準が適用されています）。

下表で「双方向」と記載されている信号はバス・サイクルの状態では信号の向きが切り替わることを示します。

また、「入力/出力」と記載されている信号はバス・マスタが CPU ボードなのかマザー・ボードなのかによって信号の向きが切り替わることを示し、前記は CPU ボードがバス・マスタ時の信号の方向、後記はマザー・ボードがバス・マスタの時の信号の方向を示します。

GBUS の信号は、+5V の TTL レベルです。また、マザー・ボードは常にリトル・エンディアンです。

信号名	入出力	機能
GCLK	入力	<ul style="list-style-type: none"> GBUS の同期クロック。最高周波数は 33.33MHz。最低周波数は 10.0MHz。GBUS はこのクロックの立ち上がり同期して動作する。 マザー・ボード上では、+5V と GND に対してそれぞれ 330 Ω でターミネーションされるため、CPU ボードの回路はこれをドライブできなければならない。 GCLK が 16.67MHz より周波数が低い場合、GCLK_LOW-を Low にする。これにより、マザー・ボードはウェイト数の調整を行える。 この信号は、PLL (Phase Lock Loop) によるゼロ・ディレイ・バッファが使用される場合があるので、GCLK の周波数を変更した場合は、PLL のロックのために周波数変更後最低でも 1m 秒の間はマザー・ボードにアクセスしてはならない。
GRESETI-	入力	<ul style="list-style-type: none"> GBUS のリセット信号。CPU ボード上でリセットが発生した時に、この信号を Low にする。マザー・ボードはこの信号によってリセットされる（マザー・ボード上の他の要因によってマザー・ボードがリセットされる場合もある）。
GRESETO-	出力	<ul style="list-style-type: none"> マザー・ボードのリセットが発生した場合、Low になる信号。 マザー・ボードでは、マザー・ボード上で発生したリセットと GRESETI-を OR したものを GRESETO-とする。したがって CPU ボードは、GRESETI-と GRESETO-を OR した信号で、CPU ボード上の回路をリセットする（GRESETI-と GRESETO-を OR するのは、マザー・ボードが接続されていない時のため）。

信号名	入出力	機能
GADDR[31:2]	入力 / 出力	<ul style="list-style-type: none"> GBUS のアドレス信号。サイクル中は常に有効な値でドライブされる。 GADDR[31]は、CPU がバス・マスタの場合、マザー・ボード上で無視される。 下位アドレスの A1,A0 は、バイト・イネーブル信号を用いる。 GAHL_EN-信号により、CPU ボードからの GADDR[31:26]を 0 として扱うようにできる。 バス・マスタがマザー・ボードの場合、GADDR[25]が 0 の時、マザー・ボード上の資源が、GADDR[25]が 1 の時 CPU ボード上の資源が選択されていることを示します。
GBEN-[3:0]	入力 / 出力	<ul style="list-style-type: none"> GBUS のバイト・イネーブル信号。サイクル中は常に有効な値でドライブされる。 それぞれ、GBEN0- が GDATA[7:0]、GBEN1- が GDATA[15:8]、GBEN2- が GDATA[23:16]、GBEN3-が GDATA[31:24]の各バイト・レーンに対応し、GBENx- が Low の時に対応するバイト・レーンが有効。
GDATA[31:0]	双方向	<ul style="list-style-type: none"> GBUS のバス・データ信号。 マザー・ボード上で 10K でプルアップされる。 この信号の方向は、GW/R-により決定する。
GADS-	入力 / 出力	<ul style="list-style-type: none"> GBUS のアドレス・ストロブ信号。GCLK の立ち上がりでこの信号が Low にサンプルされると、バス・サイクルの開始を示す。 マザー・ボードは、いずれのチップ・セレクト信号 (GCS-[7:0]) もアクティブでない場合 GADS-は無視する。
GREADY-	出力 / 入力	<ul style="list-style-type: none"> GBUS のレディー信号。マイクロ・サイクル中に GCLK の立ち上がりでこの信号が Low、GWAITI- が High にサンプルされると、マイクロ・サイクルの終了を示す。 CPU ボードからマザー・ボードに対するアクセス時のタイムオーバ・レディは、マザー・ボードが生成する。これは、GREADY-信号がぶつかってしまうのを回避するためである。
GWAITI-	入力	<ul style="list-style-type: none"> ウェイト要求信号。GCLK の立ち上がりでサンプルされる。 CPU ボード側の都合で、少ない Wait 数のサイクルに対応できない場合、CPU ボードは GREADY-のサンプル・タイミングで、GWAITI-を Low にサンプルされるようにすることで、仮にそのタイミングで GREADY-が Low であったとしても、それをマザー・ボードにレディーとして扱わせないことができる。通常、CPU ボードがゼロ Wait パーストに対応できない場合などに使用する (「14.6.3 GWAITI-」参照)。 この信号は、CPU ボードがバス・マスタのサイクルのみ有効。
GBLAST-	入力 / 出力	<ul style="list-style-type: none"> バス・サイクル終了通知信号。GCLK の立ち上がりでサンプルされる。 バス・サイクルを終了するマイクロ・サイクルの開始時から、バス・マスタが Low にアサートします。 GBLAST-、GREADY-、GWAITI-が同時に Low、Low、High の状態を GCLK の立ち上がりでサンプルすると、バス・サイクルが終了します。
GBTERM-	出力 / 入力	<ul style="list-style-type: none"> バス・サイクル終了要求信号。GCLK の立ち上がりでサンプルされる。 アクセスされている側が、バス・サイクルの終了を要求する場合、GREADY-信号と共に GBTERM-信号を Low にする。バス・マスタは、GREADY-が Low としてサンプルした時、GBTERM-も Low とサンプルした場合、GBLAST-をアサートしていても、バス・サイクルを一旦終了させ、改めて GADS-をアサートしてバス・サイクルを開始しなければならない。GBTERM-のアサートは GREADY-のアサートと同時でなければならない。 この信号は、アクセスされている側が、パースト・サイクルに対応していなかったり、対応しているパースト回数を越えるパースト・サイクルを要求された場合に、バス・サイクルを終了させるために使用する。
GW/R-	入力 / 出力	<ul style="list-style-type: none"> Write/Read 信号。データ・バスの方向を示す。バス・サイクル中、常に有効な値でドライブされる。 この信号はバス・マスタにとってのデータ・バスの方向を示す。
GCS-[7:0]	入力	<ul style="list-style-type: none"> チップ・セレクト信号。バス・サイクル中、常に有効な値がドライブされる。 CPU ボードがバス・マスタの時に、マザー・ボード上の資源を指定するために該当するチップ・セレクト信号をアクティブにする。 各チップ・セレクト信号は、メモリ/I/O 空間の別、空間の広さなどに規定がある (「14.5 GCS-[7:0]の割り付け」参照)。

信号名	入出力	機能
GRD-	入力	<ul style="list-style-type: none"> ・ リード・タイミング信号。CPU ボードがバス・マスタの時にアサートされる。 ・ この信号はマザー・ボードでは使用しない。 ・ 通常、CPU の RD-コマンド信号がある場合は、その信号が接続される。
GWR-	入力	<ul style="list-style-type: none"> ・ ライト・タイミング信号。CPU ボードがバス・マスタの時にアサートされる。 ・ この信号はマザー・ボードでは使用しない。 ・ 通常、CPU の WR-コマンド信号がある場合は、その信号が接続される。
GHOLD-	出力	<ul style="list-style-type: none"> ・ バス・ホールド要求信号。 ・ マザー・ボードが CPU ボード上の資源にアクセスする場合、Low にアサートしバス権を要求する。 ・ GUSE_DIRECT_ACC-信号が High の場合、CPU ボード側にマザー・ボードからアクセス可能な資源がないことを示し、この場合 CPU ボードは GHOLD-に対応する必要はない。
GHLDA-	入力	<ul style="list-style-type: none"> ・ バス・ホールド応答信号。 ・ CPU ボードがマザー・ボードに GBUS のバス権を渡したことを示す信号で、その時 Low にアサートされる。 ・ GUSE_DIRECT_ACC-信号を High にしている CPU ボードは、この信号を未接続にできる。
GBREQ-	入力	<ul style="list-style-type: none"> ・ バス権返還要求信号。 ・ GHLDA-が Low にアサートし、マザー・ボードにバス権を渡している間に、CPU ボードがバス権を必要とした場合に GBREQ-を Low にアサートする。 ・ GBREQ-が Low にアサートされた時、マザー・ボードがバス・サイクル中だった場合、次のマイクロ・サイクルで GBLAST-をアサートして、次のマイクロ・サイクルでバス・サイクルを終了し、GHOLD-をデアサートしなければならない。 ・ GBREQ-は、マザー・ボードがバス・マスタのバス・サイクルのバースト回数が多い場合や、リフレッシュ・サイクルなどの優先順位の高いバス・サイクルが CPU ボード上で保留されている場合など、一旦バス権を CPU ボードに返させたい場合に使用する。
GDMARQ-[3:0]	出力	<ul style="list-style-type: none"> ・ DMA 要求信号。サポートされる DMA は、2 サイクル DMA のみで、フライバイ DMA はサポートされない。 ・ マザー・ボード上で DMA 要求が発生した場合、Low にアサートする。 ・ CPU ボードは 4 本全ての DMA をサポートしなければならないが、同時に起動できる DMA の数、および GDMAAK-信号が対応できる本数については、CPU ボードに依存する。 ・ CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てる。
GDMAAK-[3:0]	入力	<ul style="list-style-type: none"> ・ DMA 応答信号。 ・ マザー・ボードからの DMA 要求に応答する場合に Low にアサートする。 ・ CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てる。 ・ マザー・ボードは、GDMAAK-信号がなくとも動作するように設計されている。
GINTO-[3:0]	出力	<ul style="list-style-type: none"> ・ 割り込み要求信号。 ・ GINTO0-は、レベル・センシティブとして使用可能。 ・ GINTO-[3:1]は、レベル・センシティブとエッジ・センシティブのどちらで使用可能かは、CPU ボードに依存する (CPU に直結される場合があるため)。マザー・ボードはどちらにでも対応可能なようになっている。 ・ Low レベル時、もしくは立ち下がりエッジで割り込み発生を示す。
GINTI-[1:0]	入力	<ul style="list-style-type: none"> ・ 割り込み要求信号 ・ CPU ボード上の割り込みを、他のマザー・ボード上の割り込みと合成して GINTO-[3:0]に戻すために設けられた割り込み信号。 ・ 通常は CPU ボード上の TIC (μPD71054) の OUT0 と OUT1 が接続される。マザー・ボードは、この割り込み信号に対して、センシティブの種類やポラリティについて、プログラマブルになっている。

信号名	入出力	機能
GETC[7:0]		<ul style="list-style-type: none"> ・ CPU ボード依存信号。 ・ 信号の方向や信号の内容まで含めて、GETC[7:0]の内容については CPU ボードが決定する。CPU ボードは特別な目的の信号をマザー・ボードとやり取りする場合は、この信号を用いる。
GAHI_EN-	入力	<ul style="list-style-type: none"> ・ アドレス上位有効信号。 ・ この信号が Low の時、CPU ボードがバス・マスタの場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていることを示す。この信号が High の場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていないことを示し、マザー・ボード上の回路は、GADDR[31:26]が全て Low として処理する。
GMOTHER_DETECT-	出力	<ul style="list-style-type: none"> ・ マザー・ボード検出信号。 ・ この信号は、CPU ボード上でプルアップされ、マザー・ボード上で GND に接続される。マザー・ボードが接続されている事を CPU ボード側で判断しなければならない場合にこの信号を使用する。例えば、CPU ボードのタイムオーバ・レディ生成回路。
GUSE_DIRECT_ACC-	入力	<ul style="list-style-type: none"> ・ この信号が Low の時、CPU ボード側にマザー・ボードからアクセス可能な資源が存在することを示す。
GCLK_LOW-	入力	<ul style="list-style-type: none"> ・ この信号が Low の時、GCLK の周波数が 16.67MHz 以下であることを示す。High の場合は、GCLK の周波数が 16.67MHz ~ 33.33MHz であることを示す。 ・ マザー・ボード上の回路は、この信号を使用して、マザー・ボード上の資源へのアクセスの際のウェイト数を決定する。
GBLOCK-[1:0]	入力	<ul style="list-style-type: none"> ・ バス・ロック信号。バス・サイクル中と、ロックするバス・サイクル間で有効でなければなりません。 ・ CPU からバス・ロック信号が出力されている場合、この端子を使用してバス・ロック信号をマザー・ボードに接続する。 ・ GBLOCK0-信号は、GCS0-の空間に対して有効。GBLOCK1-は、GCS5-と GCS7-の空間に有効。
+5V	出力	<ul style="list-style-type: none"> ・ 電源。+5V ± 5%をマザー・ボードから CPU ボードへ供給する。
+12V	出力	<ul style="list-style-type: none"> ・ 電源。+12V ± 10%をマザー・ボードから CPU ボードへ供給する。ただし、CPU ボードが+12V を必要としていなければマザー・ボードは+12V を供給する必要はない。

14.3. ピン配置

下表に GBUS のピン配置を示します。Reserve は予約済みのピンを、N/C は未接続のピンを示します。

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+12V	2	+12V	3	GND	4	+5V
5	GADDR2	6	GADDR3	7	GADDR4	8	GADDR5
9	GADDR6	10	GADDR7	11	GND	12	+5V
13	GADDR8	14	GADDR9	15	GADDR10	16	GADDR11
17	GADDR12	18	GADDR13	19	GADDR14	20	GADDR15
21	GND	22	+5V	23	GADDR16	24	GADDR17
25	GADDR18	26	GADDR19	27	GADDR20	28	GADDR21
29	GADDR22	30	GADDR23	31	GND	32	+5V
33	GADDR24	34	GADDR25	35	GADDR26	36	GADDR27
37	GADDR28	38	GADDR29	39	GADDR30	40	GADDR31
41	GND	42	+5V	43	GBEN3-	44	GBEN2-
45	GBEN1-	46	GBEN0-	47	GND	48	+5V
49	GDATA31	50	GDATA30	51	GDATA29	52	GDATA28
53	GDATA27	54	GDATA26	55	GDATA25	56	GDATA24
57	GND	58	+5V	59	GDATA23	60	GDATA22
61	GDATA21	62	GDATA20	63	GDATA19	64	GDATA18
65	GDATA17	66	GDATA16	67	GND	68	+5V
69	GDATA15	70	GDATA14	71	GDATA13	72	GDATA12
73	GDATA11	74	GDATA10	75	GDATA9	76	GDATA8
77	GND	78	+5V	79	GDATA7	80	GDATA6
81	GDATA5	82	GDATA4	83	GDATA3	84	GDATA2
85	GDATA1	86	GDATA0	87	GND	88	+5V
89	GND	90	GW/R-	91	GBTERM-	92	GREADY-
93	GRESETI-	94	GADS-	95	GBLAST-	96	GWAITI-
97	GND	98	GCLK	99	GND	100	+5V
101	GCS0-	102	GCS1-	103	GCS2-	104	GCS3-
105	GCS4-	106	GCS5-	107	GCS6-	108	GCS7-
109	Reserve	110	Reserve	111	Reserve	112	Reserve
113	GRD-	114	GWR-	115	GND	116	+5V
117	GHOLD-	118	GHLDA-	119	GBREQ-	120	N/C
121	GDMARQ0-	122	GDMARQ1-	123	GDMARQ2-	124	GDMARQ3-
125	GDMAAK0-	126	GDMAAK1-	127	GDMAAK2-	128	GDMAAK3-
129	Reserve	130	Reserve	131	Reserve	132	Reserve
133	GND	134	+5V	135	GINTO0-	136	GINTO1-
137	GINTO2-	138	GINTO3-	139	GINTI0-	140	GINTI1-
141	GETC0	142	GETC1	143	GETC2	144	GETC3
145	GETC4	146	GETC5	147	GETC6	148	GETC7
149	Reserve	150	Reserve	151	GAHL_EN-	152	GMOTHER_DETECT-
153	GND	154	+5V	155	GUSE_DIRECT_ACC-	156	GCLK_LOW-
157	GRESETO-	158	GBLOCK0-	159	GBLOCK1-	160	N/C
161	N/C	162	N/C	163	N/C	164	N/C
165	N/C	166	N/C	167	N/C	168	N/C
169	N/C	170	N/C	171	N/C	172	N/C
173	N/C	174	N/C	175	N/C	176	N/C
177	GND	178	+5V	179	+12V	180	+12V

使用するコネクタは下記のもので。

CPU ボード側コネクタ
 マザー・ボード側コネクタ (ストレート)
 マザー・ボード側コネクタ (Lアングル)

ケル株式会社製 8817-180-170L
 ケル株式会社製 8807-180-170S
 ケル株式会社製 8807-180-170L

14.4. 未使用端子の処理

GBUS のマザー・ボードに対しての入力信号で使用しない信号は、マザー・ボード上でプルアップ / ダウンの処理が行われているため、CPU ボード上で未接続にすることができます。未接続にすることが可能な信号と、未接続時のために行われているマザー・ボード上の処理を下表に示します。

信号名	処理内容
GADDR[31:26]	・ GADDR[31:26]を使用しない場合は、GAHL_EN-信号を High もしくは未接続にすることにより、GADDR[31:26]を未接続にすることができる。この場合、CPU がバス・マスタのときマザー・ボード上では GADDR[31:26]は全ビットが 0 として扱われる。
GWAITI-	・ プルアップ処理が行われている。
GBLAST-	・ プルアップ処理が行われている。
GBTERM-	・ プルアップ処理が行われている。
GCS-[7:0]	・ プルアップ処理が行われている。
GHLDA-	・ プルアップ処理が行われている。
GBREQ-	・ プルアップ処理が行われている。
GDMAAK-[3:0]	・ プルアップ処理が行われている。
GINTI-[1:0]	・ プルアップ処理が行われている。
GAHL_EN-	・ プルアップ処理が行われている。
GUSE_DIRECT_ACC-	・ プルアップ処理が行われている。
GCLK_LOW-	・ プルアップ処理が行われている。
GBLOCK-[1:0]	・ プルアップ処理が行われている。

14.5. GCS-[7:0]の割り付け

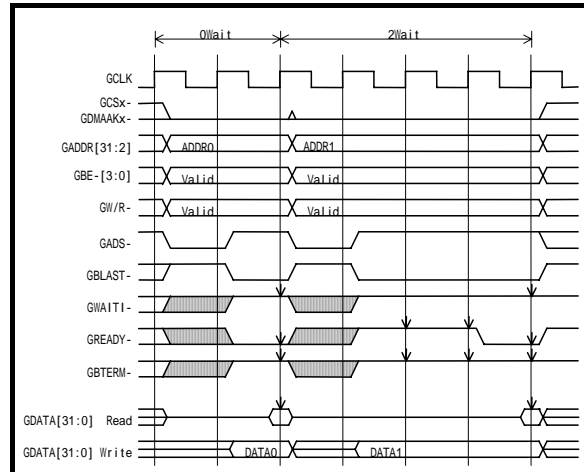
チップセレクト信号 (GCS-[7:0]) の割り付けを下表に示します。全ての空間がバースト・サイクルによるアクセスが可能です。下表の推奨空間に I/O と記載されている空間は、CPU に I/O 空間がある場合は、I/O 空間に割り付けることを推奨していることを示します。また最少範囲とは、CPU ボードは該当チップセレクトの空間に、最低でも最少範囲が示す領域を割り当てなければならないことを示します。最大範囲に記載がある場合は、CPU ボードのアドレス範囲に余裕がある場合、最大範囲が示す領域まで割り当てることが可能なことを示します。

信号名	推奨空間	最少範囲	最大範囲	備考
GCS0-	メモリ	1Mbyte		GLOCK0-によりバス・ロック可能
GCS1-	メモリ	2Mbyte		マザー・ボードでは、この空間にフラッシュ ROM を配置するので、スイッチの切り替えなどで CPU ボード上の UV-EPROM の代わりにこの空間からも Boot できるようにする。
GCS2-	I/O	64Kbyte		
GCS3-	メモリ	64Kbyte	16Mbyte	
GCS4-	I/O	64Kbyte	16Mbyte	
GCS5-	メモリ	1Mbyte	2Gbyte	GLOCK1-によりバス・ロック可能
GCS6-	I/O	512byte		
GCS7-	I/O	64Kbyte	2Gbyte	GLOCK1-によりバス・ロック可能

14.6. バス・サイクル

14.6.1. シングル・サイクル

GBWAITIおよび GBTERM-が常にインアクティブな場合で、CPU ボードがバス・マスタの場合のシングル・サイクルの様子を下図に示します。マザー・ボードがバス・マスタの場合、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。

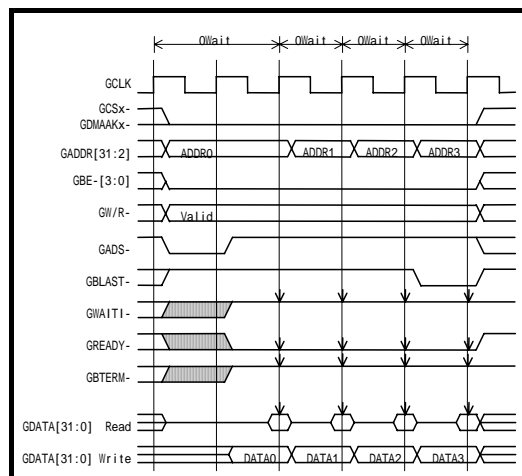


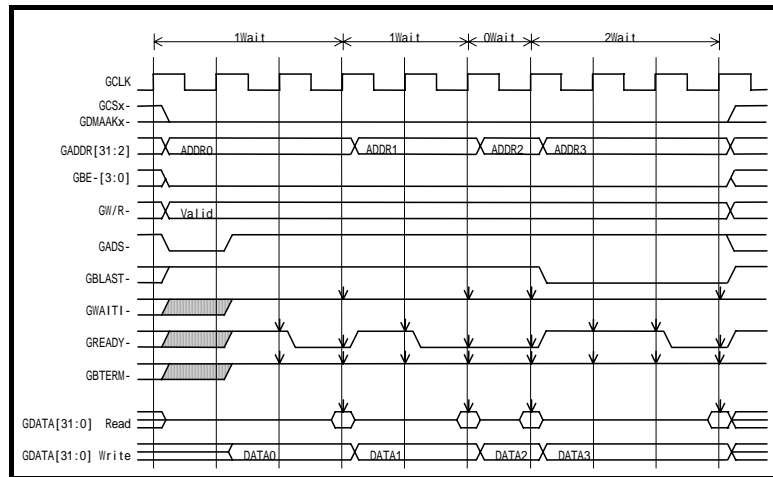
14.6.2. バースト・サイクル

バースト・サイクルでは、次のルールがあります。

- ・ GBUS のスペックとしては、バースト・サイクル中のアドレスの順番は問いません。ただし、アクセス対象によっては、アドレス順が規定されてしまうことがあります。
- ・ バースト・サイクル中は GBE-[3:0]は全てアクティブでなければなりません。
- ・ バースト回数(マイクロ・サイクルの数)に制限はありません。アクセス対象側でバースト回数の制限がある場合は、GBTERM-信号を用いてバーストの中断を要求します(「14.6.4 GBTERM-」参照)。

GBWAITIおよび GBTERM-が常にインアクティブな場合で、CPU ボードがバス・マスタの場合のバースト・サイクルの様子を下図に示します。マザー・ボードがバス・マスタの場合、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。





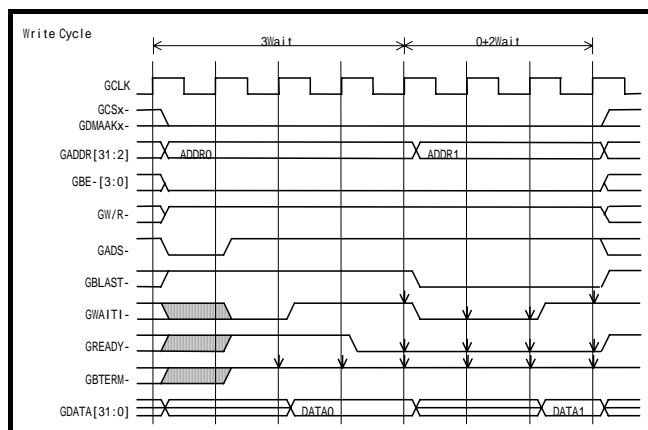
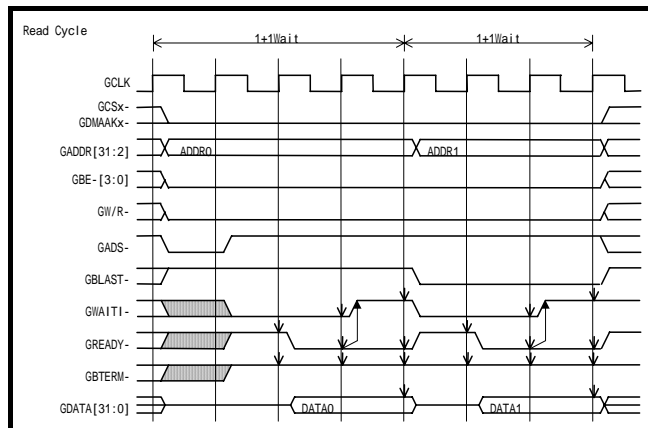
14.6.3. GWAITI-

GBWAITI-信号は、CPU ボードがバス・マスタのサイクルで次のような場合に使用できます。

- ・ リード・サイクル時にタイミング的な問題でデータのサンプルができないため、特定クロック数分データのサンプリングを遅らせたい場合。
- ・ ライト・サイクルのバースト・サイクルで、マイクロ・サイクルが終了後すぐに次のマイクロ・サイクルのためのデータの準備ができず、特定クロック数分アクセス対象を待たせたい場合。

言い換えると、リード・サイクルとライト・サイクルで役割は入れ代わりますが、GREADY-とGWAITI-はデータ送信レディーとデータ受信レディーの働きをします。

GWAITI-信号によりウェイトが入っている様子を下図に示します。

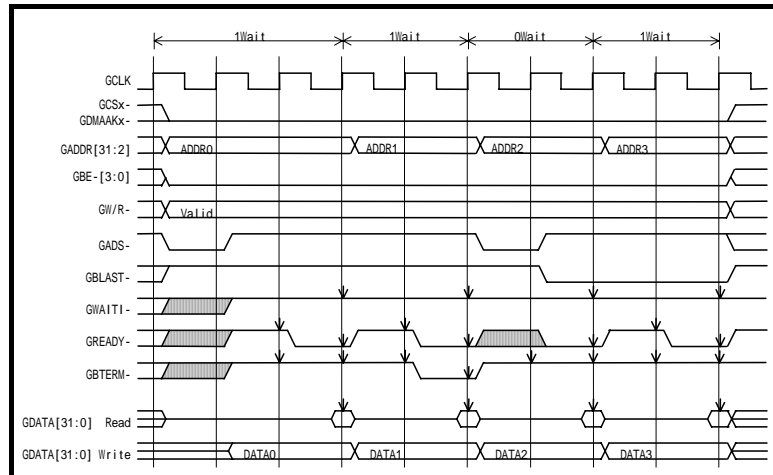


14.6.4. GBTERM-

GBTERM-信号が GREADY-信号と共にアクティブになると、バス・マスタは現在のマイクロ・サイクルを最後にバス・サイクルを終了させ、バースト・サイクルの続きは改めて GADS-をアクティブにしてサイクルを始めます。

GBTERM-信号は、アクセス対象がバースト・サイクルに対応していない場合や、対応バースト回数を越えてアクセスされた場合などにアクティブにします。また、GREADY-信号をアクティブにせずに GBTERM-信号のみをアクティブにすることは禁止されています。

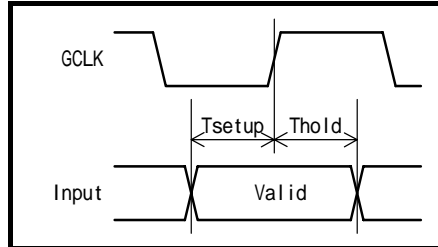
GBTERM-信号によりバースト・サイクルが中断される様子を下図に示します。



14.7. タイミング

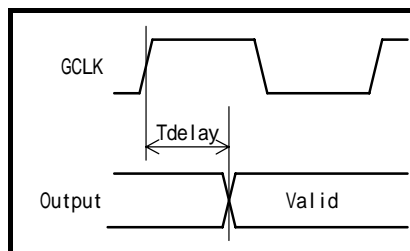
この章では、弊社のマザー・ボードにおけるタイミングについて記述します。CPU ボードはこのタイミングを満たすように設計されています。

14.7.1. セットアップ・タイム



信号名	Tsetup Min (nS)	Thold Min (nS)
GADDR[31:2]	12	0
GBEN-[3:0]	8	0
GDATA[31:0]	7	0
GADS-	14	0
GREADY-	9	1
GWAITI-	14	0
GBLAST-	8	0
GBTERM-	8	1
GW/R-	10	0
GCS-[7:0]	14	0
GBREQ-	15	0
GDMAAK-[3:0]	6	0
GLOCK-[1:0]	12	0

14.7.2. デレイ・タイム



信号名	Tdelay MAX(nS)
GADDR[31:2]	21
GBEN-[3:0]	17
GDATA[31:0]	21
GADS-	15
GREADY-	15
GBLAST-	17
GBTERM-	16
GW/R-	15

- Memo -

RTE-V850E2/ME3-CB ユーザズ・マニュアル

Midas lab