

***RTE-V850E/MA1-CB***

**ユーザース・マニュアル (Rev. 1.05)**

## 改訂履歴

実施日	Revision	章	内容
1999年05月12日	0.50		暫定版：試作ボードに対応
1999年07月19日	1.00		正式初版：本版より量産ボードに対応
1999年08月13日	1.01	11.3	RTE-MB-Aの資源の追記
2000年01月17日	1.02	7.2.1	RFS1の設定値誤記修正: 0x0024/0016 -> 0x8024/8016
2000年02月03日	1.03	7.2.1	RFS1の設定値修正: 0x8024/8016 -> 0x8017/800f
2001年06月11日	1.04	7.4.9	G-Bus に対する Word アクセス機能追加
2001年10月25日	1.05	7.2.1	ASC レジスタの備考欄修正 : 0 wait -> 1 wait

## 目次

1. はじめに .....	1
1.1. マニュアル表記について .....	1
2. 機能 .....	2
3. 主な特徴 .....	3
4. 基本仕様 .....	3
5. ボードの構成 .....	4
5.1. リセット・スイッチ (SW_RESET) .....	4
5.2. 電源コネクタ (JPOWER) .....	4
5.3. スイッチ 1 (SW1) .....	4
5.4. スイッチ 2 (SW2) .....	5
5.5. スイッチ 3 (SW3) .....	5
5.6. スイッチ 4 (SW4) .....	6
5.7. スイッチ 5 - 8 (SW5 - SW8) .....	6
5.8. 7SEG-LED, xxx-LED .....	7
5.9. ROM エミュレータ用テストピン (JROM-EML) .....	8
5.10. クロック・ソケット (OSC1) .....	8
5.11. クリスタル・ソケット (JP1) .....	8
5.12. AVDD/AVREF 切り替えジャンパ (JP2) .....	8
5.13. ROM ソケット .....	8
5.14. セルフ書込み電源供給用コネクタ (JVPP) .....	9
5.15. フラッシュ書込みコネクタ (JFLASH) .....	9
5.16. シリアル・コネクタ (JSIO1, JSIO2) .....	10
5.17. JGBUS コネクタ (JGBUS) .....	11
5.18. CPU コネクタ (JCPU1,2) .....	11
6. ホスト PC との接続 .....	13
6.1. RS-232C 接続 .....	13
7. ハードウェア・リファレンス .....	14
7.1. メモリ・I/O のマップ .....	14
7.2. 推奨設定 .....	16
7.2.1. MEMC レジスタ .....	16
7.3. メモリ・マップ .....	17
7.3.1. SDRAM (CS1:0800000 - 3FFFFFF) .....	17
7.3.2. SRAM (CS2:0400000 - 07FFFFFF) .....	17
7.3.3. UV-EPROM (CS0 :0000000 - 03FFFFFF) .....	17
7.4. IO マップ .....	18
7.4.1. IO 一覧 .....	18

7.4.2.	SW1 読出しポート(SW1 780000H [Read Only]) .....	18
7.4.3.	SW2 読出しポート(SW2 7801000H [Read Only]) .....	18
7.4.4.	7 セグメント LED 表示データ出力ポート(7SEG-LED 7802000H [Write Only]) .....	19
7.4.5.	タイムオーバ・レディーLED クリア・パルス(TOVRDY_LED_CLRPLS 7803000H [Write Only]) 19	
7.4.6.	割り込みコントローラ(PIC:7804000H - 7804020H [Read/Write]) .....	20
7.4.7.	UART (TL16C550C:7807000H - 7807070H) .....	21
7.4.8.	TIC ( uPD71054 7808000H ~ 7808030FH).....	21
7.4.9.	GBUS ACCESS CONTROL (7809000H[Read/Write]).....	22
<b>8.</b>	<b>ソフトウェア .....</b>	<b>23</b>
8.1.	初期化 .....	23
8.2.	uPD71054 に対する連続アクセス .....	23
8.3.	ライブラリ .....	23
8.4.	タイマの使用例 .....	24
<b>9.</b>	<b>マスカブル割り込みを使用したアプリケーションの開発 .....</b>	<b>25</b>
9.1.	割り込みベクタ .....	25
9.2.	一般的な制限事項 / 注意事項 .....	26
9.3.	ダウンロード時の代替ベクタ領域書換え方法 .....	27
9.4.	ブレーク・ポイント使用に関する制限事項 / 注意事項 .....	28
<b>10.</b>	<b>CPU 端子接続 .....</b>	<b>29</b>
10.1.	端子接続一覧 .....	29
10.2.	RESET- .....	30
10.3.	PCM0/WAIT0- .....	31
10.4.	PCM5/SELFREF .....	31
10.5.	P20/NMI,P1/INTP000 .....	32
10.6.	P2/INTP001,P11/INTP010,P12/INTP011,P21/INTP020.....	33
10.7.	P40/SO0/TXD0 .....	33
10.8.	P41/SI0/RXD0.....	33
10.9.	P42/SCK0-,P43/SO1/TXD1,P44/SI1/TXD0,P45/SCK1- .....	34
10.10.	P4/INTP100/DMARQ0-..P7/INTP103/DMARQ3-.....	34
10.11.	PBD0/DMAAK0-..PBD3/DMAAK3-.....	34
10.12.	P24/INTP110/TC0-..P27/INTP113/TC3-.....	35
10.13.	その他の信号 .....	35
<b>11.</b>	<b>GBUS 個別仕様 .....</b>	<b>36</b>
11.1.	概要 .....	36
11.2.	バス・サイクル .....	37
11.3.	チップセレクト .....	38
<b>12.</b>	<b>APPEDIX.A MULTI モニタ .....</b>	<b>39</b>
12.1.	ボードの設置 .....	39

12.1.1. RTE for Win32 のインストール.....	39
12.1.2. SW1 の設定.....	39
12.1.3. ボードの接続.....	39
12.2. Multi モニタ.....	40
12.2.1. 起動時の 7Seg-LED.....	40
12.2.2. ROM モニタ・ワーク RAM.....	40
12.2.3. モニタ割り込み.....	40
12.2.4. _INIT_SP の設定.....	40
12.2.5. タイマ割り込み.....	40
12.2.6. ハードウェアの初期化.....	40
12.2.7. 特殊命令.....	40
12.3. RTE コマンド.....	41
12.3.1. HELP(?).....	41
12.3.2. INIT.....	41
12.3.3. VER.....	41
12.3.4. SFR コマンド.....	41
<b>13. APPEDIX.B PARTNER モニタ .....</b>	<b>42</b>
13.1. ボードの設置 .....	42
13.1.1. SW1 の設定.....	42
13.1.2. ボードの接続.....	42
13.2. PARTNER モニタ.....	43
13.2.1. 起動時の 7Seg-LED.....	43
13.2.2. ROM モニタ・ワーク RAM.....	43
13.2.3. モニタ割り込み.....	43
13.2.4. SP の設定.....	43
13.2.5. ハードウェアの初期化.....	43
13.2.6. 特殊命令.....	43
<b>14. APPEDIX.C GBUS 共通仕様.....</b>	<b>44</b>
14.1. 用語.....	44
14.1.1. CPU ボードとマザー・ボード.....	44
14.1.2. バス・サイクル、マイクロ・サイクル.....	44
14.2. 信号.....	44
14.3. ピン配置.....	48
14.4. 未使用端子の処理.....	50
14.5. GCS-[7:0]の割り付け.....	50
14.6. バス・サイクル.....	51
14.6.1. シングル・サイクル.....	51
14.6.2. パースト・サイクル.....	51
14.6.3. GWAITI.....	52
14.6.4. GBTERM.....	53
14.7. タイミング.....	54
14.7.1. セットアップ・タイム.....	54

14.7.2. デイレイ・タイム..... 54

## 1. はじめに

「RTE-V850E/MA1-CB」は、NEC製のRISCプロセッサV850E/MA1の評価を目的としたCPUボードです。

ボードは、最高50MHzで動作するV850E/MA1とメモリ、シリアル・インターフェース、拡張用のバスコネクタで構成されます。メモリは、高速SRAMと大容量のSDRAMを標準で搭載しています。SDRAMの制御は、V850E/MA1が内蔵するメモリコントローラを使用して行います。

これらの機能を使用して、プロセッサの性能評価、デモ、シミュレータの実行エンジン、アプリケーション・プログラムの初期段階の開発など、幅広くご利用頂けます。

本製品は、開発用のソフトウェアツールとして、GHS社のMultiと自社製のPARTNERのどちらかをソースレベルデバッガとしてご使用になれます。ご使用になるデバッガによって、ROMに搭載するモニタは異なります。

ROMは、購入時にご指定頂いたモニタが搭載されています。デバッガを同時に購入されていない場合は、それぞれ別売りされていますので、別途お買い求めください。

### 1.1. マニュアル表記について

本書では、数字の表記については下表の表記を用います。16進数や2進数の表記では、桁数が多くて読みにくい場合は、4桁ごとに“-”（ハイフン）を入れてあります。

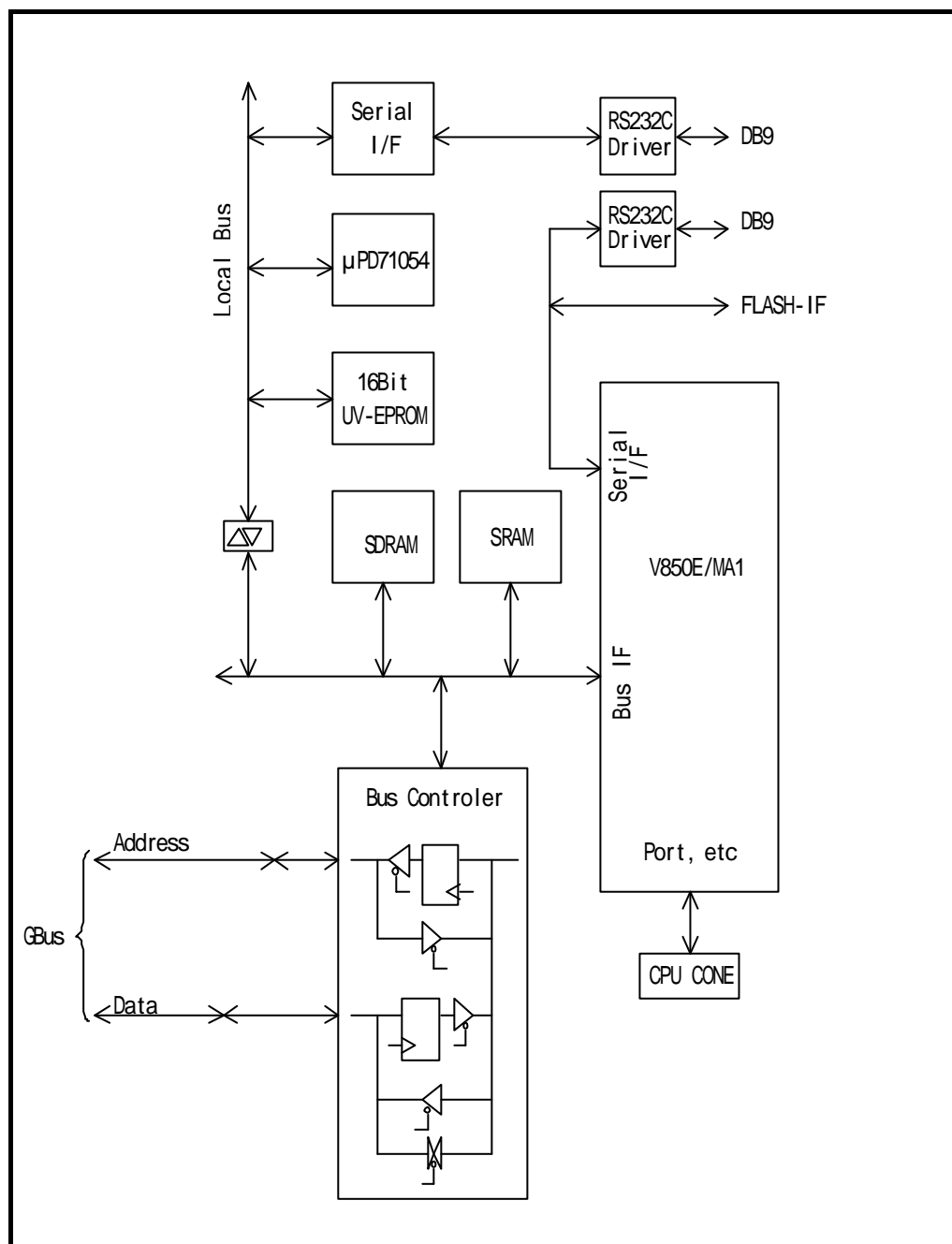
進数	表記規則	例
10進数	数字のみを示します	“10”は10進数の“10”を示します
16進数	数字の末尾に“H”を記します	“10H”は10進数の“16”を示します
2進数	数字の末尾に“B”を記します	“10B”は10進数の“2”を示します

数字表記規則

Multiは米国Green Hills Software, Incの商標です。

## 2. 機能

RTE-V850E/MA1-CB の機能ブロックの概要を図に示します。



RTE-V850E/MA1-CB ブロック図

”Local Bus”はCPUバスをバッファしたバスで、CPUに同期したバスです。”Gbus”は、CPUバスとは独立したバスで、33MHz固定のバスです。



### 3. 主な特徴

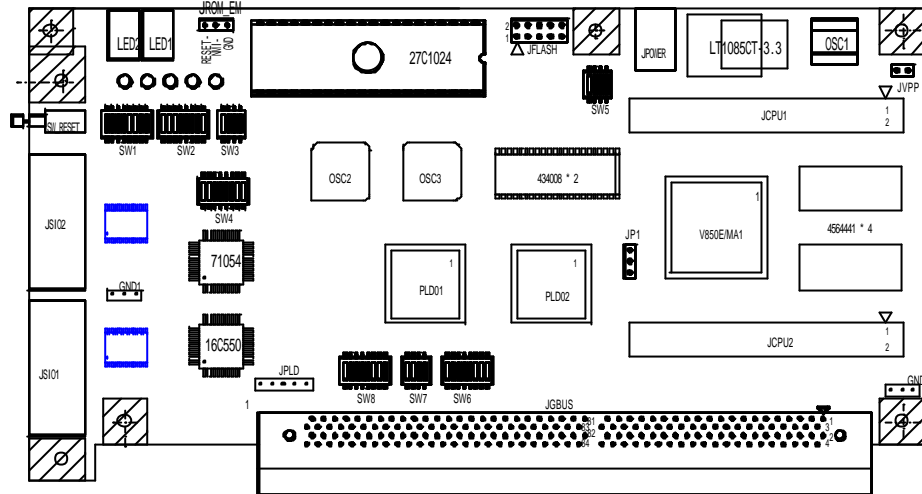
- GreenHills 社の Multi と自社製 PARTNER 用のモニタ ROM を 2 種類用意しています。
- Multi また PARTNER を使用した高級言語レベルでのリアルタイム実行・評価が可能です。
- ROM エミュレータが接続できます。
- 高速 SRAM を 1M-Byte、SDRAM は 32M-Byte を標準搭載しています。
- シリアル(2ch)のインタフェースを用意しています (1ch は外部コントローラ、もう 1ch は CPU 内蔵のコントローラを使用し、モニタは外部コントローラのシリアルを使用)。
- タイマ 3ch を搭載しています (モニタで 1ch 使用)。

### 4. 基本仕様

プロセッサ	V850E/MA1	
CPU クロック	50MHz	
バスクロック	50MHz	
電源	+5V , 2A(max)	
メモリ		
EPROM	128KB	64K × 16bit (40pin-DIP) × 1(max.512KB)
SRAM	1MB	512K × 8bit × 2
SDRAM	32MB	4M × 4Bit × 4Bank × 4
I/O		
シリアル(2ch)	CPU 内蔵(Uart) DB9 コネクタ NS16550 相当 DB9 コネクタ	
タイマ	uPD71054	分解能 500nS
IO ポート	LED(7seg)表示 / スイッチ入力	
その他		
CPU コネクタ	V850E/MA1 全機能ピンを接続したコネクタ	
GBUS コネクタ	RTE-CB 標準 32bit I/F(4GB,32bit バス,DMA 対応)	
FLASH IF	FLASH Writer 接続用インターフェイス	
リセット・スイッチ	Push 式	

## 5. ボードの構成

下図は RTE-V850E/MA1-CB ボード上の主要な部品の物理的な配置です。本章では、それぞれの部品について説明します。



RTE-V850E/MA1-CB の部品配置図

### 5.1. リセット・スイッチ (SW\_RESET)

SW\_RESET は本ボード全体のリセット・スイッチです。このスイッチを押すと CPU を含む全ての回路がリセットされます。

### 5.2. 電源コネクタ (JPOWER)

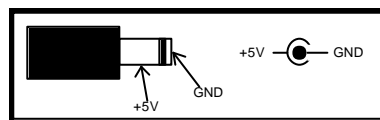
JPOWER コネクタに供給する電源は、以下の通りです。

電圧：5V

電流：2A(max)

適合コネクタ：Type A ( 5.5 )

極性：



**電源コネクタの極性に十分ご注意ください。**

また、JGBUS コネクタから電源を供給する場合は、JPOWER に電源を接続しないでください。

### 5.3. スイッチ 1 (SW1)

SW1 は、汎用の入力ポートのスイッチです。設定状態は、入力ポートから読み出すことが可能です (「7.4.2 SW1 読み出しポート (SW1 7800000H [Read Only])」参照)。ポートからの読み出し時、スイッチは、OFF で 1、ON で 0 の値になります。モニタ ROM を使用する場合には、一部を除き、割り当て済みです。モニタ ROM での割り付けは、以下の各章を参照し使用環境に合わせて設定してご使用ください。

Multi を使用する場合、「12.1.2 SW1 の設定」を参照ください。

PARTNER を使用する場合、「13.1.1 SW1 の設定」を参照ください。

#### 5.4. スイッチ 2 (SW2)

SW2 は、本ボードの動作をハード的に切り替えるスイッチです。設定内容は入力ポートから読み出すことが可能です (「7.4.3 SW2 読出しポート(SW2 7801000H [Read Only])」を参照)。

番号	信号名	出荷時の設定	機能
1	FBOOT	OFF	CS0 空間に割り付ける資源を設定します。 OFF: CS0 の空間はボード上の UV-EPROM が割り付けられず。 ON: CS0 の空間は GBUS の GCS1-空間が割り付けられます。 (「7.1 メモリ・I/O のマップ」参照)。
2	TEST	OFF	OFF に設定して下さい。
3	BCLK_LOW	OFF	OSC1 に実装されているオシレータの周波数を設定します。モニタROMはこの設定値によりROMやSRAMのウェイト数を変更します。また、ハード的にI/Oのウェイト数が切り替わります。 OFF: バスクロックが33MHzを越える時に設定します。 ON: バスクロックが33MHz以下である時に設定します。
4	未使用	OFF	
5	NMI/INT	OFF	モニタが使用する割り込みを指定します。 OFF: NMI0 を使用します。 ON: INTP000 を使用します。
6	未使用	OFF	未使用です。常にOFFでご使用ください。
7	未使用	OFF	未使用です。常にOFFでご使用ください。
8	未使用	OFF	未使用です。常にOFFでご使用ください。

SW2-5 は、モニタで割り込みコントローラの設定のために読み出しているだけです。

#### 5.5. スイッチ 3 (SW3)

SW3 は、ROM ソケットに搭載されている ROM の種類とバンクに関して設定します。

番号	信号名	出荷時の設定	機能
1	ROM_TYPE0	OFF	ROM の種類を設定します。 [ROM_TYPE1, ROM_TYPE0 ]
2	ROM_TYPE1	OFF	[ OFF , OFF ]: モニタ ROM 使用時 [ OFF , ON ]: 27C4096 使用時 [ ON , OFF ]: 27C2048 使用時 [ ON , ON ]: 27C1024 使用時
3	BANK_DIS	OFF	ROM を前半半分と後半半分のバンクに分けて切り替えて使用するかどうかを設定します。モニタ使用時は、OFF で使用して下さい。 OFF: バンクに分けて使用 ON: バンクに分けずに連続した領域として使用
4	BANK_LOW	OFF	ROM をバンクで使用する場合に、ROM の前半部を有効とするか後半部を有効とするかを設定します。 OFF: 後半部を有効とする ON: 前半部を有効とする。

注意: モニタ ROM を使用する場合は、出荷時の設定でご使用ください。

### 5.6. スイッチ 4 (SW4)

SW4 は、CPU のモードを設定するスイッチです。OFF で 1、ON で 0 です。

番号	CPU 端子名	出荷時の設定	機能
1	MODE0	ON	CPU の MODE0 端子に直結
2	MODE1	ON	CPU の MODE1 端子に直結
3	CKSEL	ON	CPU の CKSEL 端子に直結
4	FLASH-	OFF	JFLASH にプログラマを接続する時に ON、 それ以外では OFF

#### 《注意事項》

1 . MODE[1..0]は、使用条件の範囲でご使用ください。

MODE1	MODE0	モード	使用条件
ON	ON	ROM レスモード 0(16bit)	モニタを使用可能です。(出荷時の設定)
ON	OFF	ROM レスモード 1(8bit)	設定不可
OFF	ON	シングルチップモード 0(0 番地) または、FLASH プログラムモード	モニタを使用することはできません。
OFF	OFF	シングルチップモード 1(1M 番地) または、FLASH プログラムモード	モニタを使用可能です。

2 . SW4-4 を ON にする場合は、SW4-2 を OFF に設定してください。(FLASH プログラムモード)

### 5.7. スイッチ 5 - 8 (SW5 - SW8)

SW5 - SW8 は、CPU の端子に接続している本基板内の信号線を物理的にカットするためのスイッチです。出荷時全ての設定は、ON (接続された状態) になっています。外部で使用する場合にのみ、OFF に設定してください。但し、内部で使用している資源が不要な場合に限りです。

備考：以下の表は、CPU 端子と最終的な内部の資源名を記述しています。

[SW5]

番号	CPU 端子名	出荷時の設定	内部で使用している資源
1	P40/SO0/TXD0	ON	SIO2-TXD
2	P41/SI0/RXD0	ON	SIO2-RXD
3	P42/SCK0-	ON	SIO2-RTS-
4	P43/SO1/TXD1	ON	SIO2-CTS-
5	P44/SI0/RXD1	ON	SIO2-DSR-
6	P45/SCK1-	ON	SIO2-DTR-
7	未使用	OFF	
8	未使用	OFF	

[SW6]

番号	CPU 端子名	出荷時の設定	内部で使用している資源
1	P04/INTP100/DMARQ0-	ON	GBUSのDMARQ0-
2	P05/INTP101/DMARQ1-	ON	GBUSのDMARQ1-
3	P06/INTP102/DMARQ2-	ON	GBUSのDMARQ2-
4	P07/INTP103/DMARQ3-	ON	GBUSのDMARQ3-
5	PBD0/DMAAK0-	ON	GBUSのDMAAK0-
6	PBD1/DMAAK1-	ON	GBUSのDMAAK1-
7	PBD2/DMAAK2-	ON	GBUSのDMAAK2-
8	PBD3/DMAAK3-	ON	GBUSのDMAAK3-

[SW7]

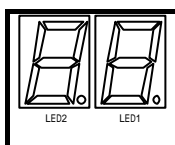
番号	CPU 端子名	出荷時の設定	内部で使用している資源
1	P24/INTP110/TC0-	ON	GBUSの129pin
2	P25/INTP111/TC1-	ON	GBUSの130pin
3	P26/INTP112/TC2-	ON	GBUSの131pin
4	P27/INTP113/TC3-	ON	GBUSの132pin

[SW8]

番号	CPU 端子名	出荷時の設定	内部で使用している資源
1	P02/INTP001/TI001	ON	GBUSのGINT1-
2	P11/INTP010/TI010	ON	GBUSのGINT2-
3	P12/INTP011/TI011	ON	GBUSのGINT3-
4	P21/INTP020/TI020	ON	TICのOUT1-
5-8	未使用	OFF	未使用

## 5.8. 7SEG-LED, xxx-LED

LED は、各種ステータスを示しています。表に内容を示します。2 つの 7SEG-LED は、起動時にモニタが使用しますが、その後、ユーザアプリケーションで自由に使用可能です。



名称	内容
POWER	ボードに電源が供給されている時に点灯
TOVRDY	タイムオーバー・レディー発生時に点灯、ソフト的にクリアするまで点灯する（「7.4.5 タイムオーバー・レディーLED クリア・パルス (TOVRDY_LED_CLRPLS 7803000H [Write Only])」参照）
CS0	CS0 空間へのアクセス時に点灯します。
CS1	CS1 空間へのアクセス時に点灯します。
CS2	CS2 空間へのアクセス時に点灯します。
CS3	CS3 空間へのアクセス時に点灯します。

ボード LED ステータス

### 5.9. ROM エミュレータ用テストピン (JROM-EML)

JROM-EML は、ROM エミュレータを接続する際に使用するテストピンです。下記の制御信号が入力できます。表に信号名と機能を示します。

信号名	入出力	機能
RESET-(1)	入力	Lowレベル入力により、CPU がリセットされます。ROM エミュレータからのリセット要求信号を接続します。1K でプルアップされています。
NMI-(2)	入力	Low レベル入力により、CPU に NMI が入ります (「10.5 P20/NMI,P1/INTP000」を参照ください。)。ROM エミュレータからの NMI 要求信号を接続できます。1K でプルアップされています。
GND(3)	- - -	GND。ROM エミュレータの GND と接続します。

JROM\_EM 端子の機能

### 5.10. クロック・ソケット (OSC1)

OSC1 ソケットには、CPU に供給するクロックのためのオシレータを実装します。

OSC1 は CPU の CPUCLK 端子に 3.3V にレベル変換されて接続されています。

オシレータは、DIP8 ピンタイプ (ハーフタイプ) のものを実装してください。



オシレータの足を切って実装する場合、足が短かすぎるとフレーム (外装) 部分が、ソケットの端子とショートしてしまいますのでご注意ください。

### 5.11. クリスタル・ソケット (JP1)

JP1 は、CPU に供給するクロックの切り替えとクリスタルの実装ソケットの役割を持っています。

#### OSC1 を CPU のクロックとして使用する場合

JP1 の 1pin と 2pin をショートします。この場合、クリスタルは実装しないでください。

#### JP1 にクリスタルを実装し、CPU の発振回路を使用する場合

JP1 の 1pin と 3pin の間にクリスタルを実装します。1pin、2pin 間はショートしないでください。

### 5.12. AVDD/AVREF 切り替えジャンパ (JP2)

JP2 は、CPU に供給する AD 用の電源 (AVDD/AVREF) を切り替えるためのジャンパです。

#### ボードから供給する場合：出荷時の状態

JP1 の 1pin と 2pin をショートします。+3.3V を供給されます。

#### 外部 (JCPU) から供給する場合

JP1 の 2pin と 3pin をショートし、電源を JCPU2-78 ピンから供給してください。

### 5.13. ROM ソケット

ROM ソケットには、標準で 128K バイト (64K × 16 ビット) の 40 ピン ROM が実装されています。変更する場合は、27C1024,27C2048,27C4096 タイプで、アクセス・タイムが 120ns 以下のものをご使用ください。

#### 5.14. セルフ書き込み電源供給用コネクタ (JVPP)

CPU 内蔵のフラッシュ ROM にセルフ書き込みを行う場合、7.8V の電源が必要になります。この 7.8V の電源を生成するための電源を供給するのが、JVPP コネクタです。

セルフ書き込みを実施する場合、このコネクタに **10V ~ 12V** の電源を供給し、CPU の P22 端子に Low を出力してください。これによって、CPU の VPP 端子に 7.8V が供給され、セルフ書き込みができるようになります。

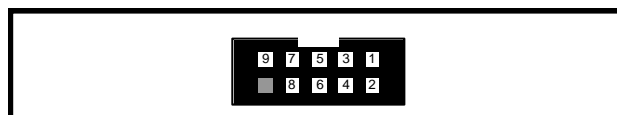
JVPP のピン配置を以下に示します。

JVPP ピン番号	名称	入出力	機能
1	10-12V	入力	10V ~ 12V の電源を入力します。
2	GND	入力	電源の GND に接続します。

#### 5.15. フラッシュ書き込みコネクタ (JFLASH)

JFLASH コネクタは、フラッシュプログラマ装置を使用して、CPU の内蔵フラッシュ ROM へ書き込みを行うときに使用するコネクタです。

JFLASH を使用する場合は、SW4 の設定が必要です (「5.6 スイッチ 4 (SW4)」参照)。



JFLASH ピン配置

JFLASH ピン番号	信号名	入出力	備考
1	SO0	出力	同期シリアルデータ出力 (CMOS レベル)
2	SI0	入力	同期シリアルデータ入力 (CMOS レベル)
3	SCK0-	入力	同期シリアルクロック入力 (CMOS レベル)
4	RESET-	入力	リセット入力
5	VPP	入力	V P P 入力
6	+3.3V	出力	CPU コア電源レベル出力
7	+3.3V	出力	CPU-I/O 電源レベル出力
8	GND	-	グラウンド
9	NC	-	未接続
(10)	NC	-	未接続 (ピン無し)

JFLASH コネクタ信号

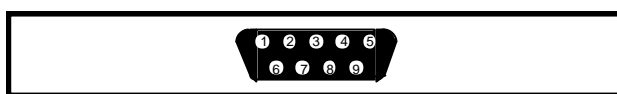
### 5.16. シリアル・コネクタ (JSIO1,JSIO2)

JSIO1 コネクタは、ボード上のシリアル・コントローラ (TL16C550CPT) によって制御される RS-232C インターフェイス用のコネクタです。

JSIO2 コネクタは、CPU の内蔵シリアル・コントローラによって制御される RS-232C インターフェイス用のコネクタです。

コネクタの形状は、PC/AT で用いられる一般的な D-SUB9 ピン (オス) の RS-232C コネクタです。何れも、全ての信号は RS-232C レベルに変換されています。コネクタのピン番号と内容は図と表の通りです。

表には、ホストと接続する場合の接続信号について、ホスト側が D-SUB9 ピンの場合と D-SUB25 ピンの場合の布線をそれぞれ示してあります (一般的なクロスケーブルの布線です)。



JSIO1,JSIO2 ピン配置 (オス)

JSIO1 ピン番号	信号名	入出力	ホストの接続ピン番号	
			D-SUB9	D-SUB25
1	DCD	入力		
2	RxD(RD)	入力	3	2
3	TxD(SD)	出力	2	3
4	DTR(DR)	出力	1, 6	6, 8
5	GND		5	7
6	DSR(ER)	入力	4	20
7	RTS(RS)	出力	8	5
8	CTS(CS)	入力	7	4
9	RI	入力		

JSIO1 コネクタ信号

JSIO2 ピン番号	CPU 端子	信号名	入出力	ホストの接続ピン番号	
				D-SUB9	D-SUB25
1 <sup>*1</sup>	--	DCD	入力		
2	P41	RxD(RD)	入力	3	2
3	P40	TxD(SD)	出力	2	3
4	P45	DTR(DR)	出力	1, 6	6, 8
5		GND		5	7
6	P44	DSR(ER)	入力	4	20
7	P42	RTS(RS)	出力	8	5
8	P43	CTS(CS)	入力	7	4
9 <sup>*1</sup>	--	RI	入力		

JSIO2 コネクタ信号

#### 注意事項：

1. JSIO2 の 1 ピン、9 ピンは、ボード内で使用されていません。



### 5.17. JGBUS コネクタ (JGBUS)

拡張用の 32Bit データ幅のバスコネクタです。詳細は「11 GBUS 個別仕様」、「14 APPENDIX.C GBUS 共通仕様」を参照してください。

### 5.18. CPU コネクタ(JCPU1,2)

CPU コネクタの信号は、V850E/MA1 と直結した信号です。多くの信号は、ボード内部で使用していますので、JCPU から信号を引き出す場合は、注意が必要です。

JCPU ピン番号	信号名	JCPU ピン番号	信号名
1	+3.3V	2	GND
3	PDL15/D15	4	PDL14/D14
5	PDL13/D13	6	PDL12/D12
7	PDL11/D11	8	PDL10/D10
9	PDL9/D9	10	PDL8/D8
11	PDL7/D7	12	PDL6/D6
13	PDL5/D5	14	PDL4/D4
15	PDL3/D3	16	PDL2/D2
17	PDL1/D1	18	PDL0/D0
19	NC.	20	NC.
21	+3.3V	22	GND
23	P07/INTP103/DMARQ3-	24	P06/INTP102/DMARQ2-
25	P05/INTP101/DMARQ1-	26	P04/INTP100/DMARQ0-
27	P03/TO00	28	P02/INTP001/TI001
29	P01/INTP000/TI000	30	P00/PWM0
31	PBD3/DMAAK3-	32	PBD2/DMAAK2-
33	PBD1/DMAAK1-	34	PBD0/DMAAK0-
35	P13/TO01	36	P12/INTP011/TI011
37	P11/INTP010/TI010	38	P10/PWM1
39	NC.	40	NC.
41	+3.3V	42	GND
43	P27/INTP113/TC3-	44	P26/INTP112/TC2-
45	P25/INTP111/TC1-	46	P24/INTP110/TC0-
47	P23/TO02	48	P22/INTP021/TI021
49	P21/INTP020/TI020	50	P20/NMI
51	P37/INTP123/ADTRG	52	P36/INTP122
53	P35/INTP121	54	P34/INTP120/RXD2
55	P33/INTP133/TXD2	56	P32/INTP132/SCK2-
57	P31/INTP131/SI2	58	P30/INTP130/SO2
59	NC.	60	NC.
61	+5V	62	GND
63	RESET-	64	NC.
65	P45/SCK1-	66	P44/SI1/RXD1
67	P43/SO1/TXD1	68	P42/SCK0-
69	P41/SI0/RXD0	70	P40/SO0/TXD0
71	NC.	72	NC.
73	NC.	74	NC.
75	NC.	76	NC.
77	NC.	78	RESET_REQ*1
79	+5V	80	GND

JCPU1 コネクタ

\*1:RESET\_REQ は、JCPC からのリセット要求線です。(ローアクティブ)

JCPU ピン番号	信号名	JCPU ピン番号	信号名
1	+3.3V	2	GND
3	PAL0/A0	4	PAL1/A1
5	PAL2/A2	6	PAL3/A3
7	PAL4/A4	8	PAL5/A5
9	PAL6/A6	10	PAL7/A7
11	PAL8/A8	12	PAL9/A9
13	PAL10/A10	14	PAL11/A11
15	PAL12/A12	16	PAL13/A13
17	PAL14/A14	18	PAL15/A15
19	PAH0/A16	20	PAH1/A17
21	+3.3V	22	GND
23	PAH2/A18	24	PAH3/A19
25	PAH4/A20	26	PAH5/A21
27	PAH6/A22	28	PAH7/A23
29	PAH8/A24	30	PAH9/A25
31	NC.	32	NC.
33	NC.	34	NC.
35	PCD0/SDCKE	36	PCD1/SDCLK
37	PCD2/LBE-/SDCAS-	38	PCD3/UBE-/SDRAS-
39	PCS0/CS0-	40	PCS1/CS1-/RAS1-
41	+3.3V	42	GND
43	PCS2/CS2-/IOWR-	44	PCS3/CS3-/RAS1-
45	PCS4/CS4-/RAS4-	46	PCS5/CS5-/IORD-
47	PCS6/CS6-/RAS6-	48	PCS7/CS7-
49	PCT0/LCAS-/LWR-/LDQM	50	PCT1/UCAS-/UWR-/UDQM
51	PCT4/RD-	52	PCT5/WE-
53	PCT6/OE-	54	PCT7/BCYST-
55	PCM0/WAIT-	56	PCM1/CLKOUT/BUSCLK
57	PCM2/HLDAK-	58	PCM3/HLDRQ-
59	PCM4/REFRQ-	60	PCM5/SELFREF
61	+5V	62	GND
63	NC.	64	NC.
65	NC.	66	P50/TI030/INTP030
67	P51/TI031/INTP031	68	P52/TO03
69	P70/ANI0	70	P71/ANI1
71	P72/ANI2	72	P73/ANI3
73	P74/ANI4	74	P75/ANI5
75	P76/ANI6	76	P77/ANI7
77	AVSS(GND)	78	AVDD/AVREF(+3.3V)
79	+5V	80	GND

JCPU2 コネクタ

## 6. ホスト PC との接続

### 6.1. RS-232C 接続

モニタ ROM を使用して、ホストマシンとシリアルで接続する際は以下の通りです。

添付品の RS-232C ケーブルと、電源を用意してください。

ボード上のスイッチの設定と確認を行ってください。SW1 のボーレイトの設定は、必ず実施ください。(「12.1.2 SW1 の設定」、「13.1.1 SW1 の設定」の各項を参照ください。)

JSIO1 コネクタとホストマシンを RS-232C ケーブルで接続し、JPOWER コネクタへ電源を供給してください。ボードの POWER-LED が点灯し、モニタの起動を示す 7seg-LED の表示がなされることを確認してください。



LED が点灯しない場合は、すぐに電源を切り接続を確認してください。

ホストマシンでデバッグを起動し、RS-232C 経由でコネクタします。エラーが発生する場合には、シリアル・ケーブルやスイッチ (特にボーレート) の設定等に間違いがないかを確認してください。デバッグの起動方法や手順は、各デバッグのマニュアルを参照ください。



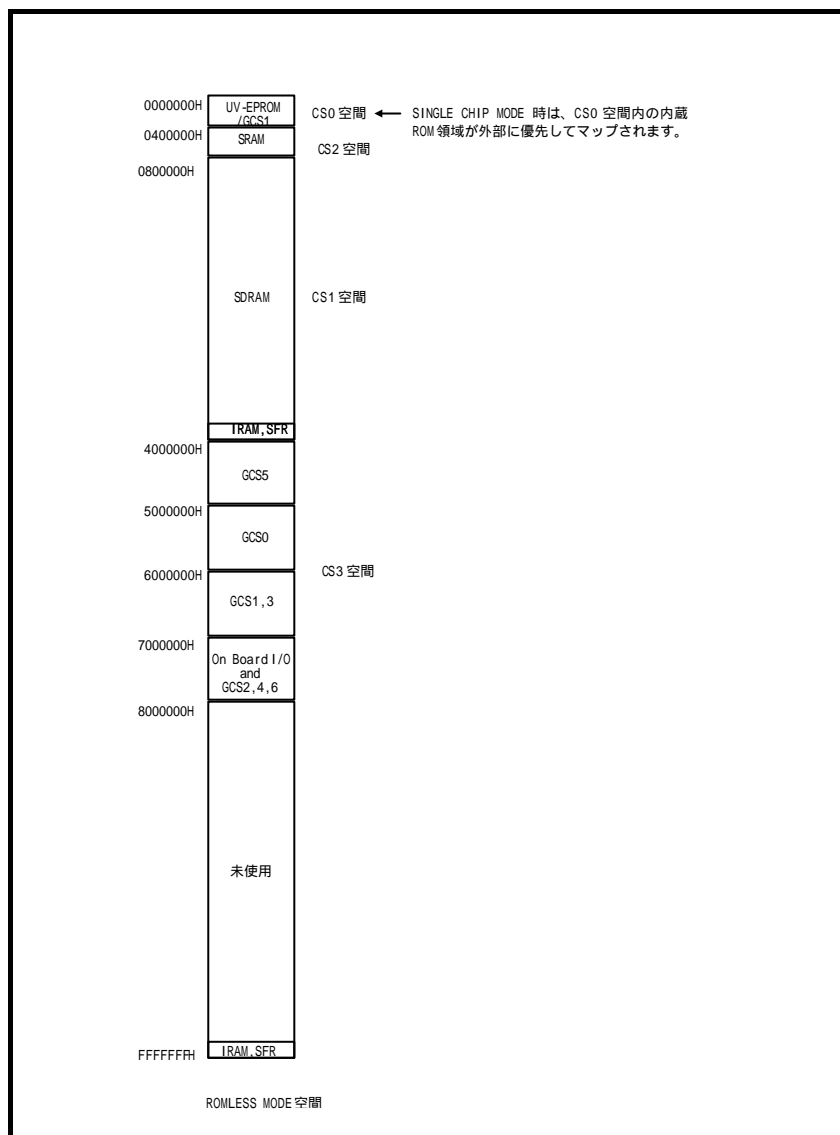
ボードは絶縁物の上に設置してください。通電中に、導電物を基板に接触させると故障の原因になります。

## 7. ハードウェア・リファレンス

ここでは、RTE-V850E/MA1-CB ボードのハードウェアについて記述します。

### 7.1. メモリ・I/O のマップ

ボードのメモリと I/O の割り付けは、以下の通りです。



メモリ・I/O マップ

**CS0 空間 (UV-EPROM,GCS1-) :0000000 - 03FFFFFF(4M-byte)**

CS0 空間は、UV-EPROM が割り付けられるか、または GBUS の GCS1-用の空間として予約されています。この空間は、SW2-1 (FBOOT)が OFF の時は、オンボードの UV-EPROM が割り付けられ、SW2-1(FBOOT)が ON の時は、GBUS の GCS1-用の空間として予約されています。

GCS1 空間は、CS3:6000000 - 6FFFFFF からアクセス可能なようになっており、GBUS の GCS1 空間にフラッシュ ROM を配置することで、フラッシュ ROM の書換えは UV-EPROM のモニタ ROM を用いて行い、その後、そのフラッシュ ROM からブートすることが可能になります。

GBUS については「11 GBUS 個別仕様」、「14 APPEDIX.C GBUS 共通仕様」を参照してください。尚、シングルチップモードに設定した場合は、内蔵 ROM の空間は外部では使用できません。

**CS2 空間 (SRAM) :0400000 - 07FFFFFF(4M-byte)**

CS2 空間は、SRAM が割り付けられています。実容量は 1M バイトです。空間内は、1M バイトおきにイメージが発生します。モニタを使用する場合、一部の領域はモニタのワークとして予約されます。(「12.2.2 ROM モニタ・ワーク RAM 」、「13.2.2 ROM モニタ・ワーク RAM 」を参照)

**CS1 空間 (SDRAM) :0800000 - 3FFFFFFF(56M-byte)**

この空間には、SDRAM が割り付けられています。実容量は 32M バイトです。空間内は、32M バイト離れたところにイメージが発生します。内蔵の RAM や SFR の領域は、内蔵の資源が優先的にアクセスされ、SDRAM へはアクセスはしません。

**CS3 空間 (GCS5-) :4000000 - 4FFFFFFF(16M-byte)**

この空間は、GBUS の GCS5-用の空間として予約されています。GBUS については「11 GBUS 個別仕様」、「14 APPEDIX.C GBUS 共通仕様」を参照してください。

**CS3 空間 (GCS0-) :5000000 - 5FFFFFFF(16M-byte)**

この空間は、GBUS の GCS0-用の空間として予約されています。GBUS については「11 GBUS 個別仕様」、「14 APPEDIX.C GBUS 共通仕様」を参照してください。

**CS3 空間 (GCS1-,GCS3-) :6000000 - 6FFFFFFF(16M-byte)**

この空間は、GBUS の GCS1-,GCS3-用の空間として予約されています。GBUS については「11 GBUS 個別仕様」、「14 APPEDIX.C GBUS 共通仕様」を参照してください。

**CS3 空間 (I/O,GCS2-,GCS4-,GCS6-) 7000000 - 7FFFFFFF(16M-byte)**

この空間は、I/O 空間として使用します。本ボード内の I/O と、GBUS の GCS2-,GCS4-,GCS6-用の予約空間があります。I/O マップについては「7.4.1 IO 一覧」を、GBUS については「11 GBUS 個別仕様」、「14 APPEDIX.C GBUS 共通仕様」を参照してください。

**CS4-7 空間 (未使用) 8000000 - FFFFFFFF(128M-byte)**

この空間は、本ボード上では使用していません。

## 7.2. 推奨設定

ここでは、メモリおよび I/O 資源のアクセスに関する各レジスタの推奨設定値を示します。

### 7.2.1. MEMC レジスタ

システム・バスに関する設定は、下表のように設定してください。一部の設定は、SW2-3(BCLK\_LOW)の設定状態により異なりますので、注意してください。

レジスタ名	アドレス	設定値	備考
CKC	0xFFFF822	0x07	DCLK:00,TBCS:00,CESEL:00,CKDIV:111
BCT0	0xFFFF480	0x88B8	CS0,2,3:SRAM/IO,CS1:SDARM
BCT1	0xFFFF482	0x8888	CPUの初期値に同じ
DWC0(BCLK_LOW=OFF) DWC0(BCLK_LOW=ON)	0xFFFF484	0x1111 0x0000	CS0-3:1wait CS0-3:0wait
DWC1	0xFFFF486	0x7777	CS4-7,:7wait: CPUの初期値に同じ
VSWC(BCLK_LOW=OFF) VSWC (BCLK_LOW=ON)	0xFFFF06E	0x14 0x12	VPB: BCLK >= 33MHz = 0x14 < 33MHz = 0x12
BCC	0xFFFF488	0xFFC0	CS0-2:0clk,CS3-7:3clk
ASC	0xFFFF48A	0x5555	All 1 addr wait
BCP	0xFFFF48C	0x00	Normal bus cycle
CSC0	0xFFFF060	0xFCF3	(Chip Select Control Register0)
CSC1	0xFFFF062	0x2C11	(Chip Select Control Register1):CPUの初期値に同じ
BSC	0xFFFF066	0x5555	All 16-bit: CPUの初期値に同じ
BEC	0xFFFF068	0x0000	All little endian: CPUの初期値に同じ
SCR1	0xFFFF4A4	0x2096	SDRAM(LTM=2,BCW=2,SSO=16,RAW=12, SAW=10)
RFS1(BCLK_LOW=OFF) RFS1(BCLK_LOW=ON)	0xFFFF4A6	0x8017 0x800f	50MHz:15.4uS 33MHz:15.5uS

注意：SDRAM 関連レジスタ(SCR1, SFR1)の設定手順等については、CPU のマニュアルを参照して行ってください。

### 7.3. メモリ・マップ

RTE-V850E/MA1-CB では、オンボードのメモリ資源として、SDRAM、SRAM、UV-EPROM があります。また、メモリ空間の一部として、GBUS のチップ・セレクト空間を予約しています。ここでは、それらのマップとメモリ・デバイスについて説明します。

#### 7.3.1. SDRAM (CS1:0800000 - 3FFFFFFF)

SDRAM は、4M-Word×4Bit×4Bank の SDRAM ( μPD4564441G5 ) デバイスを 4 つ実装し、32M バイトの容量を搭載しています。

#### 7.3.2. SRAM (CS2:0400000 - 07FFFFFF)

SRAM は、512K-Word×8bit:15nS の高速 SRAM を 2 つ実装し、1M バイトの容量を搭載しています。バスクロックが 33MHz を越える時は、CPU のウェイトコントローラで 1wait 入れてください。それ以下であれば、0 ウェイトでアクセスできます。アドレス線の上位ビットはデコードしていませんので、1M バイトおきにイメージが現れます。尚、SRAM 後半の 32KB は、モニタがワークで使用していますので、ユーザプログラムでは使用しないでください。(「12.2.2 ROM モニタ・ワーク RAM」, 「13.2.2 ROM モニタ・ワーク RAM」を参照してください)

#### 7.3.3. UV-EPROM (CS0 :0000000 - 03FFFFFF)

UV-EPROM は、128K バイト ( 64KWord×16Bit )、256K バイト ( 128Kword×16Bit )、512K バイト ( 256KWord×16Bit ) のいずれかで、アクセスタイムを 120nS 以下の ROM が搭載できます。搭載する ROM の種類と使用状態は、SW3 で設定します (「5.5 スイッチ 3 (SW3)」参照)。アドレス線の上位ビットはデコードしていませんので、ROM の容量おきにイメージが現れます。

ROM の Wait 数は、SW2-3(BCLK\_LOW)の設定により、以下の通りハードウェアで強制的に挿入されます。

SW2-3(BCLK\_LOW):OFF = 7-wait

SW2-3(BCLK\_LOW):ON = 5-wait

## 7.4. IO マップ

RTE-V850E/MA1-CB では、オンボード I/O として、シリアル・コントローラ (TL16C550CPT)、タイマ (μPD71054) LED、スイッチ等があります。また、I/O 空間の一部として、GBUS のチップ・セレクト空間を予約しています。

ここでは、それらのマップと I/O デバイスについて説明します。

### 7.4.1. IO 一覧

IO の一覧を下表に示します。Wait 数は SW2-3 (BCLK\_LOW) の設定状態で切り替わります。

アドレス	用途	Wait 数	
		BCLK_LOW OFF	BCLK_LOW ON
7800000	SW1	10	7
7801000	SW2	10	7
7802000	7SEGLED	10	7
7803000	TOVRDY_LED_CLRPLS	10	7
7804000 - 7804020	PIC	10	7
7807000 - 7807070	UART (TL16C550C)	10	7
7808000 - 7808030	TIC (uPD71054)	10	7
7809000	GBUS ACCESS CONTROL	10	7

### 7.4.2. SW1 読出しポート (SW1 7800000H [Read Only])

SW1 の状態を読み出すためのポートです。データ・フォーマットを下表に示します。

物理アドレス	データバス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
7800000H 入力	SW1-8	SW1-7	SW1-6	SW1-5	SW1-4	SW1-3	SW1-2	SW1-1	0=ON 1=OFF

SW1-1 が SW1 の "1" のスイッチに、SW1-8 が SW1 の "8" のスイッチに対応しています。また、該当するビットのスイッチが ON で 0 が、OFF で 1 が読み出されます。SW3 は、モニタの動作設定用のスイッチとして使用しています。設定方法は、「12.1.2 SW1 の設定」、「13.1.1 SW1 の設定」の各項を参照してください。

### 7.4.3. SW2 読出しポート (SW2 7801000H [Read Only])

SW2 の状態を読み出すためのポートです。データ・フォーマットを下表に示します。

物理アドレス	データバス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
7801000H 入力	SW2-8	SW2-7	SW2-6	SW2-5	SW2-4	SW2-3	SW2-2	SW2-1	0=ON 1=OFF

SW2-1 が SW2 の "1" のスイッチに、SW2-8 が SW2 の "8" のスイッチに対応しています。また、該当するビットのスイッチが ON で 0 が、OFF で 1 が読み出されます。SW2 は、ハードウェアの動作を切り替えます。それぞれのスイッチの機能は、「5.4 スイッチ 2 (SW2)」を参照してください。

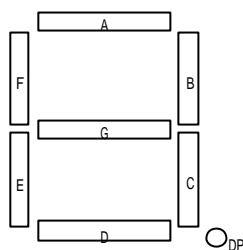


#### 7.4.4. 7セグメントLED表示データ出力ポート(7SEG-LED 7802000H [Write Only])

4つの7セグメントLEDに表示するデータを設定します。データ・フォーマットを下表に示します。該当するビットに0を設定すると対応するセグメントが点灯します。

論理アドレス	データ								内容
	D7/D15	D6/D14	D5/D13	D4/D12	D3/D11	D2/D10	D1/D9	D0/D8	
7802000H 出力	LED1 -DP	LED1 -G	LED1 -F	LED1 -E	LED1 -D	LED1 -C	LED1 -B	LED1 -A	0=点灯 1=消灯
7802001H 出力	LED2 -DP	LED2 -G	LED2 -F	LED2 -E	LED2 -D	LED2 -C	LED2 -B	LED2 -A	

7セグメントLEDのビット対応は、下図の通りです。



#### 7.4.5. タイムオーバ・レディーLEDクリア・パルス(TOVRDY\_LED\_CLRPLS 7803000H [Write Only])

本ポートに書き込みを行うと、ボード上のタイムオーバ・レディー発生時に点灯する TOV\_RDY LED が消灯します。書き込まれたデータは無視されます。TOV\_RDY LED は一旦点灯すると、本ポートに書き込むか、ボードをリセットするまで点灯し続けます。

#### 7.4.6. 割り込みコントローラ(PIC:7804000H - 7804020H [Read/Write])

PIC は、Multi および PARTNER のモニタ・プログラムの動作に必要な割り込みをサポートします。接続可能な割り込みは以下の通りです。

- 1)RS232C デバイス (UART,TL16C550C) からの通信割り込み
- 2)タイマ(TIC,  $\mu$ PD71054)の TOUT0 によるタイマ割り込み要求
- 3)タイムオーバー・レディの発生
- 4)GINT0 の割り込み

論理アドレス	レジスタ	データバス							
		D7	D6	D5	D4	D3	D2	D1	D0
7804000H	PIC INT-MASK	x	x	x	x	IM3	IM2	IM1	IM0
7804010H	PIC INT-STATUS	x	x	x	x	IR3	IR2	IR1	IR0
7804020H	PIC INTEN	x	x	x	x	0	0	INTP000	INTEN

INT-MASK レジスタはそれぞれの入力する割り込みをマスクします。INT\_MASK のビットが"1"の時にイネーブルとなり、複数ビットを選択した場合にはそれぞれの OR で割り込みがアクティブとなります。

INTR レジスタは割り込みステータスで、割り込み要求がある場合に"1"が読み出せます。これはマスク状態に関係ありません。またエッジ割り込み要求の解除(クリア)には、このレジスタの対応ビットに"1"を書込みます。

IM[0..3], IR[0..3]の各ビットに割り付けられている割り込み要因は以下の通りです。

PIC INT-MASK[],STATUS[]	割り込み要因	要求レベル
0	タイマ0(モード2)	エッジ(立ち上がり)
1	シリアル0	レベル(High)
2	タイムオーバー	レベル(High)
3	GINT0-	レベル(LOW)

INTEN レジスタは、割り込み全体のイネーブル/ディセーブルなどを制御します。

INTEN: モニタで使用する割り込みをハード的に禁止することができます。禁止時、割り込み要求端子の状態は Low レベルとなります。

INTEN	NMI0/INTP000
0	マスクする (リセット値)
1	マスクしない

INTP000:モニタで使用する割り込みを選択します。

INT0/NMI-	モニタ用の割り込み
0	NMI0 を使用 (リセット値)
1	INTP000 を使用

INTEN は、複数の割り込み要因が発生している時に、1つの割り込み処理が終了した時点で、CPU への割り込み要求信号にエッジを生成するために使用します。CPU の割り込み受け付けがエッジ検出の場合、割り込みハンドラの最後のステップで、INTEN ビットを一旦"1"に設定後、"0"にする処理を実行してください。これによって、保留中の割り込みが入ります。

**注意:** モニタ使用中は、PIC の内容は変更しないでください。

#### 7.4.7. UART (TL16C550C:7807000H - 7807070H)

UART コントローラとして TEXAS INSTRUMENTS 製の TL16C550C LSI を使用しています。TL16C550C は、UART を 1 チャンネル備えており、UART の送受信部には 16 キャラクタ分の FIFO バッファを持ち、RTS/CTS フローを自動的に制御する機能を備えているため、最小限の割り込みで通信のオーバーラン・エラーを押さえられます。

TL16C550C の各レジスタは、表のように割り付けられています。各レジスタの機能については、TL16C550C のマニュアルを参照してください ( TL16C550C のマニュアルは米国 TEXAS INSTRUMENTS 社のホームページ ( <http://www.ti.com/> ) の TI&ME のコーナーで入手可能です )。

アドレス	読出し	書込み
7807000H	RBR/DLL	THR/DLL
7807010H	IER/DLM	IER/DLM
7807020H	IIR	FCR
7807030H	LCR	LCR
7807040H	MCR	MCR
7807050H	LSR	LSR
7807060H	MSR	MSR
7807070H	SCR	SCR

TL16C550C レジスタ配置

TL16C550C の XIN 入力には 16MHz のクロックが接続されています。

UART の割り込みは CPU の PIC を通して、CPU の NMI1 に入力できます。

UART はボードの JIS01 コネクタに接続しています。また、UART はリモートデバッグを用いる場合、ホストとの通信に使用されます。

TL16C550C は、システム・リセットによってリセットされます。

**注意：モニタ使用中は、UART の内容は変更しないでください。**

#### 7.4.8. TIC ( uPD71054 7808000H ~ 7808030FH)

TIC は NEC 社製の uPD71054 が実装されています。uPD71054 は Intel 製の i8254 と互換であり、3 つのタイマ / カウンタを持っています。これらのタイマ / カウンタにより、モニタのタイマ割り込みの生成を行っています。

TIC の各レジスタは、表の通りに割り当てられています。

アドレス	読出し	書込み
7808000H	COUNTER#0	COUNTER#0
7808010H	COUNTER#1	COUNTER#1
7808020H	COUNTER#2	COUNTER#2
7808030H	----	Control Word

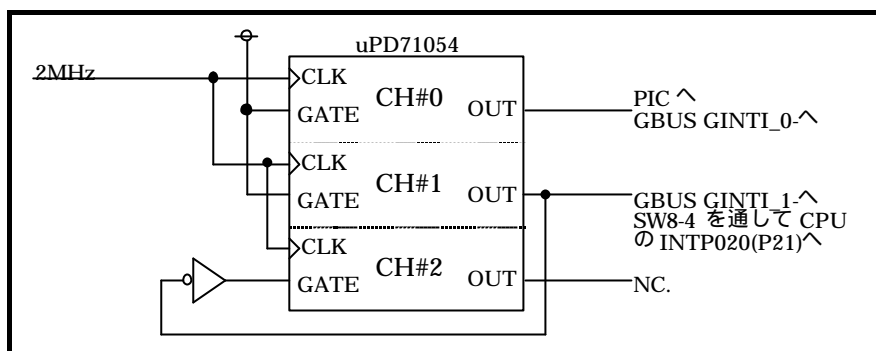
TIC のレジスタ配置

TIC の各チャンネルは下図のように接続されています。

チャンネル 0 は、Multi の ROM モニタ・プログラムのインターバル・タイマとして使用されます。

チャンネル 1, 2 は、ユーザのプログラムで自由に使用することができます。

チャンネル 2 は、チャンネル 1 とカスケード接続されています。



#### 使用モード例

CH#0 : モード2 (レートジェネレータ)  
 CH#1 : モード2 (レートジェネレータ)  
 CH#2 : モード0 (ダウンカウンタ)

**注意**：モニタ使用中は、CH0の内容は変更しないでください。

#### 7.4.9. GBUS ACCESS CONTROL (7809000H[Read/Write])

GBUS に対し、ハーフワード(16-Bit)以外のアクセスサイズでアクセスを行う場合に使用します。

論理アドレス	レジスタ	データバス							
		D7	D6	D5	D4	D3	D2	D1	D0
7809000H	GBUSACC	x	x	x	x	x	x	Word	Byte

**Byte**: GBUS に対し BYTE でリードしたい場合に"1"にします。通常は"0"でご使用ください。  
 V850E/MA1 のリードサイクルは、命令のアクセスサイズに関係なくハーフワードのアクセスサイズで行われますが、GBUS 上の資源によっては、バイトでのアクセスのみを要求するデバイスがあります。このようなデバイスへのアクセス時、このビットに"1"を立て CPU からバイトサイズでアクセスしてください。

**Word**: GBUS に対し Word(32-Bit)でアクセスしたい場合に"1"にします。通常は"0"でご使用ください。  
 V850E/MA1 の外部バスは 16-Bit ですが、GBUS 上の資源によっては、ワード(32-Bit)でのアクセスを要求するデバイスがあります。このようなデバイスへのアクセス時、このビットに"1"を立て CPU からワードサイズ(32-Bit)でアクセスしてください。

**注意**：Byte, Word の両方の Bit に"1"を設定しないでください。

**注意**：設定変更後は必ず IOWAIT()(ROM 領域のダミーリード)を行ってください。

**注意**：Word-Bit の機能はボードのバージョンが"2.2"より新しいものに適用されます。

## 8. ソフトウェア

RTE-V850E/MA1-CB ボードのハードウェアの初期化と周辺デバイスの使用方法について説明します。

### 8.1. 初期化

モニタを使用しないで、ROM からブートするプログラムを開発する場合は、最初のルーチンで V850E/MA1 の内部バスコントローラを初期化しなければなりません。初期化時に設定する値については、「7.2 推奨設定」を参照してください。

### 8.2. uPD71054 に対する連続アクセス

uPD71054 に対し連続してアクセスする場合は、1 回目のアクセスと 2 回目のアクセスの間に他の空間へのアクセスを 1 回以上入れてください。これは、uPD71054 に対するリカバリ・タイムを確保する為です。

リカバリ・タイムは、uPD71054 以外の資源（例えば、ROM）をダミーで一度リードすることで確保できます。

### 8.3. ライブラリ

C コンパイラでプログラムする時に必要となる I/O アクセスなどのライブラリです。ただし、これらの記述やパラメータ受け渡し方法などは、GHS 環境でのものです。他のコンパイラ等を使用する場合には、変更が必要となる場合があります。

```
/* I/O 入出力ライブラリ */  
  
/* GHS V800 コンパイラ パラメータ受け渡し */  
/* arg0 : r6, arg1 : r7, arg2 : r8, return : r10 */  
  
inb(int addr)                /* バイト (8 ビット) 入力 */  
{  
    __asm(" ld.b 0[r6], r10");  
}  
  
inh(int addr)                /* ハーフワード (16 ビット) 入力 */  
{  
    __asm(" ld.h 0[r6], r10");  
}  
  
inw(int addr)                /* ワード (32 ビット) 入力 */  
{  
    __asm(" ld.w 0[r6], r10");  
}  
  
outb(int addr, int data)     /* バイト (8 ビット) 出力 */  
{  
    __asm(" st.b r7, 0[r6]");  
}  
  
outh(int addr, int data)     /* ハーフワード (16 ビット) 出力 */  
{  
    __asm(" st.h r7, 0[r6]");  
}  
  
outw(int addr, int data)     /* ワード (32 ビット) 出力 */  
{  
    __asm(" st.w r7, 0[r6]");  
}
```

#### 8.4. タイマの使用例

ボード上の外部タイマ (uPD71054) でカスケード接続されたタイマ1とタイマ2を使用した時間計測のサンプルを示します。タイマ1はインターバルカウンタ (モード2)、タイマ2は、ダウンカウンタ (モード0) として初期化して、時間計測するルーチンの前後でカウンタ値を求めておくことで実行時間が算出できます。ただし、タイマのカウント値はどちらもダウンカウンタとなることに注意してください。また、外部タイマの連続アクセスではコマンドリカバリ (ROM 領域のダミーリード) が必要となります。

```

/* タイマによる実行時間計測サンプル */

#define TIMERCLK      2000000          /* 2MHz */
#define INTERVAL     (TIMERCLK * 10 / 1000) /* 10ms (1/100) */
#define IOWAIT()     (*(char *) 0x3D80050) /* I/O コマンドリカバリ用 */

InitTimer() /* タイマ初期化 */
{
    outb(0x7808030, 0x74);          IOWAIT(); /* タイマ1 モード2 */
    outb(0x7808010, INTERVAL);     IOWAIT(); /* タイマ1 下位カウンタ */
    outb(0x7808010, INTERVAL /256); IOWAIT(); /* タイマ1 上位カウンタ */
    outb(0x7808030, 0xB0);          IOWAIT(); /* タイマ2 モード0 */
    outb(0x7808020, 0xFF);          IOWAIT(); /* タイマ2 下位カウンタ */
    outb(0x7808020, 0xFF);          IOWAIT(); /* タイマ2 上位カウンタ */
    return 0;
}

LatchTimer() /* カウントラッチ */
{
    int count1, count2, counts;

    outb(0x7808030, 0xDC);          IOWAIT(); /* タイマ1/2 マルチプルラッチ */
    count1 = inb(0x7808010);         IOWAIT();
    count1 += inb(0x7808010) *256;    IOWAIT(); /* タイマ1 カウント */
    count2 = inb(0x7808020);         IOWAIT();
    count2 += inb(0x7808020) *256;    IOWAIT(); /* タイマ2 カウント */
    counts = INTERVAL * (0xFFFF - count2)
        + (INTERVAL - count1);
    return counts;
}

double total_time;

main()
{
    int start_count, stop_count;

    InitTimer();
    start_count = LatchTimer(); /* スタートカウンタ値 */
    func();
    stop_count = LatchTimer(); /* ストップカウンタ値 */
    total_time = (double)(stop_count - start_count)
        / (double)TIMERCLK; /* 秒数 */
    return 0;
}

#include <time.h>

func() /* 時間計測ルーチン */
{
    ....
}

```

## 9. マスカブル割り込みを使用したアプリケーションの開発

本章では、RTE-V850E/MA1-CB 上でマスカブル割り込みを使用したアプリケーションの開発を行う場合の方法と制限事項について説明します。

### 9.1. 割り込みベクタ

V850E/MA1 の割り込みベクタ領域である 000000H ~ 0007FFH 番地は、ROM により固定されていて書換えることができません。そこでモニタでは、SRAM 上に以下に示す 2 つのベクタ領域を用意しています。

代替ベクタ領域：

ユーザ・プログラムによって書換えが可能なベクタ領域で、割り込みベクタ領域から相対ジャンプが可能な場合に使用します。この場合には、ベクタ領域に相対ジャンプによる分岐命令が置かれます。

中継ベクタ領域：

モニタが使用するベクタ領域で、割り込みベクタ領域から相対ジャンプが不可能な場合に使用します。この場合には、割り込みベクタ領域にレジスタを保存する命令と絶対ジャンプによる分岐命令が、このベクタ領域にはレジスタを復旧する命令と代替ベクタ領域に相対ジャンプする分岐命令がそれぞれ置かれます。

このモニタでは、0000000H ~ 00007FFH 番地の割り込みベクタ領域から代替ベクタ領域へ相対ジャンプが不可能なため、中継ベクタ領域を経由して代替ベクタに分岐しています。

代替ベクタ領域	中継ベクタ領域
4F8000H ~ 4F87FFH	4F8800H ~ 4F8FFFH

例えば、例外コードが 0080H の割り込みが発生すると、CPU の割り込み機能により 000080H 番地に分岐します。そこには中継ベクタ領域のオフセット 0080H 番地への分岐命令があり、そのベクタを経由して代替ベクタ領域のオフセット 0080H 番地へ分岐します。ユーザ・プログラムでは、分岐先の代替ベクタ領域を書換えることにより、割り込み発生時にユーザ・プログラムの割り込み処理ルーチンに分岐させることができます。

したがって、前述の例外コード 0080H 割り込みの場合、目的の割り込み処理に分岐する命令を 4F8080H 番地に書込みます。

通常の V850E/MA1 のプログラムと異なるのは、通常ベクタ領域は ROM 化の時点で固定されており、プログラムで設定する（書換える）必要はありません。しかし、RTE-V850E/MA1-CB 上でモニタを使用したプログラムの場合、プログラムでベクタを書換えてから、割り込みを許可する必要があります。

代替えベクタを書換えるためのプログラム例を以下に示します（割り込み処理ルーチンから代替えベクタ領域への相対アドレスが 22Bit 以内の場合）。

```

void SetAJump(int addr, int jmpdest) /* ベクタ設定ルーチン */
/* int addr;                address where we're storing the
'jr' */
/* int jmpdest;            address where the 'jr' jumps to */
{
    int offset;
    unsigned inst;
    unsigned int *p ;

    offset = jmpdest - addr;
    inst = 0x07800000 /* 'jr' opcode */ | (offset & 0x003ffff);
    *((UINT16 *) (addr + 0)) = (inst >> 16) & 0xffff ;
    *((UINT16 *) (addr + 2)) = (inst & 0xffff) ;
}
.....
void __interrupt IntEntry() /* 割り込み処理ルーチン */
{
    .....
}
.....
main()
{
    .....
    SetAJump((int)(0x080 + 0x4f8000) ,(int)IntEntry) ;
    /*                目的の割り込みの例外コード */
}

```

## 9.2. 一般的な制限事項 / 注意事項

マスカブル割り込みを使用したアプリケーションをデバッグする上での制限事項と注意事項を以下に示します。

- 1) 代替えベクタの設定前に割り込みが発生した場合や、代替えベクタを正しく設定しないで割り込みが発生した場合には、割り込みの発生時点でのプログラム位置でブレイクします。これは、代替えベクタの初期値がモニタのブレイク処理ルーチンへの分岐命令になっているためです。
- 2) 代替えベクタ領域から割り込み処理ルーチンまでの相対アドレスが 22Bit を超える場合、割り込み処理ルーチンへの分岐のために、少なくとも 1 つ以上のレジスタの値を壊すか、分岐の中継点を作る必要があります。
- 3) 代替えベクタ領域は、プログラムで書換えるか、プログラムのダウンロード時に書換えることができます（「9.3 ダウンロード時の代替えベクタ領域書換え方法」を参照）。但し、プログラムのダウンロード時の書換えは、使用する割り込み以外を書換えないようにしてください。
- 4) 割り込み関係を含む全てのペリフェラルは、ボード上のリセット・スイッチによってのみ初期化されます。したがって、一端プログラムを実行した後に、プログラムを再ロードして動作させる場合、前のプログラム実行による影響がペリフェラル上に残ってしまいます。ペリフェラルを使用するプログラムの場合、一端プログラムを動作させ、再度プログラムを始めから動作させる場合は、以下の手順にしたがってください。
  - (1) モニタをディスコネクトします。
  - (2) RTE-V850E/MA1-CB のリセット・スイッチを押しボードをリセットします。
  - (3) モニタにコネクトします。



(4)プログラムをロードして実行します。

- 5) プログラムの先頭で一端 DI (割り込み禁止) 状態にしてから、ペリフェラルやベクタの設定をした後、EI (割り込み許可) 状態にするようにしてください。
- 6) ブレーク中に割り込みの DI(割り込み禁止)/EI(割り込み許可)状態をデバッガの I/O(レジスタ)操作機能で行う場合は、割り込みマスクレジスタ(IMRn)の該当ビットで行ってください。ブレーク中に割り込み制御レジスタ(PICn or PnnICn)をデバッガの I/O(レジスタ)操作機能で操作した場合は、割り込み動作が正しく機能しなくなることがありますので、割り込み制御レジスタの操作は行わないでください。

### 9.3. ダウンロード時の代替ベクタ領域書換え方法

プログラムのダウンロード時にベクタを書換える方法としては、色々な方法が考えられます。ここでは、GHS 社の Multi 環境を基に例を示します。また、この方法は実際に ROM 化するプログラムに類似した方法とも言えます。尚、前述のプログラム例と合わせて参照してください。

#### 1) 割り込みベクタ書換え用のプログラムを定義 (ASM 言語)

割り込みベクタに置く分岐命令だけのプログラムを以下のように定義します。記述方法の詳細については、言語処理系のマニュアルを参照してください。

```

.section      "intvct", .text /* Defined section name */
.align      4
.globl      _Int80
_Int80:
    jr _IntEntry           /* jump to handler */
    nop
    nop

```

但し、1つの割り込みに対してベクタの境界を超えて定義することはできませんので注意してください。

#### 2) セクション・マップの定義

リンク時に使用するセクション・マップを以下のように定義します。以下は、内蔵 ROM 領域にプログラムを配置する場合の例です。記述方法の詳細については、言語処理系のマニュアルを参照してください。

```

{
    .intvct      0x80      :
    .text       0x1000    :
    .data       align(0x10) :
    .
    .
}

```

ベクタに置くプログラムのセクションを最初に定義します。

複数の割り込みを使用する場合には、連続したベクタであれば1つのセクションを定義することで対処できます(割り込みベクタの境界を合わせる必要があります)。不連続の場合は、割り込み毎にセクションを定義し、セクション・マップに全てのセクションを指定する必要があります。

この方法でダウンロード時に代替ベクタ領域の所定の場所が書換えられます。また、割り込みベクタを書換えるためのコードを記述する手間を省くことができます。

#### 9.4. ブレーク・ポイント使用に関する制限事項 / 注意事項

割り込み処理ルーチン内へのブレークポイントの設定や、その後の実行（シングルステップ）に関し、以下の制限事項 / 注意事項がありますのでご注意ください。

- 1) ブレーク中は全てのマスカブル割り込みは受け付けません。
- 2) シングル・ステップ機能は、次の命令にテンポラリ・ブレーク・ポイントを設定する方式を取っています。この結果、EI(割り込み許可)状態のユーザ・プログラムをシングル・ステップする場合、シングル・ステップ中にも割り込みを受け付け、1命令をシングル・ステップする間に割り込み処理に分岐し、割り込み処理を行うことがあります。  
したがって、シングル・ステップでも、ブレーク・ポイントに関する注意事項に気をつけなければなりません。
- 3) シングルステップによって割り込み処理ルーチンから抜けることはできません（具体的には、割り込みルーチンの最後の"}"でのシングルステップができません）。同様に、reti 命令のシングルステップもできません。デバッガの"Return"機能で、割り込み処理ルーチンから元のルーチンへ戻ることはできません。

## 10.CPU 端子接続

本章では、RTE-V850E/MA1-CB 内での CPU の各端子の使用状態を説明します。

### 10.1. 端子接続一覧

下表は主な CPU 端子の使用状態の一覧です。詳細は後続の章で説明します。

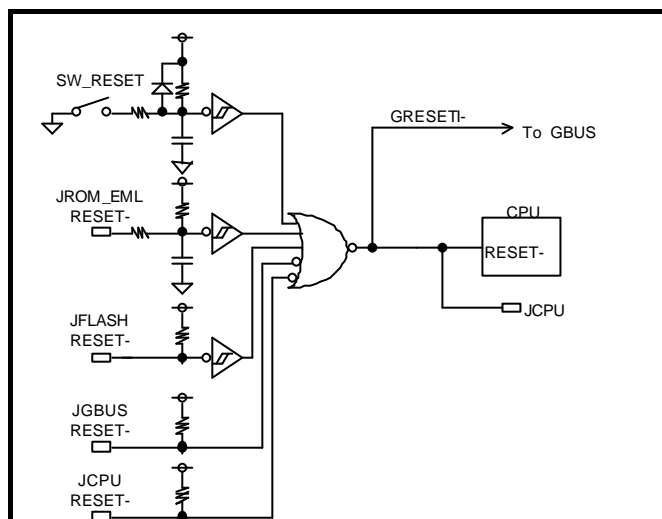
端子名	使用状態	参照章
PDL0-15/D0-15	システムのデータバスとして使用	
PAL0-15/A0-15.PAH0-9/A16-25	システムのアドレスバスとして使用	
PCT4/RD- PCT7/BCYST-	システムバスの制御信号として使用	
PCT0/LCAS-/LWR-/LDQM PCT1/UCAS-/UWR-/UDQM	システムバス及び、SDRAM で使用	
PCT5/WE- PCT6/OE- PCD0/SDCKE PCD1/SDCLK PCD2/LBE-/SDCAS- PCD3/UBE-/SDRAS-	SDRAM で使用	
PCS0/CS0- PCS1/CS1-/RAS1- PCS2/CS2- PCS3/CS3-/RAS3-	システムバスで CSx-として使用	
PCM0/WAIT-	WAIT-として使用、1K でプルアップ	10.3
PCM5/SELFREF	SELFREFとして機能、47K でプルダウン	10.4
P20/NMI P1/INTP000/TI000	割り込み線として使用	10.5
P2/INTP001/TI001 P11/INTP010/TI010 P12/INTP011/TI011 P21/INTP020/TI020	割り込み線として予約(SW8 で切断可能)	10.6
P40/SO0/TXD0	SIO2-TXD として予約(SW5 で切断可能)	10.7
P41/SI0/RXD0	SIO2-RXD として予約(SW5 で切断可能)	10.8
P42/SCK0- P43/SO1/TXD1 P44/SI1/RXD1 P45/SCK1-	SIO2の制御にポートとして予約(SW5 で切断可能)	10.9
P4/INTP100/DMARQ0- P5/INTP101/DMARQ1- P6/INTP102/DMARQ2- P7/INTP103/DMARQ3-	DMARQ として予約 GBUS-DMARQ0 -3 へ接続(SW6 で切断可能)	10.10
PBD0/DMAAK0- PBD1/DMAAK1- PBD2/DMAAK2- PBD3/DMAAK3-	DMAAK として予約 GBUS-DMAAK0 -3 へ接続(SW6 で切断可能)	10.11
P24/INTP110/TC0- P25/INTP111/TC1 - P26/INTP112/TC2- P27/INTP113/TC3-	GBUSのリザーブピンに接続(SW7 で切断可能)	10.12
P22/INTP021/TI021	フラッシュのセルフライト用のVPPのON/OFF制御用にポートして使用	
P70-77.ANI0-7	未使用、470K でプルダウン	10.13
その他のポート	未使用、47K でプルアップ	10.13
RESET-	RESETを入力	10.2
MODE0-1,CKSEL	SW4 で任意に設定可	5.6
VPP	JFLASH 及び、オンボードのレギュレータに接続	

## 10.2. RESET-

CPU へのリセットは以下に示した要因で発生します。このリセットは、CPU をリセットすると共にボード全体のシステム・リセットとなります。

- **パワーオン・リセット**：ボードの電源 ON 時に発生するリセットです。
- **JROM\_EM からのリセット要求**：JROMEM コネクタの RESET-端子からの入力によるリセットです（「5.9 ROM エミュレータ用テストピン (JROM-EML)」参照）。
- **SW\_RESET によるリセット**：リアパネル部分に用意されているリセット・スイッチ (SW\_RESET) が押されるとリセットが発生します（「5.1 リセット・スイッチ (SW\_RESET)」参照）。
- **JGBUS からのリセット**：JGBUS に接続したボードからのリセットです。
- **JCPU からのリセット**：JCPU に接続したボードからのリセットです。
- **JFLASH からのリセット**：フラッシュプログラマからのリセットです。

RESET の生成ロジックの概要を下図に示します。



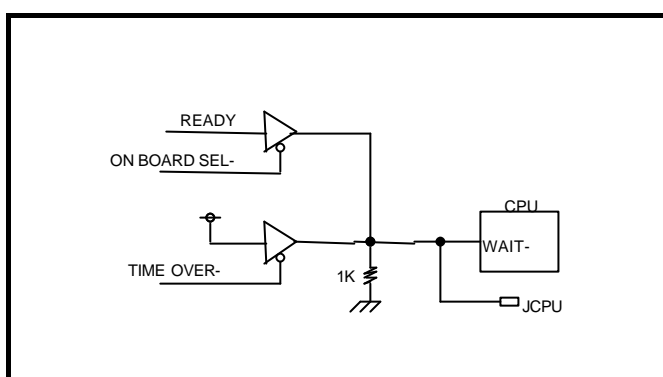
### 10.3. PCM0/WAIT0-

PCM0/WAIT-端子は、ボード内の資源にアクセスされている時だけ、READY 信号がドライブされます。

タイムオーバ・レディーは、バスサイクルが一定時間以上経過してもクローズしない場合と、GBUS の GMOTHER\_DETECT-信号が High ( GBUS にボードが接続していない ) の時、GBUS に割り当てられた空間へアクセスした場合に発生します。

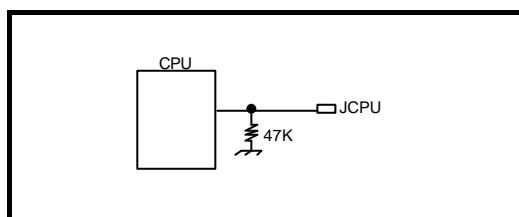
タイムオーバ・レディーが発生した場合、ボード上の TOVER\_LED が点灯し、PIC に対し割り込みが入ります。TOVER\_LED はタイムオーバ・レディーLED クリア・パルスをソフト的に発生させるか、ボードがリセットされるまで点灯し続けます (「7.4.5タイムオーバ・レディーLED クリア・パルス (TOVRDY\_LED\_CLRPLS 7803000H [Write Only])」参照 )

READY のドライブ部分の構成を下图に示します。



### 10.4. PCM5/SELFREF

PCM5/SELFREF 端子は、外部バスを使用する場合、SELFREF 端子として機能しますので、ボード内で 47K でプルダウンしています。



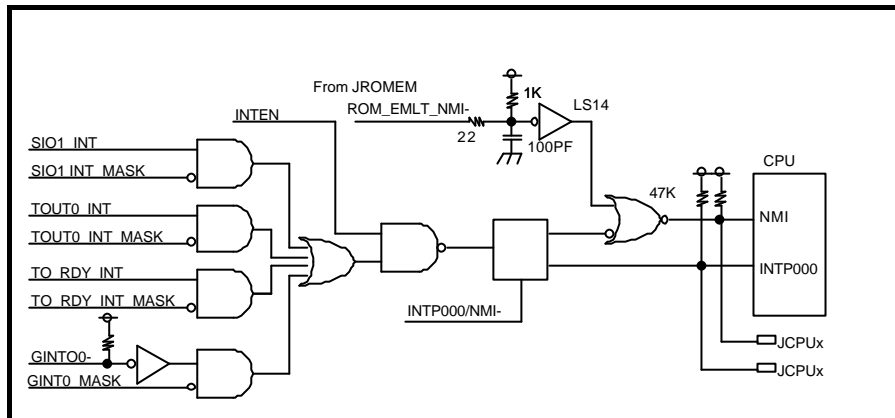
### 10.5. P20/NMI,P1/INTP000

P20/NMI,P1/INTP000 は、割り込みとして使用します。

NMI,INTP000 は、モニタ用の割り込みで、PIC を介して以下の複数の割り込み要因がハード的に複合されたものが接続されています。割り込みの選択方法については「7.4.6 割り込みコントローラ (PIC:7804000H - 7804020H [Read/Write])」を参照してください。

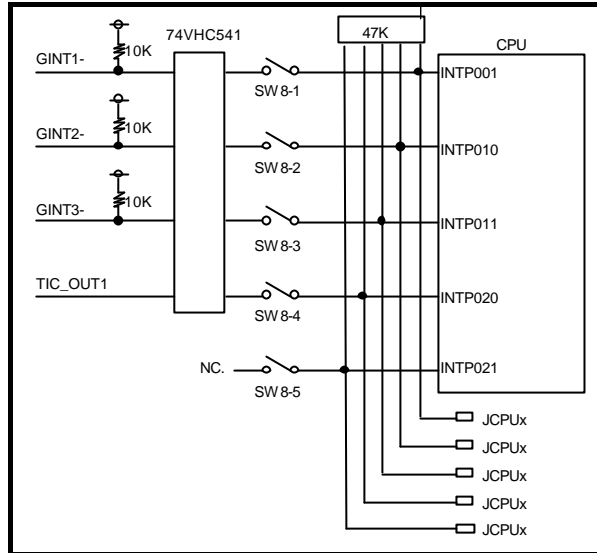
- **UART\_INT** : TL16C550C の UART の割り込みです (「7.4.7 UART (TL16C550C:7807000H - 7807070H)」参照) 参照)
- **TOUT0\_INT** : TIC (  $\mu$ PD71054 ) の CH#0 の TOUT による割り込みです (「7.4.8 TIC (  $\mu$ PD71054 7808000H ~ 7808030FH)参照)
- **TO\_RDY\_INT**: タイムオーバ・レディーの発生による割り込みです(「10.3 PCMO/WAIT0-参照)
- **GINTO0**:-GBUS:GINTO0からの割り込みです。(「14 APPEDIX.C GBUS 共通仕様の14.2 信号」参照)

NMI1 の生成ロジックの概念図を下図に示します。下図の xxx\_MASK 信号は、PIC のレジスタへの設定を示します (「7.4.6 割り込みコントローラ(PIC:7804000H - 7804020H [Read/Write])」参照)。



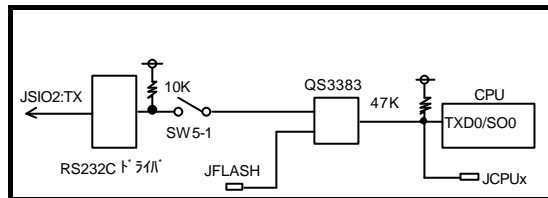
**10.6. P2/INTP001,P11/INTP010,P12/INTP011,P21/INTP020**

P2/INTP001,P11/INTP010,P12/INTP011,P21/INTP020 は、割り込みとして使用し、GBUS-INT0,1,2、及び、TIC\_OUT1(タイマーCH1 の出力)がスイッチを経由して接続されています。それぞれの接続の様子を下図に示します。



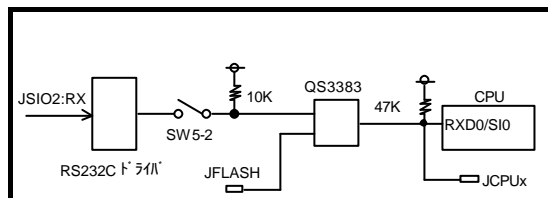
**10.7. P40/SO0/TXD0**

P40/SO0/TXD0 端子は、RS232C 送信ドライバを経て、SIO2 の Tx に使用されています。この様子を下図に示します。



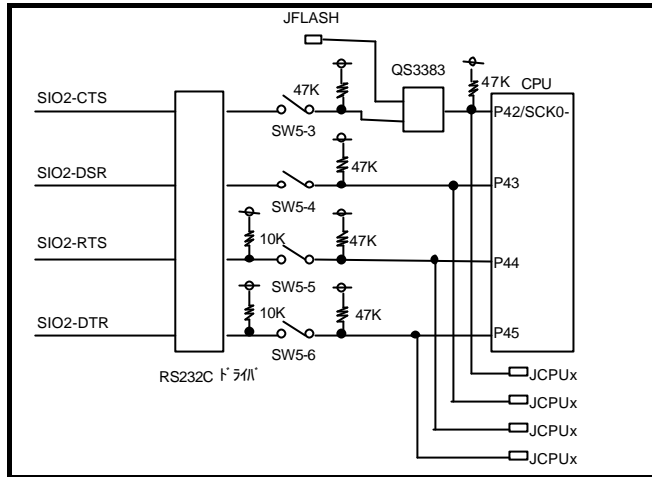
**10.8. P41/SI0/RXD0**

P41/SI0/RXD0 端子は、SIO2 の Rx を RS232C 受信ドライバで TTL に変換した信号がスイッチを経由して接続されています。この様子を下図に示します。



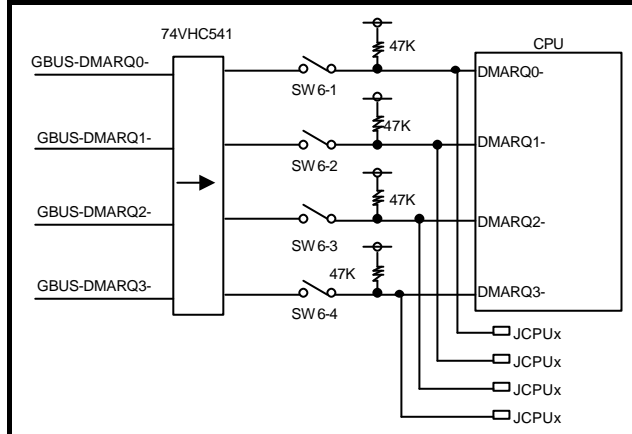
**10.9. P42/SCK0-,P43/SO1/TXD1,P44/SI1/TXD0,P45/SCK1-**

これらの端子は、RS232C 送受信ドライバを経て、SIO2 の CTS,DTR,RTS,DTR に使用されています。  
この様子を下图に示します。



**10.10.P4/INTP100/DMARQ0-..P7/INTP103/DMARQ3-**

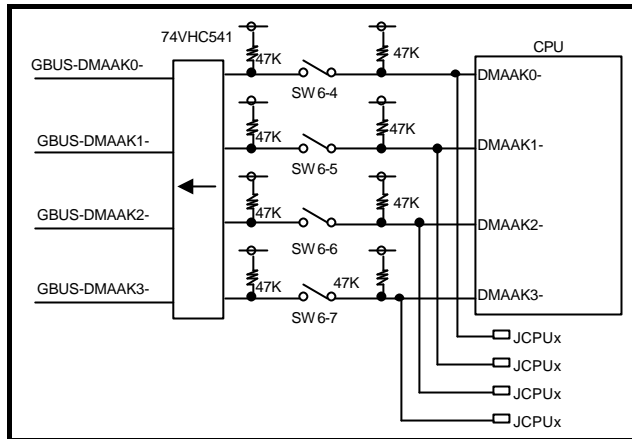
これらの信号ピンには、GBUS からの DMARQ 要求をバッファを介し、スイッチを経由して接続されています。この様子を下图に示します。



**10.11.PBD0/DMAAK0-..PBD3/DMAAK3-**

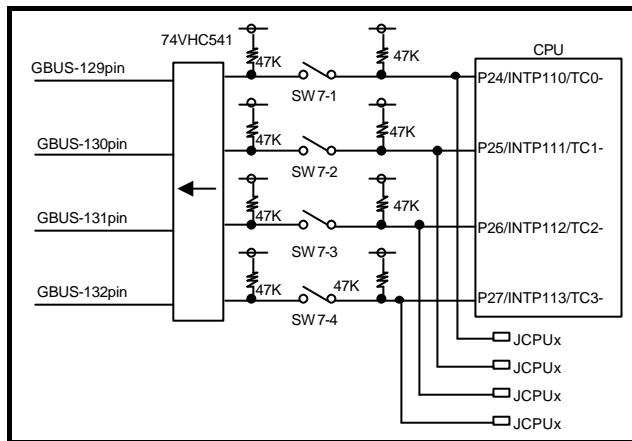
これらの信号ピンは、CPU の出力した信号スイッチを経由してバッファを介し、GBUS の DMAAK に接続されています。この様子を下图に示します。





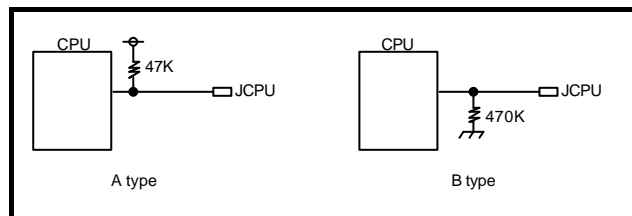
10.12.P24/INTP110/TC0-..P27/INTP113/TC3-

これらの信号ピンは、CPU の出力した信号の論理を反転し、スイッチを経由して GBUS のリザーブピンに接続されています。この様子を下图に示します。



10.13.その他の信号

ボード内で使用していない信号は、下图のように JCPU コネクタに接続しています。



## 11.GBUS 個別仕様

本章では、RTE-V850E/MA1-CB での GBUS の使用状況を説明します。GBUS の一般的な仕様については「14 APPENDIX.C GBUS 共通仕様」を参照してください。

### 11.1. 概要

RTE-V850E/MA1-CB での GBUS の信号線使用状況の概要を下表に示します。

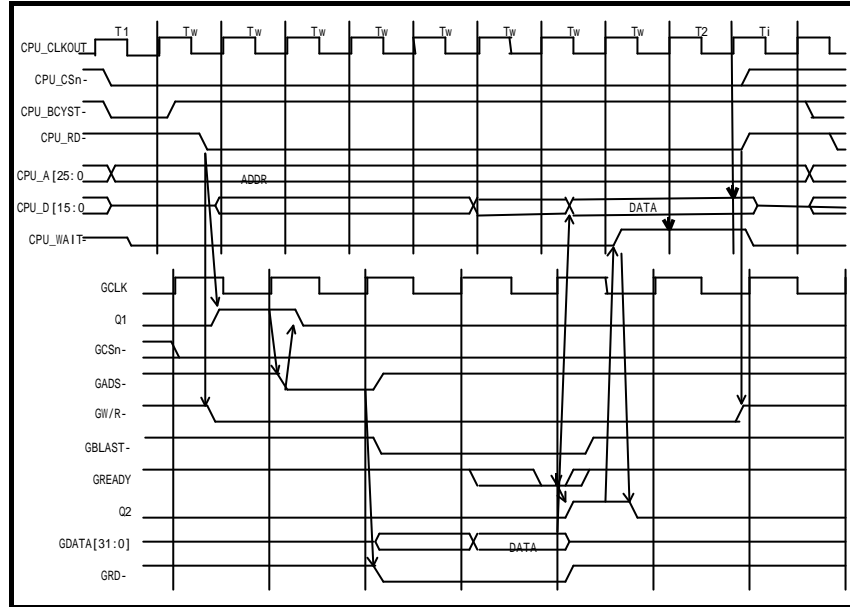
GBUS 信号名	機能	参照
GADDR[31:2]	アドレス線として使用。GADDR[26:31]は未接続。GADDR[25:24]は、Don't care。	
GDATA[31:0]	データ線として使用。リード・サイクル時は、VBCLK の立ち上がりでラッチされたものが CPU に供給される。	
GCS-[6:0]	本ボードで生成して、チップ・セレクト線として出力。	
GCLK	CPU の BUSCLK とは、非同期の 33MHz 固定のクロックを出力。	
GRESETI-	本ボード上で発生したリセット要求を出力。	
GRESETO-	GBUS からのリセット要求として使用。	
GADS-, GREADY-, GBLAST-, GW/R-	バス制御信号として使用。	
GWAITI-	未接続	
GBTERM-	未接続	
GRD-, GWR-	GBUS の制御信号から生成した、RD-, WR-信号を接続。	
GHOLD-, GH LDA-	未接続	
GBREQ-	未接続	
GDMARQ-[3:0]	DMA リクエスト信号として使用。	10.10
GDMAAK-[3:0]	DMA アクノリッジ信号として使用。	10.11
GINTO-[3:0]	割り込み要求信号として使用。	10.6
GINTI-[1:0]	GINTI0 と GINTI1-へは、それぞれ TIC(μPD71054)の OUT0 と OUT1 を接続。	10.6
GETC[7:0]	未接続。	
GAHI_EN-	未接続	
GMOTHER_DETECT-	タイムオーバ・レディー生成回路で使用。	
GUSE_DIRECT_ACC-	未接続	
GCLK_LOW-	未接続	
GLOCK-[1:0]	未接続	

## 11.2. バス・サイクル

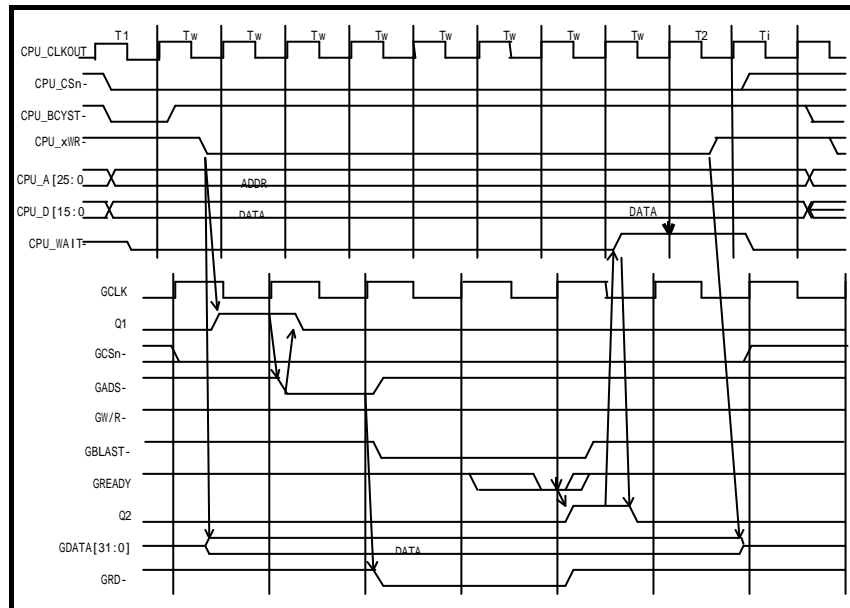
GBUS の GCLK へは、CPU の CLK とは非同期の 33Mhz クロックを接続しています。また、GAHI\_EN-を未接続にしているため、GADDR[26:31]は未接続になっています。また、GADDR[24:25]は常に[0,0]です。

GBUS からのリード・サイクルは、GBUS 上で 0Wait 動作が可能です。

以下に示す波形で、CPU\_xxx 信号は CPU の信号です。また、Gxxx 信号は GBUS の信号です。  
リード・サイクルの様子を下図に示します。



ライト・サイクルの様子を下図に示します。



### 11.3. チップセレクト

本ボードでは、GBUS の各チップセレクトには、下記の空間が割り当てられています。下記の全ての空間では、CPU 内蔵のバス・コンフィグレーション・レジスタの設定は、16 ビット・データバス幅、0 または 1Wait に設定してください（「7.2.1 MEMC レジスタ」参照）。

GBUS 信号名	CPU アドレス空間	物理アドレス範囲	RTE-MB-A の資源
GCS0-	CS3 空間の ADDR[25,24] = [0,1] の空間	5000000 - 5FFFFFFF	共有 SRAM(2M)
GCS1-	CS3 空間の ADDR[25,24] = [1,0], ADDR[23] = 0 の空間 SW2-1(FBOOT)が ON の時は、CS0 の空間	6000000 - 67FFFFFF 0000000 - 03FFFFFF	フラッシュ ROM(8M)
GCS2-	CS3 空間の ADDR[25,24] = [1,1], ADDR[23..19] = [10010] の空間	7900000 - 797FFFFF	IO レジスタ
GCS3-	CS3 空間の ADDR[25,24] = [1,0], ADDR[23] = 1 の空間	6800000 - 6FFFFFFF	EXT-bus:メモリ空間
GCS4-	CS3 空間の ADDR[25,24] = [1,1], ADR[23..21] = [101]の空間	7A00000 - 7BFFFFFF	EXT-Bus:IO 空間
GCS5-	CS3 空間の ADDR[25,24] = [0,0]の空間	4000000 - 4FFFFFFF	PCI バス空間
GCS6-	CS3 空間の ADDR[25,24] = [1,1], ADDR[23..19] = [10011]の空間	7980000 - 798FFFFF	PCI-Cont レジスタ

## 12. APPEDIX.A Multi モニタ

Multi用のモニタ ROM を使用して、ホストの Multi デバッガと接続して使用する場合の設置方法と使用上の注意事項について説明します。

### 12.1. ボードの設置

#### 12.1.1. RTE for Win32 のインストール

Multi デバッガを使用する場合には、PC に通信用のソフトウェア ( RTE for Win32 ) をインストールする必要があります。ソフトウェアのインストールとテストについては、添付の「 RTE for Win32 インストール・マニュアル」を参照してください。

#### 12.1.2. SW1 の設定

SW1 は、汎用の入力ポートのスイッチですが、実装されている Multi 用のモニタでは、以下の通り使用しています。正しく設定してご使用ください。

SW1 番号	1	2	ボーレート	
設定	ON	ON	115200 baud	
	OFF	ON	38400 baud	
	ON	OFF	19200 baud	
	OFF	OFF	9600 baud (出荷時の設定)	

ボーレートの設定

SW1 番号	3	4	プロファイラ周期	
設定	ON	ON	タイマを使用しない	
	OFF	ON	200 Hz	5 ms
	ON	OFF	100 Hz	10 ms
	OFF	OFF	60 Hz	16.67ms (出荷時の設定)

プロファイラ周期の設定

SW1 番号	8	デバッガのモード
設定	ON	テストモードでモニタを立ち上げます。
	OFF	通常の使用状態 (出荷時の設定)

デバッグモードの設定

SW1-5～7 は、Multi モニタでは使用していません。

SW1-8 を ON にした場合、立上げに時間がかかります。また、LED に対しモニタが表示を行います。通常は、OFF の状態でご使用ください。

#### 12.1.3. ボードの接続

「6 ホスト PC との接続」を参照して、シリアルで PC と接続してください。

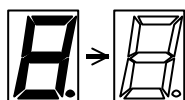
## 12.2. Multi モニタ

### 12.2.1. 起動時の 7Seg-LED

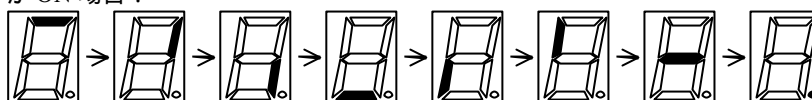
Multi 用の ROM モニタは、ボードの電源を入れると 7Seg-LED が次のように動きます（黒い部分が点灯部分）。

1) 7Seg-LED のチェック動作（下図参照）

SW1-8 が OFF の場合：



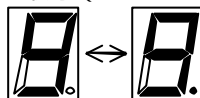
SW1-8 が ON 場合：



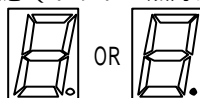
2) SRAM の簡易メモリチェックによる数字のカウンタ

SW1-8 が OFF の場合は行いません。

3) 接続待ち状態（プロファイラのタイマを停止している場合は、ドットの点滅なし）



4) 接続状態（ドットの点灯は、接続した時のドットの点灯状態が保持される）



### 12.2.2. ROM モニタ・ワーク RAM

ROM モニタでは、SRAM の上位の 32KB（4F8000H – 4FFFFFFH）をワーク用の RAM として使用しています。したがって、この空間とこの空間のイメージ領域は、ユーザ・プログラムで使用できません。

### 12.2.3. モニタ割り込み

モニタ通信、タイマ及び、強制ブレークで使用する割り込みは、SW2-5 で選択された割り込みを使用します。

### 12.2.4. \_INIT\_SP の設定

モニタで \_INIT\_SP（スタック・ポインタの初期値）は、4F7FF0H（モニタ・ワーク RAM の直前）に設定されています（Multi の環境で \_INIT\_SP で変更することもできます）。モニタでは、ユーザ・プログラムで設定したスタック領域を 32 バイト使用します。

### 12.2.5. タイマ割り込み

タイマ割り込みを禁止しますと、Multi のプロファイラ機能が使用できません（タイマ割り込みの設定については『12.1.2 SW1 の設定』を参照）。

### 12.2.6. ハードウェアの初期化

ROM モニタでは、ボード上の資源に対し、直にアクセスできるように初期化を行っています。

### 12.2.7. 特殊命令

以下の命令を、シングルステップ、ブレークポイント及びシスコール機能で使用しています。

BRKTRAP 命令（0xnn40）

ユーザプログラム内では、ブレーク命令と解釈されるコードは使用しないでください。

### 12.3. RTE コマンド

サーバと接続すると TARGET ウィンドウが開かれ、ここで RTE コマンドを発行することができます。表に RTE コマンドの一覧を示します。

コマンド名	内容
HELP, ?	ヘルプ表示
INIT	イニシャライズ
VER	バージョン表示
SFR	内部 I/O 表示 / 設定

RTE コマンド一覧

各コマンドには、パラメータを必要とするものがあります。アドレスやデータなど、数値のパラメータは、全て 16 進数とみなされます。以下の数値指定は誤りです。

0x1234    1234H    \$1234

#### 12.3.1. HELP(?)

<書式>    HELP [コマンド名]

HELP は、RTE コマンドの一覧や書式を表示します。また、“HELP”と入力するかわりに“?”としても同様です。コマンド名を省略すると、使用できるコマンド一覧を表示します。

<例>      HELP SFR

SFR コマンドのヘルプを表示します。

#### 12.3.2. INIT

<書式>    INIT

INIT は、RTE 環境の初期化を行ないます。通常、このコマンドを使用しないでください。

#### 12.3.3. VER

<書式>    VER

VER は、RTE 環境のバージョンを表示します。

#### 12.3.4. SFR コマンド

<書式>    SFR [レジスタ名 [=データ]]

レジスタ名を指定してデータを省略した場合は、そのレジスタからリードしたデータを表示します。レジスタ名と“=”の後にデータを指定した場合には、そのレジスタにデータをライトします。データのサイズは、指定したレジスタの有効サイズで自動的に決定されます。内部 I/O レジスタの詳細については、V850E/MA1-CPU のマニュアルを参照してください。

<例 1>    SFR

レジスタ一覧を表示します。

<例 2>    SFR IMR

レジスタ IMR の内容を表示します。

<例 3>    SFR IMR=55AA

レジスタ IMR にデータ 55AAH をライトします。

## 13.APPEDIX.B PARTNER モニタ

PARTNER 用のモニタ ROM を使用して、ホストの PARTNER と接続して使用する場合の設置方法と使用上の注意事項について説明します。

### 13.1. ボードの設置

#### 13.1.1. SW1 の設定

SW1 は、汎用の入力ポートのスイッチですが、実装されている PARTNER 用のモニタでは、以下の通り使用しています。正しく設定してご使用ください。

SW1 番号	1	2	ボーレート
設定	ON	ON	115200 Baud
	OFF	ON	38400 baud
	ON	OFF	19200 baud
	OFF	OFF	9600 baud (出荷時の設定)

#### ボーレートの設定

SW1 番号	3	4	タイマ
設定	ON	ON	常時この状態でご使用ください。

SW1 番号	8	デバッガのモード
設定	ON	テストモードでモニタを立ち上げます。
	OFF	通常の使用状態 (出荷時の設定)

#### デバッグモードの設定

SW1-5～7 は、Partner モニタでは使用していません。

SW1-8 を ON にした場合、立上げに時間がかかります。また、LED に対しモニタが表示を行います。通常は、OFF の状態でご使用ください。

#### 13.1.2. ボードの接続

「6 ホスト PC との接続」を参照して、シリアルで PC と接続してください。



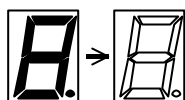
## 13.2. PARTNER モニタ

### 13.2.1. 起動時の 7Seg-LED

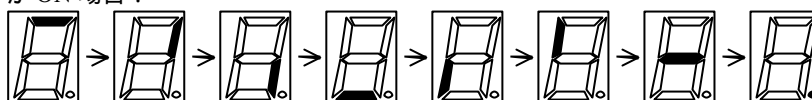
Partner 用の ROM モニタが実装されている場合、ボードの電源を入れると 7Seg-LED が次のように動きます（黒い部分が点灯部分）。

1) 7Seg-LED のチェック動作（下図参照）

SW1-8 が OFF の場合：



SW1-8 が ON 場合：



2) RAM の簡易メモリチェックによる数字のカウント

SW1-8 が OFF の場合は行いません。

3) 接続待ち状態



4) 接続状態



### 13.2.2. ROM モニタ・ワーク RAM

ROM モニタでは、SRAM の上位の 32KB (4F8000H - 4FFFFFFH) をワーク用の RAM として使用しています。したがって、この空間とこの空間のイメージ領域は、ユーザ・プログラムで使用できません。

### 13.2.3. モニタ割り込み

モニタ通信及び、強制ブレーク（ESC ボタン）で使用する割り込みは、SW2-5 で選択された割り込みを使用します。

### 13.2.4. SP の設定

モニタのスタック・ポインタの初期値は、4F-7FF0H に設定されています。モニタでは、ユーザ・プログラムで設定したスタック領域を 32 バイト使用します。

### 13.2.5. ハードウェアの初期化

ROM モニタでは、ボード上の資源に対し、直にアクセスできるように初期化を行っています。

### 13.2.6. 特殊命令

モニタでは、以下の命令を、シングルステップ、ブレークポイント及びシスコール機能で使用しています。

BRKTRAP 命令 (0xn40)

ユーザプログラム内では、ブレーク命令と解釈されるコードは使用しないでください。

## 14.APPEDIX.C GBUS 共通仕様

ここでは、ボードの品種に依存しないGBUSの仕様について説明します。

### 14.1. 用語

この章で用いる用語について説明します。

#### 14.1.1. CPUボードとマザー・ボード

RTE-CBシリーズのボードのことをCPUボード、CPUボードのGBUSに接続する弊社製のボードをマザー・ボードと呼ぶことにします。

#### 14.1.2. バス・サイクル、マイクロ・サイクル

GBUSは、バースト・アクセス可能な一般的なバスです。

バス・サイクルとは、アクセスがバーストした場合も含み、一連のサイクルが終了するまでの区切りのことを示すものとします(1回のGADSのアサートが必要とされる区切り)。

バス・サイクルには、シングル・サイクルとバースト・サイクルがあります。シングル・サイクルとは、1回のデータ転送しか発生しないバス・サイクルのことを示します。バースト・サイクルとは、複数回のデータの転送が発生するバス・サイクルのことを示します。

また、バースト・サイクルのデータ転送1回ごとのサイクルをマイクロ・サイクルと呼ぶことにします。

### 14.2. 信号

GBUSの信号の内容を下表に示します。GBUSの各信号の入出力方向は、マザー・ボード側を基準にして記述します。つまり、「入力」とある場合、CPUボードから出力されマザー・ボードへ入力される信号を示します(信号名にもこの基準が適用されています)。

下表で「双方向」と記載されている信号はバス・サイクルの状態では信号の向きが切り替わることを示します。

また、「入力/出力」と記載されている信号はバス・マスタがCPUボードなのかマザー・ボードなのかによって信号の向きが切り替わる事を示し、前に書かれているのがCPUボードがバス・マスタの時の信号の方向、後に書かれているのがマザー・ボードがバス・マスタの時の信号の方向を示します。

GBUSの信号は、+5VのTTLレベルです。また、マザー・ボードは常にリトル・エンディアンです。

信号名	入出力	機能
GCLK	入力	<ul style="list-style-type: none"> <li>GBUSの同期クロック。最高周波数は33.33MHz。最低周波数は10.0MHz。GBUSはこのクロックの立ち上がり同期して動作する。</li> <li>マザー・ボード上では、+5VとGNDに対してそれぞれ330Ωでターミネーションされるため、CPUボードの回路はこれをドライブできなければならない。</li> <li>GCLKが16.67MHzより周波数が低い場合、GCLK_LOWをLowにする。これにより、マザー・ボードはウェイト数の調整を行える。</li> <li>この信号は、PLL(Phase Lock Loop)によるゼロ・ディレイ・バッファが使用される場合があるので、GCLKの周波数を変更した場合は、PLLのロックのために周波数変更後最低でも1m秒の間はマザー・ボードにアクセスしてはならない。</li> </ul>
GRESETI-	入力	<ul style="list-style-type: none"> <li>GBUSのリセット信号。CPUボード上でリセットが発生した時に、この信号をLowにする。マザー・ボードはこの信号によってリセットされる(マザー・ボード上の他の要因によってマザー・ボードがリセットされる場合もある)。</li> </ul>
GRESETO-	出力	<ul style="list-style-type: none"> <li>マザー・ボードのリセットが発生した場合、Lowになる信号。</li> <li>マザー・ボードでは、マザー・ボード上で発生したリセットとGRESETI-をORしたものをGRESETO-とする。したがってCPUボードは、GRESETI-とGRESETO-をORした信号で、CPUボード上の回路をリセットする(GRESETI-とGRESETO-をORするのは、マザー・ボードが接続されていない時のため)。</li> </ul>

信号名	入出力	機能
GADDR[31:2]	入力/出力	<ul style="list-style-type: none"> <li>GBUSのアドレス信号。サイクル中は常に有効な値でドライブされる。</li> <li>GADDR[31]は、CPUがバス・マスタの場合、マザー・ボード上で無視される。</li> <li>下位アドレスのA1,A0は、バイト・イネーブル信号を用いる。</li> <li>GAHL_EN-信号により、CPUボードからのGADDR[31:26]を0として扱うようにできる。</li> <li>バス・マスタがマザー・ボードの場合、GADDR[25]が0の時、マザー・ボード上の資源が、GADDR[25]が1の時CPUボード上の資源が選択されていることを示します。</li> </ul>
GBEN-[3:0]	入力/出力	<ul style="list-style-type: none"> <li>GBUSのバイト・イネーブル信号。サイクル中は常に有効な値でドライブされる。</li> <li>それぞれ、GBEN0-がGDATA[7:0]、GBEN1-がGDATA[15:8]、GBEN2-がGDATA[23:16]、GBEN3-がGDATA[31:24]の各バイト・レーンに対応し、GBENx-がLowの時に対応するバイト・レーンが有効。</li> </ul>
GDATA[31:0]	双方向	<ul style="list-style-type: none"> <li>GBUSのバス・データ信号。</li> <li>マザー・ボード上で10KΩでプルアップされる。</li> <li>この信号の方向は、GW/R-により決定する。</li> </ul>
GADS-	入力/出力	<ul style="list-style-type: none"> <li>GBUSのアドレス・ストロブ信号。GCLKの立ち上がりでこの信号がLowにサンプルされると、バス・サイクルの開始を示す。</li> <li>マザー・ボードは、いずれのチップ・セレクト信号(GCS-[7:0])もアクティブでない場合GADS-は無視する。</li> </ul>
GREADY-	出力/入力	<ul style="list-style-type: none"> <li>GBUSのレディー信号。マイクロ・サイクル中にGCLKの立ち上がりでこの信号がLow、GWAITI-がHighにサンプルされると、マイクロ・サイクルの終了を示す。</li> <li>CPUボードからマザー・ボードに対するアクセス時のタイムオーバ・レディは、マザー・ボードが生成する。これは、GREADY-信号がぶつかってしまうのを回避するためである。</li> </ul>
GWAITI-	入力	<ul style="list-style-type: none"> <li>ウェイト要求信号。GCLKの立ち上がりでサンプルされる。</li> <li>CPUボード側の都合で、少ないWait数のサイクルに対応できない場合、CPUボードはGREADY-のサンプル・タイミングで、GWAITI-をLowにサンプルされるようにすることで、仮にそのタイミングでGREADY-がLowであったとしても、それをマザー・ボードにレディーとして扱わせないことができる。通常、CPUボードがゼロWaitパーストに対応できない場合などに使用する(「14.6.3 GWAITI-」参照)。</li> <li>この信号は、CPUボードがバス・マスタのサイクルのみ有効。</li> </ul>
GBLAST-	入力/出力	<ul style="list-style-type: none"> <li>バス・サイクル終了通知信号。GCLKの立ち上がりでサンプルされる。</li> <li>バス・サイクルを終了するマイクロ・サイクルの開始時から、バス・マスタがLowにアサートします。</li> <li>GBLAST-がLow、GREADY-がLow、GWAITI-がHighがGCLKの立ち上がりでサンプルされると、バス・サイクルが終了します。</li> </ul>
GBTERM-	出力/入力	<ul style="list-style-type: none"> <li>バス・サイクル終了要求信号。GCLKの立ち上がりでサンプルされる。</li> <li>アクセスされている側が、バス・サイクルの終了を要求する場合、GREADY-信号と共にGBTERM-信号をLowにする。バス・マスタは、GREADY-がLowとしてサンプルした時、GBTERM-もLowとサンプルした場合、GBLAST-をアサートしていても、バス・サイクルを一旦終了させ、改めてGADS-をアサートしてバス・サイクルを開始しなければならない。GBTERM-のアサートはGREADY-のアサートと同時になければならない。</li> <li>この信号は、アクセスされている側が、パースト・サイクルに対応していなかったり、対応しているパースト回数を越えるパースト・サイクルを要求された場合に、バス・サイクルを終了させるために使用する。</li> </ul>
GW/R-	入力/出力	<ul style="list-style-type: none"> <li>Write/Read信号。データ・バスの方向を示す。バス・サイクル中、常に有効な値でドライブされる。</li> <li>この信号はバス・マスタにとってのデータ・バスの方向を示す。</li> </ul>
GCS-[7:0]	入力	<ul style="list-style-type: none"> <li>チップ・セレクト信号。バス・サイクル中、常に有効な値がドライブされる。</li> <li>CPUボードがバス・マスタの時に、マザー・ボード上の資源を指定するために該当するチップ・セレクト信号をアクティブにする。</li> <li>各チップ・セレクト信号は、メモリ/I/O空間の別、空間の広さなどに規定がある(「14.5 GCS-[7:0]の割り付け」参照)。</li> </ul>

信号名	入出力	機能
GRD-	入力	<ul style="list-style-type: none"> <li>・ リード・タイミング信号。CPU ボードがバス・マスタの時にアサートされる。</li> <li>・ この信号はマザー・ボードでは使用しない。</li> <li>・ 通常、CPU の RD-コマンド信号がある場合は、その信号が接続される。</li> </ul>
GWR-	入力	<ul style="list-style-type: none"> <li>・ ライト・タイミング信号。CPU ボードがバス・マスタの時にアサートされる。</li> <li>・ この信号はマザー・ボードでは使用しない。</li> <li>・ 通常、CPU の WR-コマンド信号がある場合は、その信号が接続される。</li> </ul>
GHOLD-	出力	<ul style="list-style-type: none"> <li>・ バス・ホールド要求信号。</li> <li>・ マザー・ボードが CPU ボード上の資源にアクセスする場合、Low にアサートしバス権を要求する。</li> <li>・ GUSE_DIRECT_ACC-信号が High の場合、CPU ボード側にマザー・ボードからアクセス可能な資源がないことを示し、この場合 CPU ボードは GHOLD-に対応する必要はない。</li> </ul>
GHLDA-	入力	<ul style="list-style-type: none"> <li>・ バス・ホールド応答信号。</li> <li>・ CPU ボードがマザー・ボードに GBUS のバス権を渡したことを示す信号で、その時 Low にアサートされる。</li> <li>・ GUSE_DIRECT_ACC-信号を High にしている CPU ボードは、この信号を未接続にできる。</li> </ul>
GBREQ-	入力	<ul style="list-style-type: none"> <li>・ バス権返還要求信号。</li> <li>・ GHLDA-が Low にアサートし、マザー・ボードにバス権を渡している間に、CPU ボードがバス権を必要とした場合に GBREQ-を Low にアサートする。</li> <li>・ GBREQ-が Low にアサートされた時、マザー・ボードがバス・サイクル中だった場合、次のマイクロ・サイクルで GBLAST-をアサートして、次のマイクロ・サイクルでバス・サイクルを終了し、GHOLD-をデアサートしなければならない。</li> <li>・ GBREQ-は、マザー・ボードがバス・マスタのバス・サイクルのバースト回数が多い場合や、リフレッシュ・サイクルなどの優先順位の高いバス・サイクルが CPU ボード上で保留されている場合など、一旦バス権を CPU ボードに返させたい場合に使用する。</li> </ul>
GDMARQ-[3:0]	出力	<ul style="list-style-type: none"> <li>・ DMA 要求信号。サポートされる DMA は、2 サイクル DMA のみで、フライバイ DMA はサポートされない。</li> <li>・ マザー・ボード上で DMA 要求が発生した場合、Low にアサートする。</li> <li>・ CPU ボードは 4 本全ての DMA をサポートしなければならないが、同時に起動できる DMA の数、および GDMAAK-信号が対応できる本数については、CPU ボードに依存する。</li> <li>・ CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てる。</li> </ul>
GDMAAK-[3:0]	入力	<ul style="list-style-type: none"> <li>・ DMA 応答信号。</li> <li>・ マザー・ボードからの DMA 要求に応答する場合に Low にアサートする。</li> <li>・ CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てる。</li> <li>・ マザー・ボードは、GDMAAK-信号がなくとも動作するように設計されている。</li> </ul>
GINTO-[3:0]	出力	<ul style="list-style-type: none"> <li>・ 割り込み要求信号。</li> <li>・ GINTO0-は、レベル・センシティブとして使用可能。</li> <li>・ GINTO-[3:1]は、レベル・センシティブとエッジ・センシティブのどちらで使用可能かは、CPU ボードに依存する (CPU に直結される場合があるため)。マザー・ボードはどちらにでも対応可能なようになっている。</li> <li>・ Low レベル時、もしくは立ち下がりエッジで割り込み発生を示す。</li> </ul>
GINTI-[1:0]	入力	<ul style="list-style-type: none"> <li>・ 割り込み要求信号</li> <li>・ CPU ボード上の割り込みを、他のマザー・ボード上の割り込みと合成して GINTO-[3:0]に戻すために設けられた割り込み信号。</li> <li>・ 通常は CPU ボード上の TIC ( <math>\mu</math>PD71054 ) の OUT0 と OUT1 が接続される。マザー・ボードは、この割り込み信号に対して、センシティブの種類やポラリティについて、プログラマブルになっている。</li> </ul>

信号名	入出力	機能
GETC[7:0]		<ul style="list-style-type: none"> <li>・ CPU ボード依存信号。</li> <li>・ 信号の方向や信号の内容まで含めて、GETC[7:0]の内容についてはCPU ボードが決定する。CPU ボードは特別な目的の信号をマザー・ボードとやり取りする場合は、この信号を用いる。</li> </ul>
GAHI_EN-	入力	<ul style="list-style-type: none"> <li>・ アドレス上位有効信号。</li> <li>・ この信号が Low の時、CPU ボードがバス・マスタの場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていることを示す。この信号が High の場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていないことを示し、マザー・ボード上の回路は、GADDR[31:26]が全て Low として処理する。</li> </ul>
GMOTHER_DETECT-	出力	<ul style="list-style-type: none"> <li>・ マザー・ボード検出信号。</li> <li>・ この信号は、CPU ボード上でプルアップされ、マザー・ボード上で GND に接続される。マザー・ボードが接続されている事を CPU ボード側で判断しなければならない場合にこの信号を使用する。例えば、CPU ボードのタイムオーバ・レディ生成回路。</li> </ul>
GUSE_DIRECT_ACC-	入力	<ul style="list-style-type: none"> <li>・ この信号が Low の時、CPU ボード側にマザー・ボードからアクセス可能な資源が存在することを示す。</li> </ul>
GCLK_LOW-	入力	<ul style="list-style-type: none"> <li>・ この信号が Low の時、GCLK の周波数が 16.67MHz 以下であることを示す。High の場合は、GCLK の周波数が 16.67MHz ~ 33.33MHz であることを示す。</li> <li>・ マザー・ボード上の回路は、この信号を使用して、マザー・ボード上の資源へのアクセスの際のウェイト数を決定する。</li> </ul>
GBLOCK-[1:0]	入力	<ul style="list-style-type: none"> <li>・ バス・ロック信号。バス・サイクル中と、ロックするバス・サイクル間で有効でなければなりません。</li> <li>・ CPU からバス・ロック信号が出力されている場合、この端子を使用してバス・ロック信号をマザー・ボードに接続する。</li> <li>・ GBLOCK0-信号は、GCS0-の空間に対して有効。GBLOCK1-は、GCS5-と GCS7-の空間に有効。</li> </ul>
+5V	出力	<ul style="list-style-type: none"> <li>・ 電源。+5V±5%をマザー・ボードから CPU ボードへ供給する。</li> </ul>
+12V	出力	<ul style="list-style-type: none"> <li>・ 電源。+12V±10%をマザー・ボードから CPU ボードへ供給する。ただし、CPU ボードが+12Vを必要としていなければマザー・ボードは+12Vを供給する必要はない。</li> </ul>

## 14.3. ピン配置

下表に GBUS のピン配置を示します。Reserve は予約済みのピンを、N/C は未接続のピンを示します。

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+12V	2	+12V	3	GND	4	+5V
5	GADDR2	6	GADDR3	7	GADDR4	8	GADDR5
9	GADDR6	10	GADDR7	11	GND	12	+5V
13	GADDR8	14	GADDR9	15	GADDR10	16	GADDR11
17	GADDR12	18	GADDR13	19	GADDR14	20	GADDR15
21	GND	22	+5V	23	GADDR16	24	GADDR17
25	GADDR18	26	GADDR19	27	GADDR20	28	GADDR21
29	GADDR22	30	GADDR23	31	GND	32	+5V
33	GADDR24	34	GADDR25	35	GADDR26	36	GADDR27
37	GADDR28	38	GADDR29	39	GADDR30	40	GADDR31
41	GND	42	+5V	43	GBEN3-	44	GBEN2-
45	GBEN1-	46	GBEN0-	47	GND	48	+5V
49	GDATA31	50	GDATA30	51	GDATA29	52	GDATA28
53	GDATA27	54	GDATA26	55	GDATA25	56	GDATA24
57	GND	58	+5V	59	GDATA23	60	GDATA22
61	GDATA21	62	GDATA20	63	GDATA19	64	GDATA18
65	GDATA17	66	GDATA16	67	GND	68	+5V
69	GDATA15	70	GDATA14	71	GDATA13	72	GDATA12
73	GDATA11	74	GDATA10	75	GDATA9	76	GDATA8
77	GND	78	+5V	79	GDATA7	80	GDATA6
81	GDATA5	82	GDATA4	83	GDATA3	84	GDATA2
85	GDATA1	86	GDATA0	87	GND	88	+5V
89	GND	90	GW/R-	91	GBTERM-	92	GREADY-
93	GRESETI-	94	GADS-	95	GBLAST-	96	GWAITI-
97	GND	98	GCLK	99	GND	100	+5V
101	GCS0-	102	GCS1-	103	GCS2-	104	GCS3-
105	GCS4-	106	GCS5-	107	GCS6-	108	GCS7-
109	Reserve	110	Reserve	111	Reserve	112	Reserve
113	GRD-	114	GWR-	115	GND	116	+5V
117	GHOLD-	118	GHLDA-	119	GBREQ-	120	N/C
121	GDMARQ0-	122	GDMARQ1-	123	GDMARQ2-	124	GDMARQ3-
125	GDMAAK0-	126	GDMAAK1-	127	GDMAAK2-	128	GDMAAK3-
129	Reserve	130	Reserve	131	Reserve	132	Reserve
133	GND	134	+5V	135	GINTO0-	136	GINTO1-
137	GINTO2-	138	GINTO3-	139	GINTI0-	140	GINTI1-
141	GETC0	142	GETC1	143	GETC2	144	GETC3
145	GETC4	146	GETC5	147	GETC6	148	GETC7
149	Reserve	150	Reserve	151	GAHI_EN-	152	GMOTHER_DETECT
153	GND	154	+5V	155	GUSE_DIRECT_AC C-	156	GCLK_LOW-
157	GRESETO-	158	GBLOCK0-	159	GBLOCK1-	160	N/C
161	N/C	162	N/C	163	N/C	164	N/C
165	N/C	166	N/C	167	N/C	168	N/C
169	N/C	170	N/C	171	N/C	172	N/C
173	N/C	174	N/C	175	N/C	176	N/C
177	GND	178	+5V	179	+12V	180	+12V

使用するコネクタは下記のもので。

CPU ボード側コネクタ  
マザー・ボード側コネクタ (ストレート)

ケル株式会社製 8817-180-170L  
ケル株式会社製 8807-180-170S

マザー・ボード側コネクタ (Lアングル)

ケル株式会社製 8807-180-170L

#### 14.4. 未使用端子の処理

GBUSのマザー・ボードに対しての入力信号で使用しない信号は、マザー・ボード上でプルアップ/ダウンの処理が行われているため、CPU ボード上で未接続にすることができます。未接続にすることが可能な信号と、未接続時のために行われているマザー・ボード上の処理を下表に示します。

信号名	処理内容
GADDR[31:26]	・ GADDR[31:26]を使用しない場合は、GAHI_EN-信号を High もしくは未接続にすることにより、GADDR[31:26]を未接続にすることができます。この場合、CPU がバス・マスタのときマザー・ボード上では GADDR[31:26]は全ビットが0として扱われる。
GWAITI-	・ プルアップ処理が行われている。
GBLAST-	・ プルアップ処理が行われている。
GBTERM-	・ プルアップ処理が行われている。
GCS-[7:0]	・ プルアップ処理が行われている。
GHLDA-	・ プルアップ処理が行われている。
GBREQ-	・ プルアップ処理が行われている。
GDMAAK-[3:0]	・ プルアップ処理が行われている。
GINTI-[1:0]	・ プルアップ処理が行われている。
GAHI_EN-	・ プルアップ処理が行われている。
GUSE_DIRECT_ACC-	・ プルアップ処理が行われている。
GCLK_LOW-	・ プルアップ処理が行われている。
GBLOCK-[1:0]	・ プルアップ処理が行われている。

#### 14.5. GCS-[7:0]の割り付け

チップセレクト信号 (GCS-[7:0]) の割り付けを下表に示します。全ての空間がバースト・サイクルによるアクセスが可能です。下表の推奨空間に I/O と記載されている空間は、CPU に I/O 空間がある場合は、I/O 空間に割り付けることを推奨していることを示します。また最少範囲とは、CPU ボードは該当チップセレクトの空間に、最低でも最少範囲が示す領域を割り当てなければならないことを示します。最大範囲に記載がある場合は、CPU ボードのアドレス範囲に余裕がある場合、最大範囲が示す領域まで割り当てることが可能なことを示します。

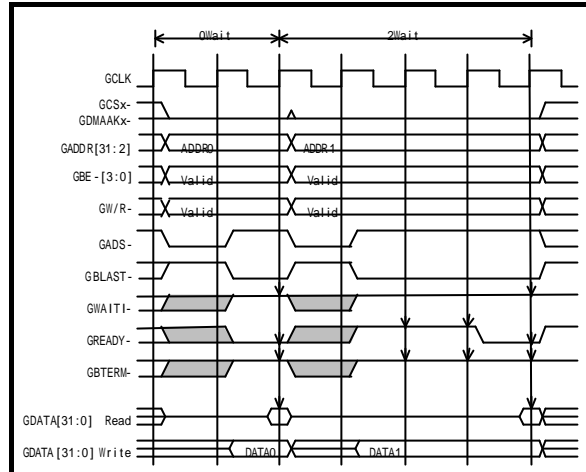
信号名	推奨空間	最少範囲	最大範囲	備考
GCS0-	メモリ	1Mbyte		GLOCK0-によりバス・ロック可能
GCS1-	メモリ	2Mbyte		マザー・ボードでは、この空間にフラッシュ ROM を配置するので、スイッチの切り替えなどで CPU ボード上の UV-EPROM の代わりにこの空間からも Boot できるようにする。
GCS2-	I/O	64Kbyte		
GCS3-	メモリ	64Kbyte	16Mbyte	
GCS4-	I/O	64Kbyte	16Mbyte	
GCS5-	メモリ	1Mbyte	2Gbyte	GLOCK1-によりバス・ロック可能
GCS6-	I/O	512byte		
GCS7-	I/O	64Kbyte	2Gbyte	GLOCK1-によりバス・ロック可能



## 14.6. バス・サイクル

### 14.6.1. シングル・サイクル

GBWAITIおよびGBTERM-が常にインアクティブな場合で、CPU ボードがバス・マスタの場合のシングル・サイクルの様子を下図に示します。マザー・ボードがバス・マスタの場合、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。

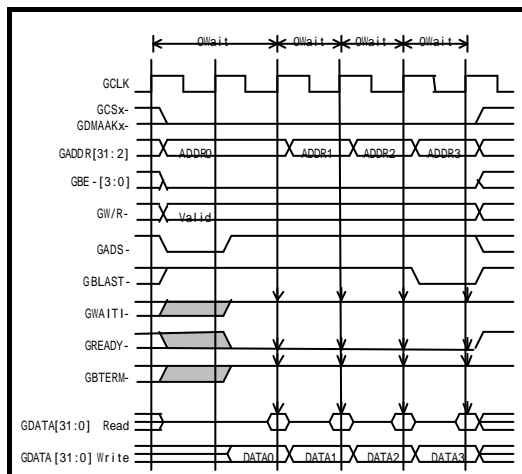


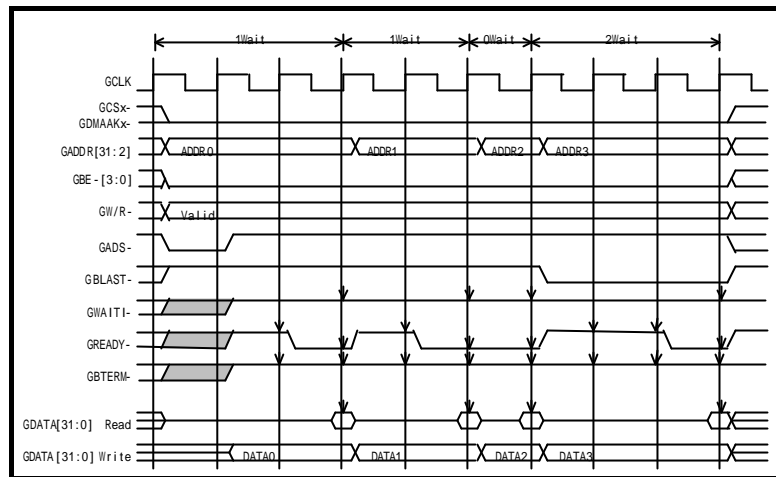
### 14.6.2. バースト・サイクル

バースト・サイクルでは、次のルールがあります。

- ・ GBUS のスペックとしては、バースト・サイクル中のアドレスの順番は問いません。ただし、アクセス対象によっては、アドレス順が規定されてしまうことがあります。
- ・ バースト・サイクル中は GBE-[3:0]は全てアクティブでなければなりません。
- ・ バースト回数（マイクロ・サイクルの数）に制限はありません。アクセス対象側でバースト回数の制限がある場合は、GBTERM-信号を用いてバーストの中断を要求します（「14.6.4 GBTERM-」参照）。

GBWAITIおよびGBTERM-が常にインアクティブな場合で、CPU ボードがバス・マスタの場合のバースト・サイクルの様子を下図に示します。マザー・ボードがバス・マスタの場合、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。





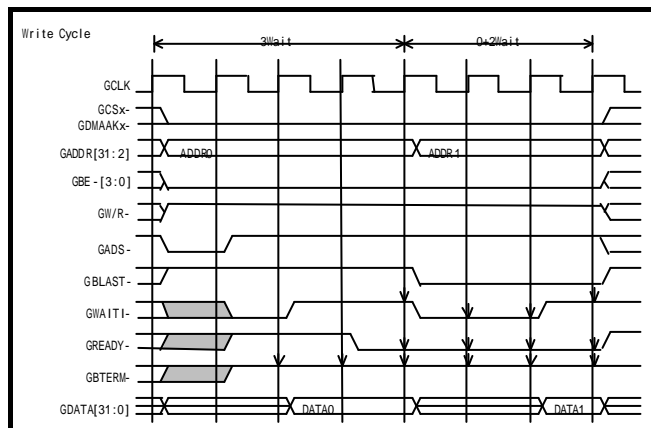
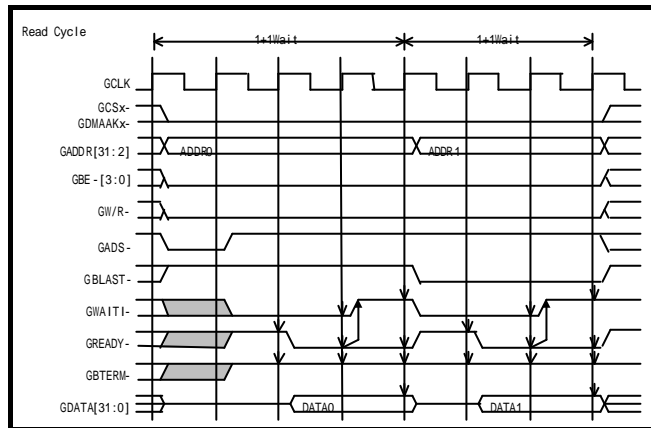
**14.6.3. GWAITI-**

GBWAITI-信号は、CPU ボードがバス・マスタのサイクルで次のような場合に使用できます。

- ・ リード・サイクル時にタイミング的な問題でデータのサンプルができないため、特定クロック数分データのサンプリングを遅らせたい場合。
- ・ ライト・サイクルのバースト・サイクルで、マイクロ・サイクルが終了後すぐに次のマイクロ・サイクルのためのデータの準備ができず、特定クロック数分アクセス対象を待たせたい場合。

言い換えると、リード・サイクルとライト・サイクルで役割は入れ代わりますが、GREADY-とGWAITI-はデータ送信レディーとデータ受信レディーの働きをします。

GWAITI-信号によりウェイトが入っている様子を下図に示します。

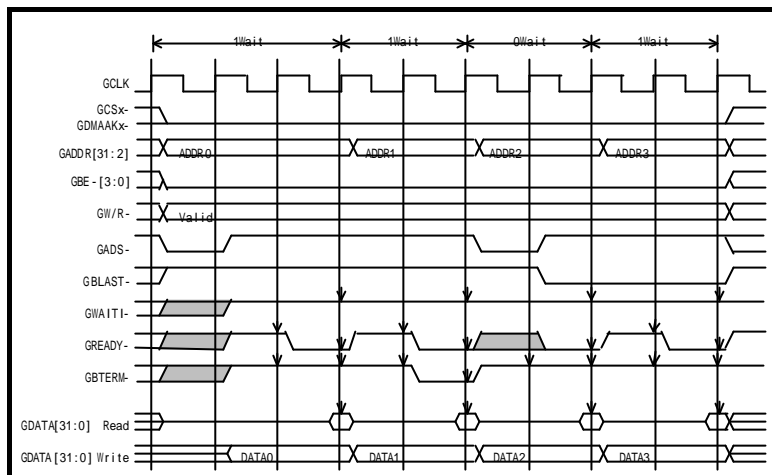


#### 14.6.4. GBTERM-

GBTERM-信号が GREADY-信号と共にアクティブになると、バス・マスタは現在のマイクロ・サイクルを最後にバス・サイクルを終了させ、バースト・サイクルの続きは改めて GADS-をアクティブにしてサイクルを始めます。

GBTERM-信号は、アクセス対象がバースト・サイクルに対応していない場合や、対応バースト回数を越えてアクセスされた場合などにアクティブにします。また、GREADY-信号をアクティブにせずに GBTERM-信号のみをアクティブにすることは禁止されています。

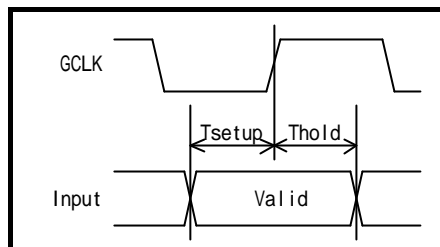
GBTERM-信号によりバースト・サイクルが中断される様子を下図に示します。



## 14.7. タイミング

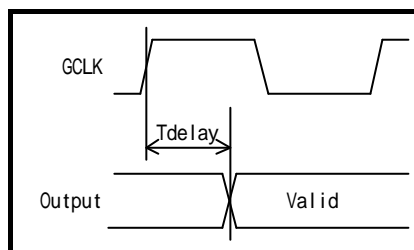
この章では、弊社のマザー・ボードにおけるタイミングについて記述します。CPU ボードはこのタイミングを満たすように設計されています。

### 14.7.1. セットアップ・タイム



信号名	Tsetup Min (nS)	Thold Min (nS)
GADDR[31:2]	12	0
GBEN-[3:0]	8	0
GDATA[31:0]	7	0
GADS-	14	0
GREADY-	9	1
GWAITI-	14	0
GBLAST-	8	0
GBTERM-	8	1
GW/R-	10	0
GCS-[7:0]	14	0
GBREQ-	15	0
GDMAAK-[3:0]	6	0
GLOCK-[1:0]	12	0

### 14.7.2. デレイ・タイム



信号名	Tdelay MAX(nS)
GADDR[31:2]	21
GBEN-[3:0]	17
GDATA[31:0]	21
GADS-	15
GREADY-	15
GBLAST-	17
GBTERM-	16
GW/R-	15

- Memo -