

RTE-V850ES/SA3-CB

ユーザース・マニュアル (Rev. 1.01)

改訂履歴

実施日	Revision	章	内容
2002年7月5日	1.00		正式初版
2002年8月5日	1.01	5.4 9.1	修正 SW2の機能変更と誤記訂正 割り込みベクタアドレスの誤記訂正

目次

1. はじめに	1
1.1. マニュアル表記について	1
2. 機能	2
3. 主な特徴	3
4. 基本仕様	3
5. ボードの構成	4
5.1. リセット・スイッチ (SW_RESET)	4
5.2. 電源コネクタ (JPOWER)	4
5.3. スイッチ 1 (SW1)	4
5.4. スイッチ 2 (SW2)	5
5.5. スイッチ 3 (SW3)	5
5.6. スイッチ 4, 5 (SW4, SW5)	6
5.7. スイッチ 6 (SW6)	6
5.8. スイッチ 7 (SW7)	6
5.9. 7SEG-LED, xxx-LED	6
5.10. ROM エミュレータ用テストピン (JROM-EM1)	7
5.11. クリスタル・ソケット(JXTAL1)	7
5.12. AVDD 切り替えジャンパ (JP1)	7
5.13. LAN91C111:LINK 端子の設定ジャンパ (JP3)	8
5.14. ROM ソケット(U16)と設定ジャンパ(JP2)	8
5.15. フラッシュ書込みコネクタ (JFLASH1)	8
5.16. シリアル・コネクタ (JSIO1, JSIO2)	9
5.17. USB コネクタ (JUSB1)	10
5.18. LAN コネクタ (JLAN1)	10
5.19. JGBUS コネクタ (JGBUS)	10
5.20. 信号観測用コネクタ(J1, J2)	11
5.21. CPU 信号コネクタ (J3, J4)	12
6. ホスト PC との接続	14
6.1. RS-232C 接続	14
7. ハードウェア・リファレンス	15
7.1. メモリ・I/O のマップ	15
7.2. 推奨設定	17
7.2.1. CPU レジスタ	17
7.3. メモリ詳細	17
7.3.1. SRAM (0100000 - 03FFFFFF)	17
7.3.2. UV-EPROM (0400000 - 047FFFF)	17

7.4. IO 詳細.....	18
7.4.1. IO 一覧.....	18
7.4.2. SW1 読出しポート(SW1 680000H [Read Only]).....	18
7.4.3. SW2 読出しポート(SW2 680100H [Read Only]).....	18
7.4.4. 7 セグメント LED 表示データ出力ポート(7SEG-LED 680200H [Write Only]).....	19
7.4.5. タイムオーバ・レディー-LED クリア・パルス(TOVRDY_LED_CLRPLS 680300H [Write Only]).....	19
7.4.6. 割り込みコントローラ(PIC:680400H - 680430H [Read/Write]).....	19
7.4.7. GBUS ACCESS CONTROL (680500H[Read/Write]).....	21
7.4.8. MB-SRAM High ADDR (680600H[Read/Write]).....	21
7.4.9. MB-FROM High ADDR (680610H[Read/Write]).....	21
7.4.10. MB-EXTBUS-MEM High ADDR (680600H[Read/Write]).....	21
7.4.11. MB-EXTBUS-IO High ADDR (680600H[Read/Write]).....	21
7.4.12. UART (TL16C550C:680800H - 680870H).....	22
7.4.13. TIC (uPD71054 680900H ~ 680930FH).....	22
7.4.14. USB (ML60852A:681000H - 6810FEH).....	23
7.4.15. LANC (LAN91C111:684300H - 68430EH).....	24
8. ソフトウェア.....	25
8.1. 初期化.....	25
8.2. uPD71054 に対する連続アクセス.....	25
8.3. ライブラリ.....	25
8.4. タイマの使用例.....	26
9. マスカブル割り込みを使用したアプリケーションの開発.....	27
9.1. 割り込みベクタ.....	27
9.2. 一般的な制限事項 / 注意事項.....	28
9.3. ダウンロード時の代替ベクタ領域書換え方法.....	28
9.4. ブレーク・ポイント使用に関する制限事項 / 注意事項.....	29
10. CPU 端子接続.....	30
10.1. 端子接続一覧.....	30
10.2. RESET-.....	31
10.3. PCM0/WAIT-.....	31
10.4. P00/NMI, P01/INTP0/TI2.....	32
10.5. P02/INTP1/TI3, P03/INTP2/TI4, P04/INTP3/TI5, P05/INTP4.....	32
10.6. P43/INTP00/TI0/TCLR0,P44/INTP01/TO0,P45/INTP10/TI1/TCLR1, P46/INTP11/TO1P46/INTP03/TO1 ...	32
10.7. P30/SI1/RXD0.....	33
10.8. P31/SO1/TXD0.....	33
10.9. P32/SCK1-.....	33
10.10. P20/SI4.....	34
10.11. P40/SI0,P41/SO0/SDA,P42/SCK0-/SCL.....	34
10.12. その他の信号.....	34
11. GBUS 個別仕様.....	35

11.1. 概要	35
11.2. バス・サイクル	36
11.3. チップセレクト	37
11.4. RTE-MB-A の初期設定	37
12. APPEDIX.A MULTI モニタ	38
12.1. ボードの設置	38
12.1.1. RTE for Win32 のインストール	38
12.1.2. SW1 の設定	38
12.1.3. ボードの接続	38
12.2. Multi モニタ	39
12.2.1. 起動時の 7Seg-LED	39
12.2.2. ROM モニタ・ワーク RAM	39
12.2.3. モニタ割り込み	39
12.2.4. _INIT_SP の設定	39
12.2.5. タイマ割り込み	39
12.2.6. ハードウェアの初期化	39
12.2.7. 特殊命令	39
12.3. RTE コマンド	40
12.3.1. HELP(?)	40
12.3.2. INIT	40
12.3.3. VER	40
12.3.4. SFR コマンド	40
13. APPEDIX.B PARTNER モニタ	41
13.1. ボードの設置	41
13.1.1. SW1 の設定	41
13.1.2. ボードの接続	41
13.2. PARTNER モニタ	42
13.2.1. 起動時の 7Seg-LED	42
13.2.2. ROM モニタ・ワーク RAM	42
13.2.3. モニタ割り込み	42
13.2.4. SP の設定	42
13.2.5. ハードウェアの初期化	42
13.2.6. 特殊命令	42
14. APPEDIX.C GBUS 共通仕様	43
14.1. 用語	43
14.1.1. CPU ボードとマザー・ボード	43
14.1.2. バス・サイクル、マイクロ・サイクル	43
14.2. 信号	43
14.3. ピン配置	47
14.4. 未使用端子の処理	48
14.5. GCS-[7:0]の割り付け	48

14.6. バス・サイクル.....	49
14.6.1. シングル・サイクル.....	49
14.6.2. バースト・サイクル.....	49
14.6.3. GWAITF.....	50
14.6.4. GBTERM.....	51
14.7. タイミング.....	52
14.7.1. セットアップ・タイム.....	52
14.7.2. デイレイ・タイム.....	52

1. はじめに

「RTE-V850ES/SA3-CB」は、NEC 製の RISC プロセッサ V850ES/SA3 の評価を目的とした CPU ボードです。

ボードは、最高 17MHz で動作する V850ES/SA3 とメモリ、シリアル・インターフェース、USB、LAN、拡張用のバスコネクタ等で構成されます。

これらの機能を使用して、プロセッサの性能評価、デモ、シミュレータの実行エンジン、アプリケーション・プログラムの初期段階の開発など、幅広くご利用頂けます。

本製品は、開発用のソフトウェアツールとして、GHS 社の Multi と自社製の PARTNER のどちらかをソースレベルデバッガとしてご使用になれます。ご使用になるデバッガによって、ROM に搭載するモニタは異なります。

ROM は、購入時にご指定頂いたモニタが搭載されています。デバッガを同時に購入されていない場合は、それぞれ別売りされていますので、別途お買い求めください。

1.1. マニュアル表記について

本書では、数字の表記については下表の表記を用います。16 進数や 2 進数の表記では、桁数が多くて読みにくい場合は、4 桁ごとに“-”（ハイフン）を入れてあります。

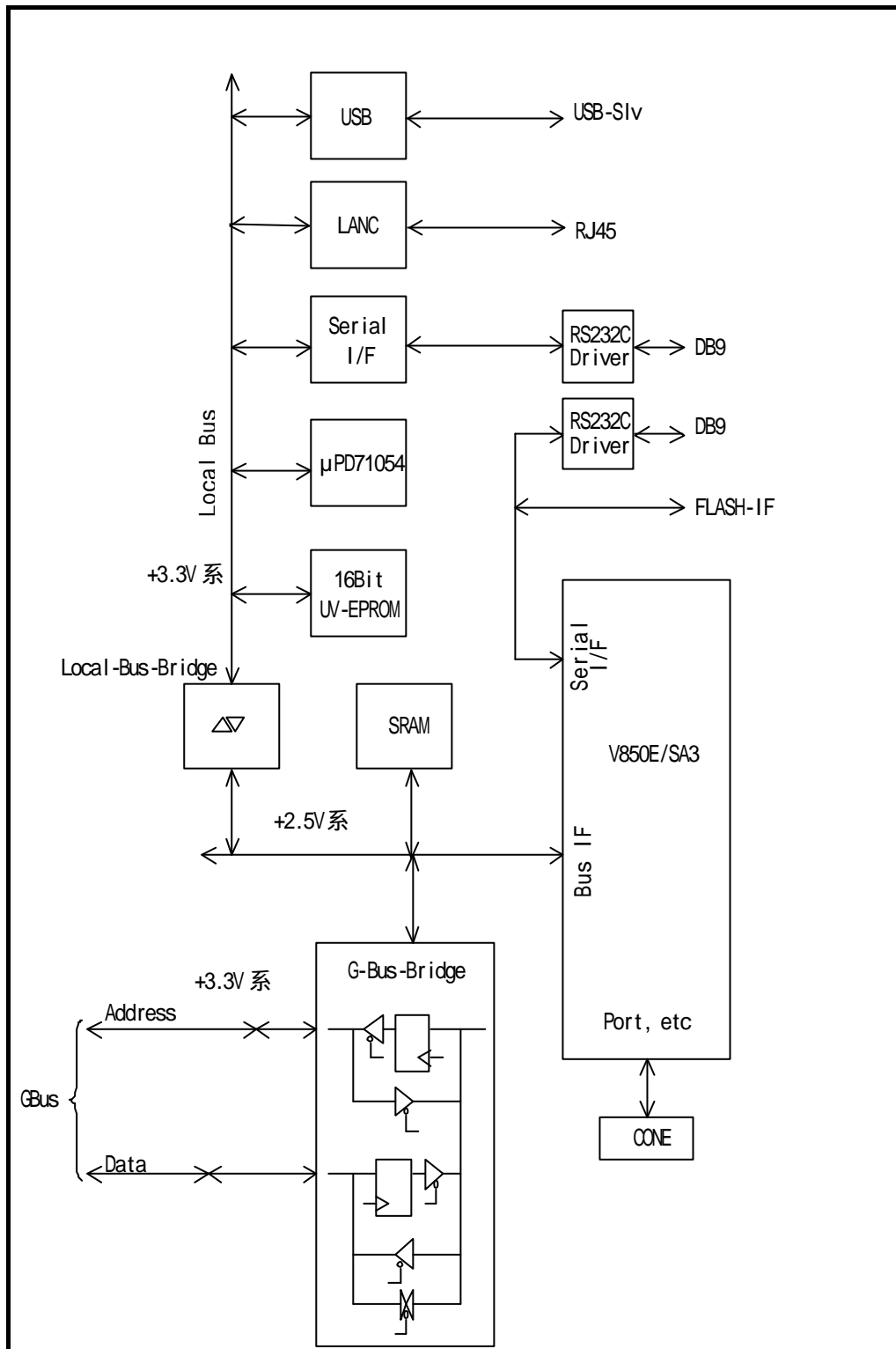
進数	表記規則	例
10 進数	数字のみを示します	“10”は 10 進数の“10”を示します
16 進数	数字の末尾に“H”を記します	“10H”は 10 進数の“16”を示します
2 進数	数字の末尾に“B”を記します	“10B”は 10 進数の“2”を示します

数字表記規則

Multi は米国 Green Hills Software, Inc の商標です。

2. 機能

RTE-V850ES/SA3-CB の機能ブロックの概要を図に示します。



RTE-V850ES/SA3-CB ブロック図

3. 主な特徴

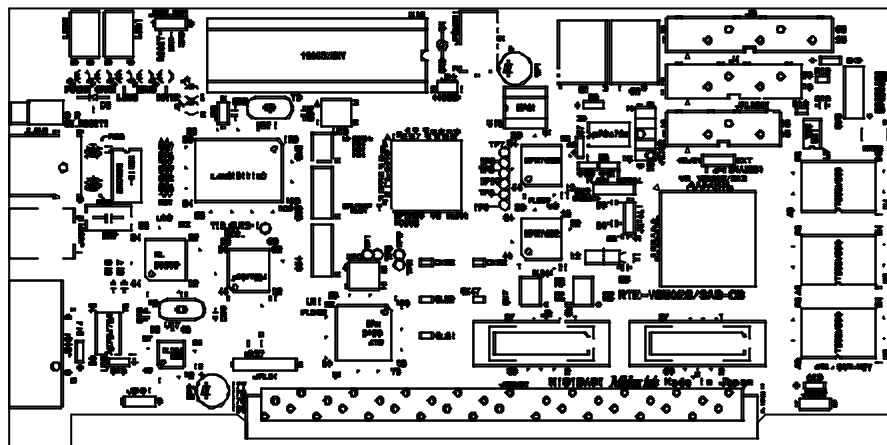
- GreenHills 社の Multi と自社製 PARTNER 用のモニタ ROM を 2 種類用意しています。
- Multi また PARTNER を使用した高級言語レベルでのリアルタイム実行・評価が可能です。
- ROM エミュレータが接続できます。
- 外部バス上に 3M-Byte の SRAM を搭載しています。
- シリアル(2ch)のインターフェースを用意しています (1ch は外部コントローラ、もう 1ch は CPU 内蔵のコントローラ)。
- タイマを外部に 3ch を搭載しています (モニタで 1ch 使用)。
- USB のコントローラを搭載しています。
- LAN コントローラを搭載しています。

4. 基本仕様

プロセッサ	V850ES/SA3	
CPU クロック	17MHz	
バスクロック	17MHz	
電源	+5V , 1.0A(max)	
メモリ		
EPROM	128KB	64K × 16bit (40pin-DIP) × 1(max.512KB)
SRAM	3MB	512K × 16bit × 3
I/O		
シリアル(2ch)	CPU 内蔵(Uart) DB9 コネクタ NS16550 相当 DB9 コネクタ	
USB	Oki:ML60852	
LAN	Smsc:LAN91C111	
タイマ	uPD71054	分解能 500nS
IO ポート	LED(7seg)表示 / スイッチ入力	
その他		
テストコネクタ	バス等の信号を観測する為のロジアナ用のコネクタ	
GBUS コネクタ	RTE-CB 標準 32bit I/F(33MHz, DMA は非対応)	
FLASH IF	FLASH Writer 接続用インターフェース	
GP ヘッド	CPU の未使用ピンを開放するためのコネクタ	
ROM-Emlt-IF	ROM エミュレータ制御信号接続用テストピン	
リセット・スイッチ	Push 式	

5. ボードの構成

下図は RTE-V850ES/SA3-CB ボード上の主要な部品の物理的な配置です。本章では、それぞれの部品について説明します。



RTE-V850ES/SA3-CB の部品配置図(PRELININARY)

5.1. リセット・スイッチ (SW_RESET)

SW_RESET は本ボード全体のリセット・スイッチです。このスイッチを押すと CPU を含む全ての回路がリセットされます。

5.2. 電源コネクタ (JPOWER)

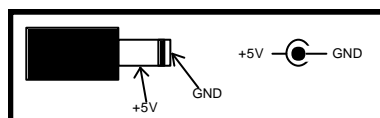
JPOWER コネクタに供給する電源は、以下の通りです。

電圧：5V

電流：1.0A(max)

適合コネクタ：Type A (5.5)

極性：



電源コネクタの極性に十分ご注意ください。

また、JGBUS コネクタから電源を供給する場合は、JPOWER に電源を接続しないでください。

5.3. スイッチ 1 (SW1)

SW1 は、汎用の入力ポートのスイッチです。設定状態は、入力ポートから読み出すことが可能です(「7.4.2 SW1 読み出しポート(SW1 680000H [Read Only])」参照)。ポートからの読み出し時、スイッチは OFF で 1、ON で 0 の値になります。モニタ ROM を使用する場合には、一部を除き割り当て済みです。モニタ ROM での割り付けは、以下の各章を参照し使用環境に合わせて設定してご使用ください。

Multi を使用する場合、「12.1.2 SW1 の設定」を参照ください。

PARTNER を使用する場合、「13.1.1 SW1 の設定」を参照ください。

5.4. スイッチ 2 (SW2)

SW2 は、本ボードの動作をハード的に切り替えるスイッチです。設定内容は入力ポートから読み出すことが可能です (「7.4.3 SW2 読み出しポート (SW2 680100H [Read Only])」を参照)。

番号	信号名	出荷時の設定	機能
1	FBOOT	OFF	0x400000-0x47ffff の空間に割り付ける資源を設定します。 OFF : UV-EPROM が割り付けられず。 ON : GCSI-空間 (MB 上では FLASH ROM) が割り付けられます。 (「7.1 メモリ・I/O のマップ」参照)。 <注意>BOOT はできません。
2	DIS_TOVER	OFF	通常、OFF でご使用ください。
3	JMP_20000	OFF	起動時のジャンプ先アドレスを設定します。 JMP_40000 JMP_20000
4	JMP_40000	OFF	OFF OFF MULTI のモニタへジャンプ OFF ON 0x020000 番地へジャンプ ON OFF 0x400000 番地へジャンプ ON ON Partner のモニタへジャンプ
5	MON_INTP0	OFF	モニタが使用する割り込みを設定します。 OFF: NMI ON: INTP0
6	GCLK_LOW	OFF	通常、常に OFF でご使用ください。
7	未使用	OFF	未使用です。常に OFF でご使用ください。
8	未使用	OFF	未使用です。常に OFF でご使用ください。

SW2-5 は、モニタで割り込みコントローラの設定のために読み出しているだけです。

5.5. スイッチ 3 (SW3)

SW3 は CPU のモード設定用のスイッチです。Normal Mode と Flash Prog Mode 以外の設定は禁止です。

番号	CPU 端子名	Normal Mode (Auto)	Flash Prog Mode (Manual)
1	MODE0	OFF	OFF
2	MODE1	OFF	OFF
3	MODE2	OFF	OFF
4	MODE3	OFF	OFF
5	MODE4	OFF	OFF
6	MODE5	ON	ON
7	FLMD0	OFF	ON
8	MDEN	ON	ON

Normal Mode (Auto) : 通常使用時の設定です。(出荷時の設定)
FLMD0 を制御しているライタを使用する場合は、内蔵のフラッシュ ROM に書き込みを行う場合もこのままの設定で構いません。

Flash Prog Mode (Manual) : FLMD0 を制御していないライタを使用して、内蔵のフラッシュ ROM に書き込みを行う場合の設定です。

注意 : モニタ ROM を使用する場合は、出荷時の設定でご使用ください。

5.6. スイッチ 4, 5 (SW4, SW5)

SW4, SW5 は、CPU の端子に接続している本基板内の信号線を物理的にカットするためのスイッチです。出荷時全ての設定は、ON (接続された状態) になっています。外部で使用する場合にのみ、OFF に設定してください。但し、内部で使用している資源が不要な場合に限りです。

備考：以下の表は、CPU 端子と最終的な内部の資源名を記述しています。

[SW4]

番号	CPU 端子名	出荷時の設定	内部で使用している資源
1	P30/SI1/RXD0	ON	SIO2-RXD-
2	P20/SI4	ON	SIO2-DTS-
3	未使用	OFF	
4	未使用	OFF	

[SW5]

番号	CPU 端子名	出荷時の設定	内部で使用している資源
1	P43/INTP00/Ti0/TCLR0	ON	TIC_OUT1- : Timer CH#1 の出力
2	P44/INTP01/TO0	ON	GINT1- : GBUSの割り込み要求信号 GINT1-
3	P45/INTP10/Ti1/TCLR1	ON	GINT2- : GBUSの割り込み要求信号 GINT2-
4	P46/INTP11/TO1	ON	GINT3- : GBUSの割り込み要求信号 GINT3-

5.7. スイッチ 6 (SW6)

SW6 は CPU へ接続する RESET 信号の切替用のスライドスイッチです。

NORMAL 側 : 通常使用時の設定です。CPU のリセット端子にはボード上のリセットとフラッシュ・ライタからのリセットを論理和したリセットが接続されます。
(出荷時の設定)

FLASH 側 : CPU のリセット端子にはフラッシュ・ライタからだけのリセットが接続されます。特別な場合を除き、設定の必要はありません。

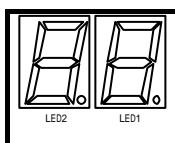
5.8. スイッチ 7 (SW7)

SW7 は、出荷時の状態でご使用ください。

番号	CPU 端子名	出荷時の設定	備考
1	ISO0	ON	出荷時の設定から変更しないでください。
2	ISO1	ON	出荷時の設定から変更しないでください。
3	ISO2	ON	出荷時の設定から変更しないでください。
4	NO EEPROM	OFF	出荷時の設定から変更しないでください。

5.9. 7SEG-LED, xxx-LED

LED は、各種ステータスを示しています。表に内容を示します。2 つの 7SEG-LED は、起動時にモニタが使用しますが、その後、ユーザアプリケーションで自由に使用可能です。



名称	内容
POWER	ボードに電源が供給されている時に点灯
TOVER	タイムオーバー・レディー発生時に点灯、ソフト的にクリアするまで点灯する (「7.4.5 タイムオーバー・レディーLED クリア・パルス (TOVRDY_LED_CLRPLS 680300H [Write Only])」参照)
SRAM	ボード上のSRAM空間へのアクセス時に点灯します。
LBUS	ボード上のローカルバス空間へのアクセス時に点灯します。
GBUS	GBUS空間へのアクセス時に点灯します。
A	LAN91C111のLEDA端子(24pin)がローレベルで点灯します。
B	LAN91C111のLEDB端子(25pin)がローレベルで点灯します。

ボード LED ステータス

5.10. ROM エミュレータ用テストピン (JROM-EM1)

JROM-EM1 は、ROM エミュレータを接続する際に使用するテストピンです。下記の制御信号が入力できます。表に信号名と機能を示します。

信号名	入出力	機能
RESET- (1)	入力	Lowレベル入力により、CPU がリセットされます。 ROM エミュレータからのリセット要求信号を接続します。 1K でプルアップされています。
NMI- (2)	入力	Low レベル入力により、CPU に NMI が入ります (10.4P00/NMI, P01/INTP0/TI2を参照ください。)。 ROM エミュレータからのNMI 要求信号を接続できます。 1K でプルアップされています。
GND(3)	- - -	GND。ROM エミュレータのGNDと接続します。

JROM_EM 端子の機能

5.11. クリスタル・ソケット(JXTAL1)

JXTAL1 は、CPU に供給するクロックの切り替えとクリスタルの実装ソケットの役割を持っています。

フラッシュ・ライタからのクロックを CPU のクロックとして使用する場合

JXTAL1 の 1pin と 2pin をショートします。この場合、クリスタルは実装しないでください。

JXTAL1 にクリスタルを実装し、CPU の発振回路を使用する場合

JXTAL1 の 1pin と 3pin の間にクリスタルを実装します。1pin、2pin 間はショートしないでください。出荷時は 17MHz のクリスタルが実装されています。

5.12. AVDD 切り替えジャンパ (JP1)

JP1 は、CPU に供給する AD 用の電源(AVDD)を切り替えるためのジャンパです。

ボードから供給する場合：出荷時の状態

JP1 の 1pin と 2pin をショートします。+2.5V を供給します。

外部(J3)から供給する場合

JP1 の 2pin と 3pin をショートし、電源を J3 コネクタ-19 ピンから供給してください。

5.13. LAN91C111:LINK 端子の設定ジャンパ (JP3)

JP3 は、LAN91C111 の LINK-端子(22)の状態を切り替えるためのジャンパです。
ショートすることで GND レベルに設定されます。

5.14. ROM ソケット(U16)と設定ジャンパ(JP2)

ROM ソケットには、27C1024, 27C2048, 27C4096 タイプ (40pin-DIP の 16bit バスの EPROM) が実装できます。ROM を実装する場合は、アクセス・タイムが 120ns 以下のものをご使用ください。
出荷時このソケットには、27C1024 がブランク状態で実装されます。

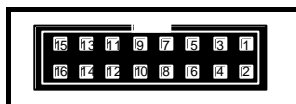
JP2 は ROM の種類によって以下の通り設定してください。

27C4096 を実装時 : JP2 をショートしてください。
それ以外 : オープンです。

5.15. フラッシュ書き込みコネクタ (JFLASH1)

JFLASH1 コネクタは、フラッシュプログラマ装置を使用して、CPU の内蔵フラッシュ ROM へ書き込みを行うときに使用するコネクタです。

JFLASH1 を使用する場合は、ライター使用するモードによって、SW3, JXTAL1 の設定が必要です (「5.5 スイッチ 3 (SW3)、5.11 クリスタル・ソケット(JXTAL1)」参照)。



JFLASH ピン配置

適合コネクタ :

16 ピンケーブル用 : オムロン株式会社 XG4M-1630-T 相当品可
16 ピン基板用 : オムロン株式会社 XG4C-1631/1634 相当品

JFLASH ピン番号	ライター信号名	基板上的接続先	入出力	備考
1	GND	GND	--	
2	/RESET	CPU_RESET-	IN	SW6 の設定が必要です。
3	SI/RxD	CPU_P41	IN	
4	VDD	+2.5V	--	
5	SO/TxD	CPU_P40	OUT	
6	(VPP)	N.C.	--	
7	SCK	CPU_P42	IN	
8	H/S	CPU_PDHO	OUT	
9	CLK	CPU_X1	IN	JXTAL の設定が必要です。
10	(VDE)	N.C.	--	
11	(VDD2)	N.C.	--	
12	(FLMD1)	N.C.	--	
13	(RFU)	N.C.	--	
14	FLMD0	CPU_FLMD0	IN	
15	Not Used	N.C.	--	
16	Not Used	N.C.	--	

JFLASH1 コネクタ信号

5.16. シリアル・コネクタ (JSIO1,JSIO2)

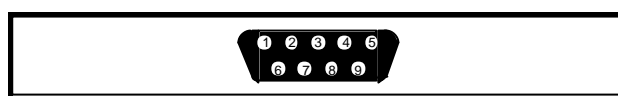
JSIO1 コネクタは、ボード上のシリアル・コントローラ (TL16C550CPT) によって制御される RS-232C インターフェイス用のコネクタです。

JSIO2 コネクタは、CPU の内蔵シリアル・コントローラによって制御される RS-232C インターフェイス用のコネクタです。

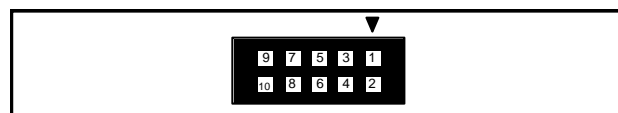
コネクタの形状は、JSIO1 は PC/AT で用いられる一般的な D-SUB9 ピンの RS-232C コネクタ、JSIO2 は 2.54mm ピッチのピンプラグ型のコネクタです。何れも、全ての信号は RS-232C レベルに変換されています。コネクタのピン番号と信号アサインは下の図と表の通りです。

表には、ホストと接続する場合の接続信号について、ホスト側が D-SUB9 ピンの場合と D-SUB25 ピンの場合の布線をそれぞれ示してあります (一般的なクロスケーブルの布線です)。

また JSIO2 のピン配置は、リボンケーブルに対して圧接型コネクタを使用した場合、JSIO1 のピン配置と同じになるようになっています。



JSIO1 ピン配置 (オス)



JSIO2 ピン配置

適合コネクタ :

- 10 ピンケーブル用 : オムロン株式会社 XG4M-1030-T 相当品可
 10 ピン基板用 : オムロン株式会社 XG8W-1031 相当品

JSIO1 ピン番号	信号名	入出力	ホストの接続ピン番号	
			D-SUB9	D-SUB25
1	DCD	入力		
2	RxD(RD)	入力	3	2
3	TxD(SD)	出力	2	3
4	DTR(DR)	出力	1, 6	6, 8
5	GND		5	7
6	DSR(ER)	入力	4	20
7	RTS(RS)	出力	8	5
8	CTS(CS)	入力	7	4
9	RI	入力		

JSIO1 コネクタ信号

JSIO2 ピン番号	CPU 端子	信号名	入出力	ホストの接続ピン番号	
				D-SUB9	D-SUB25
1	--	DCD	入力		
3	P30	RxD(RD)	入力	3	2
5	P31	TxD(SD)	出力	2	3
7	--	DTR(DR)	出力	1, 6	6, 8
9		GND		5	7
2	--	DSR(ER)	入力	4	20
4	P32	RTS(RS)	出力	8	5
6	P20	CTS(CS)	入力	7	4
8	--	RI	入力		

JSIO2 コネクタ信号

注意事項：

1. JSIO2 の 1, 2, 8, 10 ピンは、ボード内で使用されていません。
2. 7 ピン(DTR)は、通電することで常時アクティブです。

5.17. USB コネクタ (JUSB1)

JUSB1 コネクタは、本ボードに搭載している USB デバイスコントローラのインターフェース用でシリーズBのコネクタです。

JUSB1 ピン番号	信号名
1	VCC
2	-DATA
3	+DATA
4	GND

JUSB1 コネクタ信号

5.18. LAN コネクタ (JLAN1)

JLAN1 コネクタは、10BaseT 用の RJ45 コネクタです。

JLAN1 ピン番号	信号名	ピン番号	信号名
A1	TD+	A5	CT2
A2	TD-	A6	RD-
A3	RD+	A7	CT3
A4	CT1	A8	CT4

JLAN1 コネクタ信号

5.19. JGBUS コネクタ (JGBUS)

拡張用の 32Bit データ幅のバスコネクタです。詳細は「11 GBUS 個別仕様」、「14 APPENDIX.C GBUS 共通仕様」を参照してください。

5.20. 信号観測用コネクタ(J1, J2)

J1, J2 コネクタは、HP 社の高密度プローブを接続してボード上の信号を観測する為のコネクタです。

ピン番号	信号名	ピン番号	信号名
1	NC.	2	NC.
3	GND	4	NC.
5	CPU_RD	6	NC.
7	CPU_A15	8	NC.
9	CPU_A14	10	NC.
11	CPU_A13	12	NC.
13	CPU_A12	14	NC.
15	CPU_A11	16	NC.
17	CPU_A10	18	NC.
19	CPU_A9	20	NC.
21	CPU_A8	22	NC.
23	CPU_A7	24	CPU_A23
25	CPU_A6	26	CPU_A22
27	CPU_A5	28	CPU_A21
29	CPU_A4	30	CPU_A20
31	CPU_A3	32	CPU_A19
33	CPU_A2	34	CPU_A18
35	CPU_A1	36	CPU_A17
37	CPU_A0	38	CPU_A16

J1 コネクタ信号

ピン番号	信号名	ピン番号	信号名
1	NC.	2	NC.
3	GND	4	NC.
5	CPU_WR0-	6	CPU_WR1
7	CPU_D15	8	GREADY-
9	CPU_D14	10	GW/R-
11	CPU_D13	12	GADS-
13	CPU_D12	14	GCLK
15	CPU_D11	16	CPU_NMI-
17	CPU_D10	18	LBUS_DEN-
19	CPU_D9	20	LBUS_DTR
21	CPU_D8	22	ROM_CS-
23	CPU_D7	24	LED_GBUS-
25	CPU_D6	26	LED_LBUS-
27	CPU_D5	28	LED_SRAM-
29	CPU_D4	30	CPU_READY
31	CPU_D3	32	CPU_WR1-
33	CPU_D2	34	CPU_WR0-
35	CPU_D1	36	CPU_RD-
37	CPU_D0	38	CPU_BCLK

J2 コネクタ信号

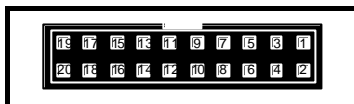
NC : 基板側で未接続です。

適合コネクタ :

ケーブル側 : AMP 社 MICTOR38 プラグ
 基板用 : AMP 社 MICTOR38 レセプタクル 2-767004-2

5.21. CPU 信号コネクタ (J3, J4)

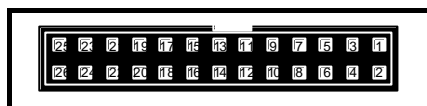
J3, J4 コネクタは、外部から CPU に信号を直接接続するためのコネクタです。コネクタの形状は、2.54mm ピッチのピンプラグ型のコネクタです。コネクタのピン番号と信号アサインは下の図と表の通りです。



J3 ピン配置

適合コネクタ：

20 ピンケーブル用： オムロン株式会社 XG4M-2030-T 相当品可
20 ピン基板用： オムロン株式会社 XG4C-2031/2034 相当品



J4 ピン配置

適合コネクタ：

26 ピンケーブル用： オムロン株式会社 XG4M-2630-T 相当品可
26 ピン基板用： オムロン株式会社 XG4C-2631/2634 相当品

ピン番号	信号名	ピン番号	信号名
1	CPU_ANI0	2	CPU_ANI1
3	CPU_ANI2	4	CPU_ANI3
5	CPU_ANI4	6	CPU_ANI5
7	CPU_ANI6	8	CPU_ANI7
9	CPU_ANI8	10	CPU_ANI9
11	CPU_ANI10	12	CPU_ANI11
13	CPU_ANI12	14	CPU_ANI13
15	CPU_ANI14	16	CPU_ANI15
17	CPU_ANO0	18	CPU_ANO1
19	AVDD(JP1-3)	20	AVREF0
21	AVREF1	22	AVSS(GND)
23	N.C.	24	N.C.
25	GND	26	GND

J3 コネクタ信号

ピン番号	信号名	ピン番号	信号名
1	CPU_P20	2	CPU_P21
3	CPU_P22	4	CPU_P30
5	CPU_P31	6	CPU_P32
7	CPU_PCD1	8	CPU_PCD2
9	CPU_PCD3	10	CPU_PCS0
11	CPU_PCS1	12	CPU_PCS2
13	CPU_PCS3	14	CPU_PCS4
15	CPU_PCS5	16	CPU_PCS6
17	CPU_PCS7	18	Internal Use
19	GND	20	GND

J4 コネクタ信号



以下の信号はボード内部で使用されていますので、外部と信号を接続する場合はボード内部で使用している機能は使用できなくなります。また、SW4 による信号の切り離しも必要です。
(「5.16 シリアル・コネクタ (JSIO1,JSIO2)」参照)

ボード内部で使用している信号 : P20, P30 -P32

6. ホスト PC との接続

6.1. RS-232C 接続

モニタ ROM を使用して、ホストマシンとシリアルで接続する際は以下の通りです。

添付品の RS-232C ケーブルと、電源を用意してください。

ボード上のスイッチの設定と確認を行ってください。SW1 のボーレイトの設定は、必ず実施ください。(「12.1.2 SW1 の設定」、「13.1.1 SW1 の設定」の各項を参照ください。)

JSIO1 コネクタとホストマシンを RS-232C ケーブルで接続し、JPOWER コネクタへ電源を供給してください。ボードの POWER-LED が点灯し、モニタの起動を示す 7seg-LED の表示がなされることを確認してください。



LED が点灯しない場合は、すぐに電源を切り接続を確認してください。

ホストマシンでデバッグを起動し、RS-232C 経由でコネクタします。エラーが発生する場合には、シリアル・ケーブルやスイッチ (特にボーレート) の設定等に間違いがないかを確認してください。デバッグの起動方法や手順は、各デバッグのマニュアルを参照ください。



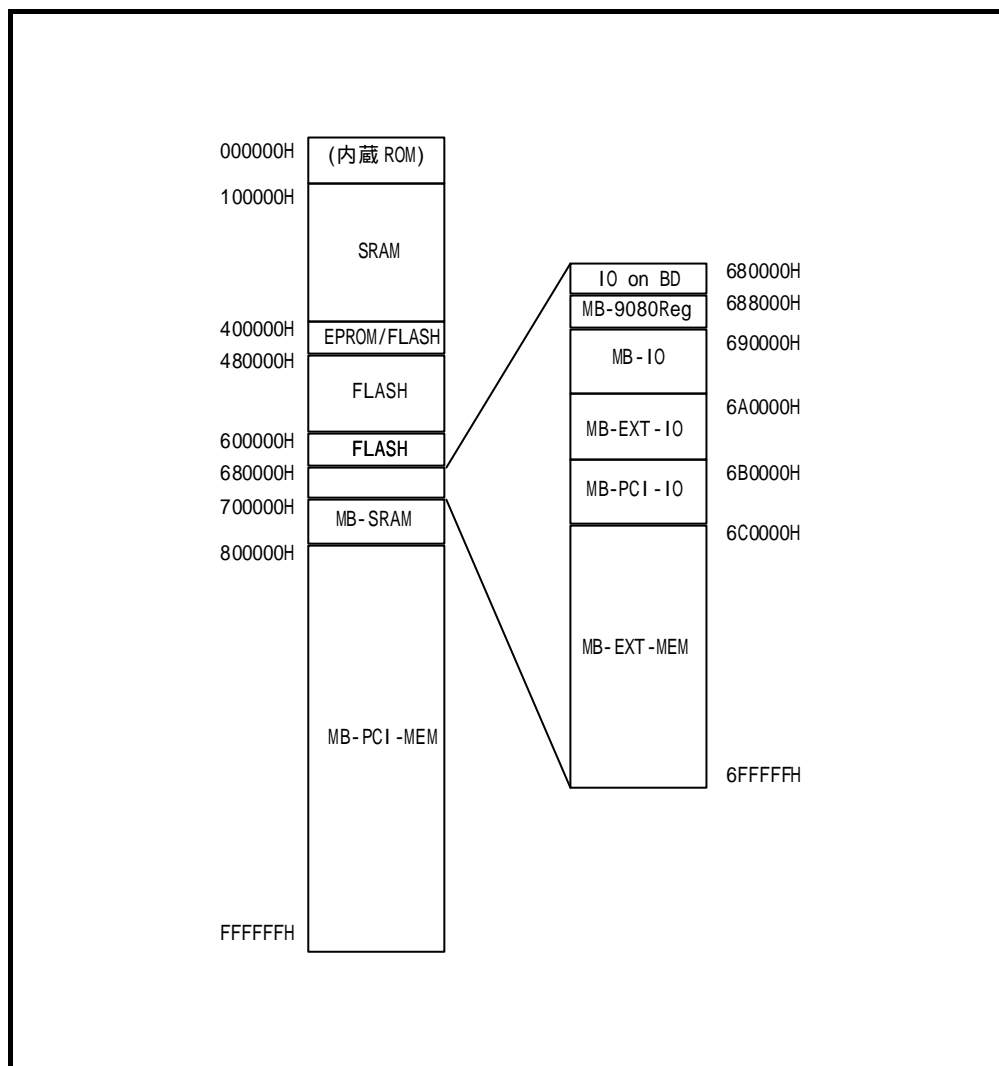
ボードは絶縁物の上に設置してください。通電中に、導電物を基板に接触させると故障の原因になります。

7. ハードウェア・リファレンス

ここでは、RTE-V850ES/SA3-CB ボードのハードウェアについて記述します。

7.1. メモリ・I/O のマップ

外部バス上のメモリと I/O の割り付けを以下に示します。



メモリ・I/O マップ

内蔵 ROM: 0000000 - 003FFFFF(256K-byte)

CPU が内蔵している ROM です。前半の 128K-byte にモニタが書き込まれた状態で出荷されます。

SRAM: 0100000 - 03FFFFFF(3M-byte)

オンボード上の SRAM が割り付けられています。実容量は 3M バイトです。モニタを使用する場合、0x0100000-0x0107fff(32K-Byte)はモニタのワークとして予約されます。

EPROM, FLASH(GCS1): 0400000 - 047FFFFF(512K-byte)

UV-EPROM またはマザー・ボード上のフラッシュのボトム側 512K バイトが割り付けられます。切り替えは SW2-1:FBOOT(5.4スイッチ 2 (SW2) 参照)で行います。この空間のフラッシュは 0600000 - 067FFFFF でアクセスする領域と同じ領域です。

FLASH(GCS1): 0480000 - 05FFFFFF(1.5M-byte)

マザー・ボード上のフラッシュのボトム側 512K バイトより後ろの領域が割り付けられます。

FLASH(GCS1): 0600000 - 067FFFFF(512K-byte)

マザー・ボード上のフラッシュのボトム側 512K バイトが割り付けられます。

IO on BD: 0680000 - 0687FFF(32K-byte)

この空間は、オンボード上の I/O 空間として使用します。

MB-9080Reg(GCS6): 0688000 - 068FFFFF(32K-byte)

この空間は、マザー・ボード上の PCI ブリッジの制御レジスタの空間として使用します。

MB-IO(GCS2): 0690000 - 069FFFFF(64K-byte)

この空間は、マザー・ボード上の nonPCI の周辺 I/O 空間として使用します。

MB-EXT-IO(GCS4): 06A0000 - 06AFFFFF(64K-byte)

この空間は、マザー・ボード上の nonPCI の外部拡張コネクタの IO 空間として使用します。

MB-PCI-IO(GCS7): 06B0000 - 06BFFFFF(64K-byte)

この空間は、マザー・ボード上の PCI バスの IO 空間として使用します。

MB-EXT-MEM(GCS3): 06C0000 - 06FFFFFF(256K-byte)

この空間は、マザー・ボード上の nonPCI の外部拡張コネクタの MEM 空間として使用します。

MB-SRAM(GCS0): 0700000 - 07FFFFFF(1M-byte)

この空間は、マザー・ボード上の共有 RAM 空間として使用します。

MB-PCI-MEM(GCS5): 0800000 - 0FFFFFFF(8M-byte)

この空間は、マザー・ボード上の PCI の MEM 空間として使用します。

7.2. 推奨設定

ここでは、メモリおよび I/O 資源のアクセスに関する各レジスタの推奨設定値を示します。

7.2.1. CPU レジスタ

バスに関する設定は、下表のように設定してください

レジスタ名	アドレス	設定値	備考
BSC	0xFFFF066	0x5555	All 16-bit: CPUの初期値に同じ
VSWC	0xFFFF06E	0x00	
DWC0	0xFFFF484	0x0000	CS0-3:0wait
AWC	0xFFFF488	0xFF00	アドレスライトはなし
BCC	0xFFFF48A	0xAAAA	アドレスポート挿入
EXIMC	0xFFFFFBE	0x01	SMSEL=1:セパレートモード
PMC9/ PFC9	0xFFFF452/47 2	0xFFFF/ 0x0000	Port9[15..0]=[A15..0]
PMCCM	0xFFFF04C	0x03	PortCM[1,0]=[CLKOUT, WAIT-]
PMCCCT	0xFFFF04A	0x13	PortCT[4,1,0]=[RD-, WR1-, WR0-]
PMCDH	0xFFFF046	0xFF	PortDH[7..0]=[A23..16]
PMCDL	0xFFFF044	0xFFFF	PortDL[15..0]=[D15..0]

バス以外の割込みや周辺を使用する場合は、ポートに接続されている信号に合わせ各ポートや周辺コントローラに対し初期化を実施してください。(10.1端子接続一覧を参照ください)

7.3. メモリ詳細

7.3.1. SRAM (0100000 - 03FFFFFF)

SRAM は、512K-Word×16bit の SRAM を 3 つ実装し、3M バイトの容量を搭載しています。

7.3.2. UV-EPROM (0400000 - 047FFFFF)

UV-EPROM は、128K バイト (64KWord×16Bit)、256K バイト (128Kword×16Bit)、512K バイト (256KWord×16Bit) のいずれかで、アクセスタイムが 120nS 以下の ROM が搭載できます。

7.4. IO 詳細

7.4.1. IO 一覧

IO の一覧を下表に示します。

アドレス	用途
680000	SW1
680100	SW2
680200	7SEGLED
680300	TOVRDY_LED_CLRPLS
680400 - 680430	PIC
680500	GBUS ACCESS CONTROL
680600	MB-SRAM High ADDR
680610	MB-FROM High ADDR
680620	MB-EXTBUS-MEM High ADDR
680630	MB-EXTBUS-IO High ADDR
680800 - 680870	UART (TL16C550C)
680900 - 680930	TIC (uPD71054)
681000 -	USB
684000 -	LANC

7.4.2. SW1 読出しポート(SW1 680000H [Read Only])

SW1 の状態を読み出すためのポートです。データ・フォーマットを下表に示します。

物理アドレス	データバス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
680000H 入力	SW1-8	SW1-7	SW1-6	SW1-5	SW1-4	SW1-3	SW1-2	SW1-1	0=ON 1=OFF

SW1-1 が SW1 の”1”のスイッチに、SW1-8 が SW1 の”8”のスイッチに対応し、該当するビットのスイッチが ON で 0 が、OFF で 1 が読み出されます。SW1 は主にモニタの動作設定用のスイッチとして使用しています。

7.4.3. SW2 読出しポート(SW2 680100H [Read Only])

SW2 の状態を読み出すためのポートです。データ・フォーマットを下表に示します。

物理アドレス	データバス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
680100H 入力	SW2-8	SW2-7	SW2-6	SW2-5	SW2-4	SW2-3	SW2-2	SW2-1	0=ON 1=OFF

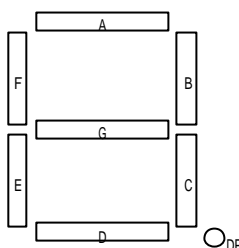
SW2-1 が SW2 の”1”のスイッチに、SW2-8 が SW2 の”8”のスイッチに対応し、該当するビットのスイッチが ON で 0 が、OFF で 1 が読み出されます。SW2 は主にハードウェアの動作を切り替えます。

7.4.4. 7セグメントLED表示データ出力ポート(7SEG-LED 680200H [Write Only])

4つの7セグメントLEDに表示するデータを設定します。データ・フォーマットを下表に示します。該当するビットに0を設定すると対応するセグメントが点灯します。

論理アドレス	データ								内容
	D7/D15	D6/D14	D5/D13	D4/D12	D3/D11	D2/D10	D1/D9	D0/D8	
680200H 出力	LED1 -DP	LED1 -G	LED1 -F	LED1 -E	LED1 -D	LED1 -C	LED1 -B	LED1 -A	0=点灯 1=消灯
680201H 出力	LED2 -DP	LED2 -G	LED2 -F	LED2 -E	LED2 -D	LED2 -C	LED2 -B	LED2 -A	

7セグメントLEDのビット対応は、下図の通りです。



7.4.5. タイムオーバ・レディーLEDクリア・パルス(TOVRDY_LED_CLRPLS 680300H [Write Only])

本ポートに書き込みを行うと、ボード上のタイムオーバ・レディー発生時に点灯する TOV_RDY LED が消灯します。書き込まれたデータは無視されます。TOV_RDY LED は一旦点灯すると、本ポートに書き込むか、ボードをリセットするまで点灯し続けます。

7.4.6. 割り込みコントローラ(PIC:680400H - 680430H [Read/Write])

PIC は、Multi および PARTNER のモニタ・プログラムの動作に必要な割り込み(INT0)とユーザが使用できる割り込み(INT1)を各1本サポートし、INT0はCPUのNMI又は、INTP0に、INT1はCPUのINTP4に接続されます。共にローアクティブの割り込み要求信号です。

PICに入力している割り込みは以下の通りです。

- 1)RS232C デバイス (UART,TL16C550C)からの通信割り込み
- 2)タイマ(TIC, μ PD71054)の TOUT0 によるタイマ割り込み要求
- 3)タイムオーバ・レディーの発生
- 4)GINT0の割り込み
- 5)USB コントローラからの割り込み
- 6)LANCからの割り込み

論理アドレス	レジスタ	データバス							
		D7	D6	D5	D4	D3	D2	D1	D0
680400H	PIC INT0M	IM07	IM06	IM05	IM04	IM03	IM02	IM01	IM00
680410H	PIC INT1M	IM17	IM16	IM15	IM14	IM13	IM12	IM11	IM10
680420H	PIC INTR	IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0
680430H	PIC INTEN	INT0 SEL	0	0	0	0	0	INT1 EN	INT0 EN

INT0M,INT1M レジスタはそれぞれINT0,INT1に入力する割り込みをマスクします。IM0x, IM1xの

ビットが"1"の時にイネーブルとなり、複数ビットを選択した場合にはそれぞれの OR で割り込みがアクティブとなります。

INTR レジスタは割り込みステータスで、割り込み要求がある場合に"1"が読み出せます。これはマスク状態に関係ありません。またエッジ割り込み要求の解除(クリア)には、このレジスタの対応ビットに"1"を書き込みます。

IM0[0..7],IM1[0..7],IR[0..7]の各ビットに割り付けられている割り込み要因は以下の通りです。

PIC INT-MASK[.],STATUS[]	割り込み要因	要求レベル
0	タイマ0(モード2)	エッジ(立ち上がり)
1	シリアル0	レベル(High)
2	タイムオーバー	レベル(High)
3	GINT0-(from Gbus)	レベル(Low)
4	USB	レベル(Low)
5	LANC	レベル(High)
6	なし	
7	なし	

INTEN レジスタは、INT0,INT1 への割り込みの有効/禁止を制御します。

INT0EN: INT0 を制御します。このビットでINT0をハード的に禁止することができます。この時、INT0 端子の状態は High レベルとなります。

INT0EN	INT0
0	禁止する (リセット値)
1	有効にする

INT1EN: INT1 を制御します。このビットでINT1をハード的に禁止することができます。この時、INT1 端子の状態は High レベルとなります。

INT1 は CPU の P05/INTP4 に接続されます。

INT1EN	INT1
0	禁止する (リセット値)
1	有効にする

INTxEN は複数の割り込み要因が発生している時に、1つの割り込み処理が終了した時点で、CPU への割り込み要求信号にエッジを生成するために使用します。CPU の割り込み受け付けがエッジ検出の場合、割り込みハンドラの最後のステップで、INTxEN ビットを一旦"1"に設定後、"0"にする処理を実行してください。これによって、保留中の割り込みが入ります。

INT0SEL: モニタで使用する割り込みを選択します。

INT0SEL	モニタ用の割り込み
0	NMI を使用 (リセット値)
1	INTP0 を使用

注意: モニタを使用中は、INT0関連の内容は変更しないでください。

7.4.7. GBUS ACCESS CONTROL (680500H[Read/Write])

GBUS に対し、ハーフワード(16-Bit)以外のアクセスサイズでアクセスを行う場合に使用します。

論理アドレス	レジスタ	データバス							
		D7	D6	D5	D4	D3	D2	D1	D0
680500H	GBUS ACC	x	x	x	x	x	x	Word	Byte

Byte: GBUS に対し BYTE でリードしたい場合に"1"にします。通常は"0"でご使用ください。

V850ES/SA3 のリードサイクルは、命令のアクセスサイズに関係なくハーフワードのアクセスサイズで行われますが、GBUS 上の資源によっては、バイトでのアクセスのみを要求するデバイスがあります。このようなデバイスへのアクセス時、このビットに"1"を立て CPU からはバイトサイズでアクセスしてください。

Word: GBUS に対し Word(32-Bit)でアクセスしたい場合に"1"にします。通常は"0"でご使用ください。

V850ES/SA3 の外部バスは 16-Bit ですが、GBUS 上の資源によっては、ワード(32-Bit)でのアクセスを要求するデバイスがあります。このようなデバイスへのアクセス時、このビットに"1"を立て CPU からはワードサイズ(32-Bit)でアクセスしてください。

注意: Byte, Word の両方の Bit に"1"を設定しないでください。

注意: 設定変更後は必ず IOWAIT()(ROM 領域のダミーリード)を行ってください。

7.4.8. MB-SRAM High ADDR (680600H[Read/Write])

MB-SRAM の上位アドレスを指定します。

論理アドレス	レジスタ	データバス							
		D7	D6	D5	D4	D3	D2	D1	D0
680600H	MB-SRAM High ADDR	x	x	x	A20	x	x	x	x

7.4.9. MB-FROM High ADDR (680610H[Read/Write])

MB-FROM の上位アドレスを指定します。

論理アドレス	レジスタ	データバス							
		D7	D6	D5	D4	D3	D2	D1	D0
680610H	MB-FROM High ADDR	x	A22	A21	x	x	x	x	x

7.4.10. MB-EXTBUS-MEM High ADDR (680600H[Read/Write])

MB-EXTBUS-MEM の上位アドレスを指定します。

論理アドレス	レジスタ	データバス							
		D7	D6	D5	D4	D3	D2	D1	D0
680600H	MB-EXTBUS-MEM High ADDR	A23	A22	A21	A20	A19	A18	A17	A16

7.4.11. MB-EXTBUS-IO High ADDR (680600H[Read/Write])

MB-EXTBUS-IO の上位アドレスを指定します。

論理アドレス	レジスタ	データバス							
		D7	D6	D5	D4	D3	D2	D1	D0
680600H	MB-EXTBUS-IO High ADDR	A23	A22	A21	A20	A19	A18	A17	A16

7.4.12. UART (TL16C550C:680800H - 680870H)

UART コントローラとして TEXAS INSTRUMENTS 製の TL16C550C LSI を使用しています。TL16C550C は、UART を 1 チャンネル備えており、UART の送受信部には 16 キャラクタ分の FIFO バッファを持ち、RTS/CTS フローを自動的に制御する機能を備えているため、最小限の割り込みで通信のオーバーラン・エラーを押さえられます。

TL16C550C の各レジスタは、表のように割り付けられています。各レジスタの機能については、TL16C550C のマニュアルを参照してください (TL16C550C のマニュアルは米国 TEXAS INSTRUMENTS 社のホームページ (<http://www.ti.com/>) の TI&ME のコーナーで入手可能です)。

アドレス	読出し	書込み
680800H	RBR/DLL	THR/DLL
680810H	IER/DLM	IER/DLM
680820H	IIR	FCR
680830H	LCR	LCR
680840H	MCR	MCR
680850H	LSR	LSR
680860H	MSR	MSR
680870H	SCR	SCR

TL16C550C レジスタ配置

TL16C550C の XIN 入力には 16MHz のクロックが接続されています。

UART の割り込みは CPU の PIC を通して、CPU の NMI1 に入力できます。

UART はボードの JIS01 コネクタに接続しています。また、UART はリモートデバッグを用いる場合、ホストとの通信に使用されます。

TL16C550C は、システム・リセットによってリセットされます。

注意： モニタ使用中は、UART の内容は変更しないでください。

7.4.13. TIC (uPD71054 680900H ~ 680930FH)

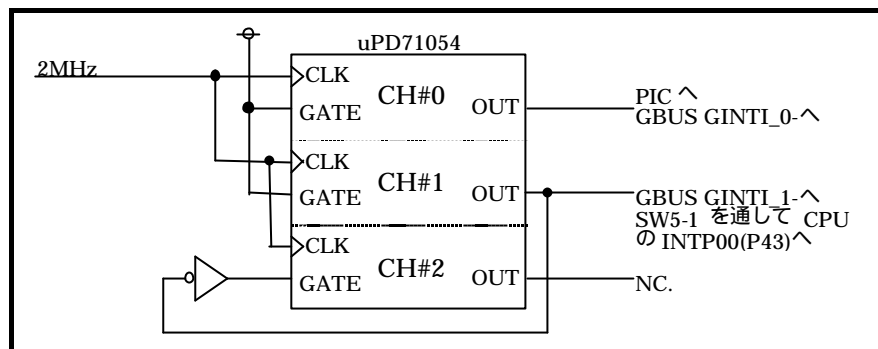
TIC は NEC 社製の uPD71054 が実装されています。uPD71054 は Intel 製の i8254 と互換であり、3 つのタイマ / カウンタを持っています。これらのタイマ / カウンタにより、モニタのタイマ割り込みの生成を行っています。

TIC の各レジスタは、表の通りに割り当てられています。

アドレス	読出し	書込み
680900H	COUNTER#0	COUNTER#0
680910H	COUNTER#1	COUNTER#1
680920H	COUNTER#2	COUNTER#2
680930H	-----	Control Word

TIC のレジスタ配置

TIC の各チャンネルは下図のように接続されています。
 チャンネル0 は、Multi の ROM モニタ・プログラムのインターバル・タイマとして使用されます。
 チャンネル1, 2 は、ユーザのプログラムで自由に使用することができます。
 チャンネル2 は、チャンネル1 とカスケード接続されています。



使用モード例

CH#0: モード2 (レートジェネレータ)
 CH#1: モード2 (レートジェネレータ)
 CH#2: モード0 (ダウンカウンタ)

注意: モニタ使用中は、CH#0 の内容は変更しないでください。

7.4.14. USB (ML60852A:681000H – 6810FEH)

USBC は沖電気社製の ML60852A が実装されています。ML60852A は、Universal Serial Bus (USB) 汎用デバイスコントローラです。USB シリアル・インタフェース・エンジン、USB トランシーバ、FIFO 群、コントロール/ステータス・レジスタ群、アプリケーション・インタフェース回路、発振回路を含み、容易に USB システムを実現することを可能にします。

データ転送モードは、コントロール転送、バルク転送、インタラプト転送、およびアイソクロナス転送をサポートし、5 個あるいは 6 個のエンドポイントをサポートします。

主な特長を以下に記します。

USB1.1 準拠

Full-speed (12Mbps) に対応

4 つのデータ転送タイプに対応

コントロール転送、バルク転送、インタラプト転送、アイソクロナス転送

エンドポイント: 5 個あるいは 6 個

コントロール EP 1 個

バルク/インタラプト EP 3 個

アイソクロナス/バルク/インタラプト EP 1 個あるいは 2 個

データ格納用 FIFO 内蔵

EP1、EP2、EP4、EP5 の FIFO は 2 面構成

DMA 転送可能 (EP1, EP2, EP4, EP5)

バスパワーデバイス対応

サスペンド条件を自動検出し、低電力モードに入ります。またレジューム条件を検出すると正常動作に自動復帰します。

ML60852A のレジスタ群は 0x681000 からマップされますが、16-Bit のバスに接続されているので、各レジスタのオフセットは ML60852A のマニュアル記載のアドレスに 2 を掛けたアドレスにな

ります。

アドレス	対象レジスタ名
681000H	bmRequestType
681002H	brequest
681004H	wValueLSB
//	//

USBC のレジスタ配置

ハードウェア情報

DMA 転送を行う場合は以下の設定で使用してください。

データバス幅 :	16-Bit
転送モード :	デュアルアドレスモード、シングルモード
DRQ のインターバル :	未定
DRQ0/1 の論理 :	アクティブ・ローを推奨

DMA 関連の制御信号は以下の通り接続されています。

DRQ0-	-> CPU_P02/INTP1/TI3
DRQ1-	-> CPU_P03/INTP2/TI4
DACK0/1	-> 未使用 (プルダウン)

割り込みは以下の通り接続されています。

INTR-	-> PIC 経由で CPU_P05/INTP4
-------	--------------------------

その他

コントローラへの入力クロックは、12MHz の Xtal です。

USB-IF の電源ライン (1pin) が CPU_P04/INTP3/TI5 に接続されており、通電時の論理レベルが “ 1 ” です。

7.4.15. LANC (LAN91C111:684300H – 68430EH)

LANC は SMSC 社製の LAN91C111 が実装されています。LAN91C111 はシングルチップで、10/100Mbps の両方に対応した LAN コントローラです。詳細はコントローラのマニュアルを参照ください。



LAN コントローラのレジスタへのアクセスはハーフワード(16-Bit)でアクセスしてください。バイトでのアクセスは禁止です。

8. ソフトウェア

RTE-V850ES/SA3-CB ボードのハードウェアの初期化と周辺デバイスの使用方法について説明します。

8.1. 初期化

モニタを使用しないで、ROM からブートするプログラムを開発する場合は、最初のルーチンで V850ES/SA3 の内部バスコントローラを初期化しなければなりません。初期化時に設定する値については、「7.2推奨設定」を参照してください。

8.2. uPD71054 に対する連続アクセス

uPD71054 に対し連続してアクセスする場合は、1 回目のアクセスと 2 回目のアクセスの間に他の空間へのアクセスを 1 回以上入れてください。これは、uPD71054 に対するリカバリ・タイムを確保する為です。

リカバリ・タイムは、uPD71054 以外の資源（例えば、ROM）をダミーで一度リードすることで確保できます。

8.3. ライブラリ

C コンパイラでプログラムする時に必要となる I/O アクセスなどのライブラリです。ただし、これらの記述やパラメータ受け渡し方法などは、GHS 環境でのものです。他のコンパイラ等を使用する場合には、変更が必要となる場合があります。

```
/* I/O 入出力ライブラリ */

/* GHS V800 コンパイラ パラメータ受け渡し */
/* arg0 : r6, arg1 : r7, arg2 : r8, return : r10 */

inb(int addr)                /* バイト (8 ビット) 入力 */
{
    __asm(" ld.b 0[r6], r10");
}

inh(int addr)                /* ハーフワード (16 ビット) 入力 */
{
    __asm(" ld.h 0[r6], r10");
}

inw(int addr)                /* ワード (32 ビット) 入力 */
{
    __asm(" ld.w 0[r6], r10");
}

outb(int addr, int data)     /* バイト (8 ビット) 出力 */
{
    __asm(" st.b r7, 0[r6]");
}

outh(int addr, int data)     /* ハーフワード (16 ビット) 出力 */
{
    __asm(" st.h r7, 0[r6]");
}

outw(int addr, int data)     /* ワード (32 ビット) 出力 */
{
    __asm(" st.w r7, 0[r6]");
}
```

8.4. タイマの使用例

ボード上の外部タイマ (uPD71054) でカスケード接続されたタイマ1とタイマ2を使用した時間計測のサンプルを示します。タイマ1はインターバルカウンタ (モード2)、タイマ2は、ダウンカウンタ (モード0) として初期化して、時間計測するルーチンの前後でカウンタ値を求めておくことで実行時間が算出できます。ただし、タイマのカウント値はどちらもダウンカウンタとなることに注意してください。また、外部タイマの連続アクセスではコマンドリカバリ (ROM 領域のダミーリード) が必要となります。

```

/* タイマによる実行時間計測サンプル */

#define TIMERCLK      2000000          /* 2MHz */
#define INTERVAL     (TIMERCLK * 10 / 1000) /* 10ms (1/100) */
#define IOWAIT()     (*(char *) 0x680000) /* I/O コマンドリカバリ用 */

InitTimer() /* タイマ初期化 */
{
    outb(0x680930, 0x74);          IOWAIT(); /* タイマ1 モード2 */
    outb(0x680910, INTERVAL);     IOWAIT(); /* タイマ1 下位カウンタ */
    outb(0x680910, INTERVAL /256); IOWAIT(); /* タイマ1 上位カウンタ */
    outb(0x680930, 0xB0);          IOWAIT(); /* タイマ2 モード0 */
    outb(0x680920, 0xFF);          IOWAIT(); /* タイマ2 下位カウンタ */
    outb(0x680920, 0xFF);          IOWAIT(); /* タイマ2 上位カウンタ */
    return 0;
}

LatchTimer() /* カウントラッチ */
{
    int count1, count2, counts;

    outb(0x680930, 0xDC);          IOWAIT(); /* タイマ1/2 マルチプルラッチ */
    count1 = inb(0x680910);        IOWAIT();
    count1 += inb(0x680910) *256;   IOWAIT(); /* タイマ1 カウント */
    count2 = inb(0x680920);        IOWAIT();
    count2 += inb(0x680920) *256;   IOWAIT(); /* タイマ2 カウント */
    counts = INTERVAL * (0xFFFF - count2)
        + (INTERVAL - count1);
    return counts;
}

double total_time;

main()
{
    int start_count, stop_count;

    InitTimer();
    start_count = LatchTimer();     /* スタートカウンタ値 */
    func();
    stop_count = LatchTimer();     /* ストップカウンタ値 */
    total_time = (double)(stop_count - start_count)
        / (double)TIMERCLK;        /* 秒数 */
    return 0;
}

#include <time.h>

func() /* 時間計測ルーチン */
{
    ....
}

```


9. マスカブル割り込みを使用したアプリケーションの開発

本章では、RTE-V850ES/SA3-CB 上でマスカブル割り込みを使用したアプリケーションの開発を行う場合の方法と制限事項について説明します。

9.1. 割り込みベクタ

V850ES/SA3 の割り込みベクタ領域である 000000H ~ 00037FH 番地は、ROM により固定されていて書換えることができません。そこでモニタでは、SRAM 上の 100000 ~ 10037FH 番地に代替ベクタ領域を用意しています。

このモニタでは、000000H ~ 00037FH 番地の割り込みベクタ領域から代替ベクタ領域に分岐しています。

例えば、例外コードが 0080H の割り込みが発生すると、CPU の割り込み機能により 000080H 番地に分岐します。そこには代替ベクタ領域のオフセット 0080H 番地への分岐命令があり、代替ベクタ領域のオフセット 0080H 番地へ分岐します。ユーザ・プログラムでは、分岐先の代替ベクタ領域を書換えることにより、割り込み発生時にユーザ・プログラムの割り込み処理ルーチンに分岐させることができます。

したがって、前述の例外コード 0080H 割り込みの場合、目的の割り込み処理に分岐する命令を 100080H 番地書き込みます。

通常の V850ES/SA3 のプログラムと異なるのは、通常ベクタ領域は ROM 化の時点で固定されており、プログラムで設定する（書換える）必要はありません。しかし、RTE-V850ES/SA3-CB 上でモニタを使用したプログラムの場合、プログラムでベクタを書換えてから、割り込みを許可する必要があります。

代替ベクタを書換えるためのプログラム例を以下に示します（割り込み処理ルーチンから代替ベクタ領域への相対アドレスが 22Bit 以内の場合）。

```
void SetAJump(int addr, int jmpdest) /* ベクタ設定ルーチン */
/* int addr;                          address where we're storing the
'jr' */
/* int jmpdest;                        address where the 'jr' jumps to */
{
    int offset;
    unsigned inst;
    unsigned int *p ;

    offset = jmpdest - addr;
    inst = 0x07800000 /* 'jr' opcode */ | (offset & 0x003ffff);
    *((UINT16 *) (addr + 0)) = (inst >> 16) & 0xffff ;
    *((UINT16 *) (addr + 2)) = (inst & 0xffff) ;
}
.....
void __interrupt IntEntry() /* 割り込み処理ルーチン */
{
    .....
}
.....
main()
{
    .....
    SetAJump((int)(0x080 + 0x100000) ,(int)IntEntry) ;
    /* 目的の割り込みの例外コード */
}
```

9.2. 一般的な制限事項 / 注意事項

マスカブル割り込みを使用したアプリケーションをデバッグする上での制限事項と注意事項を以下に示します。

- 1) 代替ベクタの設定前に割り込みが発生した場合や、代替ベクタを正しく設定しないで割り込みが発生した場合には、割り込みの発生時点でのプログラム位置でブレイクします。これは、代替ベクタの初期値がモニタのブレイク処理ルーチンへの分岐命令になっているためです。
- 2) 代替ベクタ領域から割り込み処理ルーチンまでの相対アドレスが 22Bit を超える場合、割り込み処理ルーチンへの分岐のために、少なくとも 1 つ以上のレジスタの値を壊すか、分岐の中継点を作る必要があります。
- 3) 代替ベクタ領域は、プログラムで書換えるか、プログラムのダウンロード時に書換えることができます(「9.3 ダウンロード時の代替ベクタ領域書換え方法」を参照)。但し、プログラムのダウンロード時の書換えは、使用する割り込み以外を書換えないようにしてください。
- 4) 割り込み関係を含む全てのペリフェラルは、ボード上のリセット・スイッチによってのみ初期化されます。したがって、一度プログラムを実行した後に、プログラムを再ロードして動作させる場合、前のプログラム実行による影響がペリフェラル上に残っている場合があり、誤動作の原因になります。ペリフェラルを使用するプログラムを再実行させる場合は、以下の手順にしてください。
 - (1) モニタをディスコネクトします。
 - (2) RTE-V850ES/SA3-CB のリセット・スイッチを押しボードをリセットします。
 - (3) モニタにコネクトします。
 - (4) プログラムをロードして実行します。
- 5) プログラムの先頭で DI (割り込み禁止) 状態にしてから、ペリフェラルやベクタの設定をした後、EI (割り込み許可) 状態にするようにしてください。
- 6) ブレイク中に割り込みの DI(割り込み禁止) / EI(割り込み許可)状態をデバッグの I/O(レジスタ)操作機能で行う場合は、割り込みマスクレジスタ(IMRn)の該当ビットで行ってください。ブレイク中に割り込み制御レジスタ(PICn or PnnICn)をデバッグの I/O(レジスタ)操作機能で操作した場合は、割り込み動作が正しく機能しなくなることがありますので、割り込み制御レジスタの操作は行わないでください。

9.3. ダウンロード時の代替ベクタ領域書換え方法

プログラムのダウンロード時にベクタを書換える方法として、GHS 社の Multi 環境を基に例を示します。また、この方法は実際に ROM 化するプログラムに類似した方法とも言えます。尚、前述のプログラム例と合わせて参照してください。

- 1) 割り込みベクタ書換え用のプログラムを定義 (ASM 言語)

割り込みベクタに置く分岐命令だけのプログラムを以下のように定義します。記述方法の詳細については、言語処理系のマニュアルを参照してください。

```

.section      "intvct", .text /* Defined section name */
.align      4
.globl      _Int80
_Int80:
    jr _IntEntry          /* jump to handler */
    nop
    nop

```

但し、1つの割り込みに対してベクタの境界を超えて定義することはできませんので注意してください。

2) セクション・マップの定義

リンク時に使用するセクション・マップを以下のように定義します。以下は、内蔵 ROM 領域にプログラムを配置する場合の例です。記述方法の詳細については、言語処理系のマニュアルを参照してください。

```
{
    .intvct      0x100080   :
    .text       0x108000   :
    .data       align(0x10) :
    .
    .
    .
}
```

ベクタに置くプログラムのセクションを最初に定義します。

複数の割り込みを使用する場合には、連続したベクタであれば1つのセクションを定義することで対処できます（割り込みベクタの境界を合わせる必要があります）。不連続の場合は、割り込み毎にセクションを定義し、セクション・マップに全てのセクションを指定することが必要です。

この方法でダウンロード時に代替ベクタ領域の所定の場所が書換えられます。また、割り込みベクタを書換えるためのコードを記述する手間を省くことができます。

9.4. ブレーク・ポイント使用に関する制限事項 / 注意事項

割り込み処理ルーチン内へのブレークポイントの設定や、その後の実行（シングルステップ）に関し、以下の制限事項 / 注意事項がありますのでご注意ください。

1) ブレーク中は全てのマスカブル割り込みは受け付けません。

2) シングル・ステップ機能は、次の命令にテンポラリ・ブレーク・ポイントを設定する方式を取っています。この結果、EI(割り込み許可)状態のユーザ・プログラムをシングル・ステップする場合、シングル・ステップ中にも割り込みを受け付け、1命令をシングル・ステップする間に割り込み処理に分岐し、割り込み処理を行うことがあります。

したがって、シングル・ステップでも、ブレーク・ポイントに関する注意事項に気をつけなければなりません。

3) シングルステップによって割り込み処理ルーチンから抜けることはできません（具体的には、割り込みルーチンの最後の”}”でのシングルステップができません）。同様に、retl 命令のシングルステップもできません。デバッガの”Return”機能で、割り込み処理ルーチンから元のルーチンへ戻ることにはできません。

10.CPU 端子接続

本章では、RTE-V850ES/SA3-CB 内での CPU の各端子の使用状態を説明します。

10.1. 端子接続一覧

下表は CPU 端子の使用状態の一覧です。

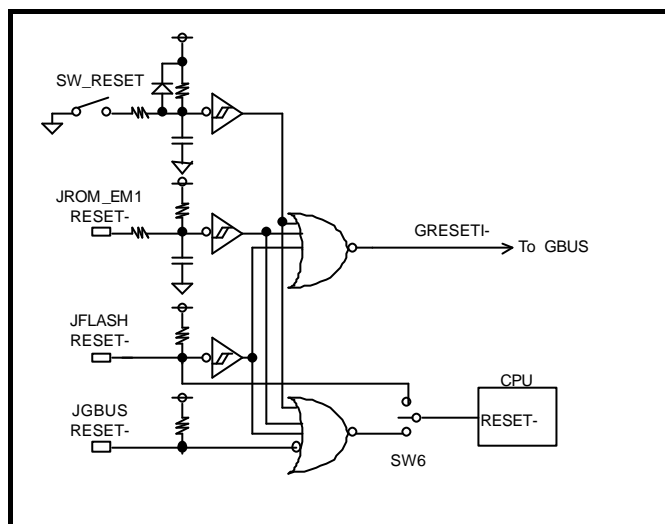
端子名	使用状態	参照章
PDL0-15/D0-15	システムのデータバスとして使用	
P90-915/A0-15,PDH0-7/A16-23	システムのアドレスバスとして使用 PDH0 はフラッシュプログラムの H/S 線としても使用	
PCT0/LWR- PCT1/UWR- PCT4/RD- PCT7/BCYST-	システムバスの制御信号として使用	
PCM0/WAIT-	WAIT-として使用	10.3
PCM1/CLKOUT	BUSCLK として使用	
P00/NMI P01/INTP0/TI2/	モニタ用の割り込み線(INT0)の入力として使用	10.4
P02/INTP1/TI3 P03/INTP2/TI4 P04/INTP3/TI5 P05/INTP4	USBC の DRQ0-の入力として使用 USBC の DRQ1-の入力として使用 USB-IF の電源ラインモニタ割り込みとして使用 PIC の INT1 の割り込み入力として使用	10.5
P43/INTP00/TI0/TCLR0 P44/INTP01/TO0 P45/INTP10/TI1/TCLR1 P46/INTP11/TO1	TIC_CH#1 の出力を割り込み入力として使用 GINT1 -の割り込み入力として使用 GINT2 -の割り込み入力として使用 GINT3 -の割り込み入力として使用	10.6
P30/SI1/RXD0	SIO2-RXD として予約(SW4 で切断可能)	10.7
P31/SO1/TXD0	SIO2-TXD として予約	10.8
P32/SCK1-	SIO2 の制御にポート(RTS)として予約	10.9
P20/SI4	SIO2 の制御にポート(CTS)として予約(SW4 で切断可能)	10.10
P40/SI0 P41/SO0/SDA P42/SCK0-/SCL	フラッシュライタからの書き込み用として使用	10.11
P70-715/ANI0-15 P80-81/ANO0-1	未使用、470K でプルダウン	10.12
その他のポート	未使用、47K でプルアップ	10.12
RESET-	RESET を入力	10.2
X1,X2	17MHz の Xtal を接続 フラッシュプログラマからのクロックを接続することも可	
XT1,XT2	32.768KHz の Xtal を接続	

10.2. RESET-

CPU へのリセットは以下に示した要因で発生します。このリセットは、CPU をリセットすると共にボード全体のシステム・リセットとなります。

- **パワーオン・リセット**：ボードの電源 ON 時に発生するリセットです。
- **JROM_EM からのリセット要求**：JROMEM コネクタの RESET-端子からの入力によるリセットです（「5.10 ROM エミュレータ用テストピン (JROM-EM1)」参照）
- **SW_RESET によるリセット**：リアパネル部分に用意されているリセット・スイッチ(SW_RESET)が押されるとリセットが発生します（「5.1 リセット・スイッチ (SW_RESET)」参照）
- **JGBUS からのリセット**：JGBUS に接続したボードからのリセットです。
- **JFLASH からのリセット**：フラッシュプログラマからのリセットです。

RESET の生成ロジックの概要を下図に示します。



10.3. PCM0/WAIT-

PCM0/WAIT-端子は、READY 信号として使用されています。

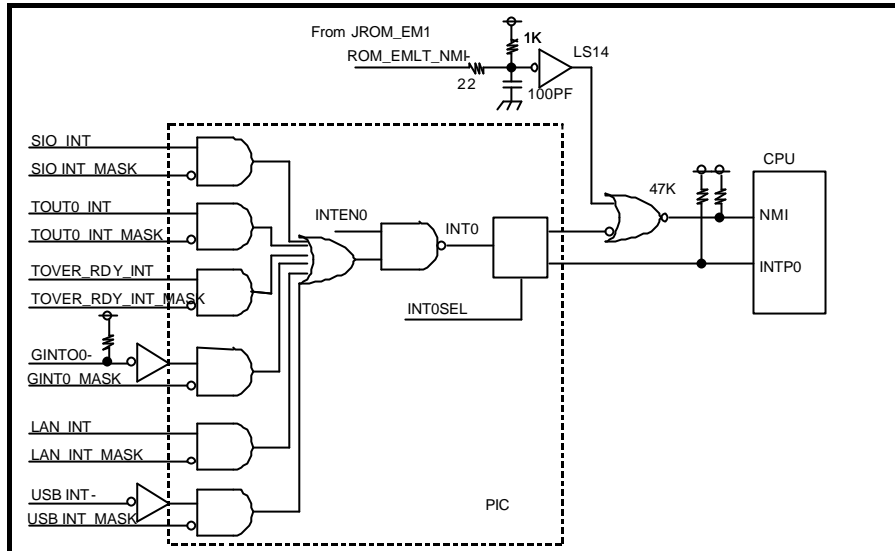
タイムオーバ・レディーは、バスサイクルが一定時間以上経過してもクローズしない場合と、GBUS の GMOTHER_DETECT-信号が High (GBUS にボードが接続していない) の時、GBUS に割り当てられた空間へアクセスした場合に発生します。

タイムオーバ・レディーが発生した場合、ボード上の TOVER_LED が点灯し、PIC に対し割り込みが入ります。TOVER_LED はタイムオーバ・レディーLED クリア・パルスをソフト的に発生させるか、ボードがリセットされるまで点灯し続けます（「7.4.5タイムオーバ・レディーLED クリア・パルス (TOVRDY_LED_CLRPLS 680300H [Write Only])」参照）。

READY のドライブ部分の構成を下図に示します。

10.4. P00/NMI, P01/INTP0/TI2

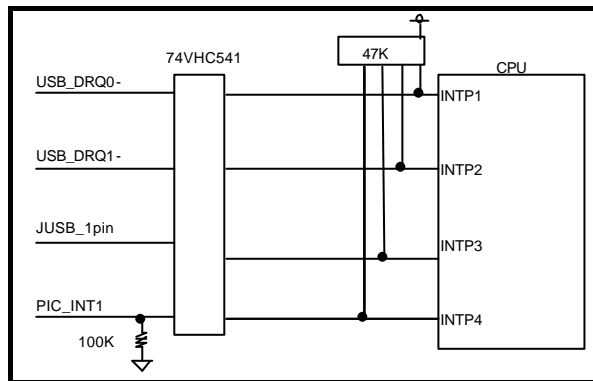
NMI, INTP0 の生成ロジックの概念図を下図に示します。下図の xxx_MASK 信号は、PIC のレジスタへの設定を示します (「7.4.6 割り込みコントローラ(PIC:680400H - 680430H [Read/Write])」参照)。



10.5. P02/INTP1/TI3, P03/INTP2/TI4, P04/INTP3/TI5, P05/INTP4

P02/INTP1/TI3, P03/INTP2/TI4 は、USBC からの DMA 起動用の割り込みとして使用し、P04/INTP3/TI5 は、USB-IF の電源モニタ、P05/INTP4 は PIC からの INT1 の割り込みとして使用します。

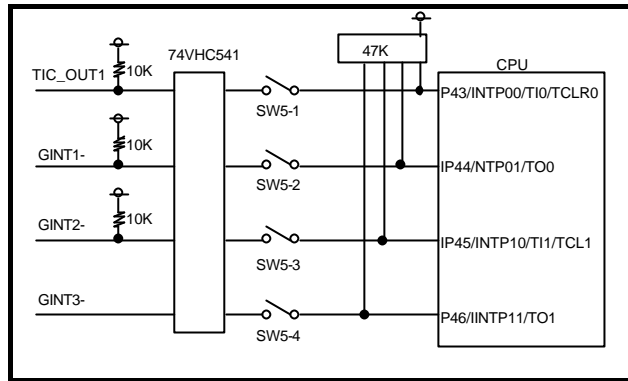
それぞれの接続の様子を下図に示します。



10.6. P43/INTP00/TI0/TCLR0, P44/INTP01/TO0, P45/INTP10/TI1/TCLR1, P46/INTP11/TO1 P46/INTP03/TO1

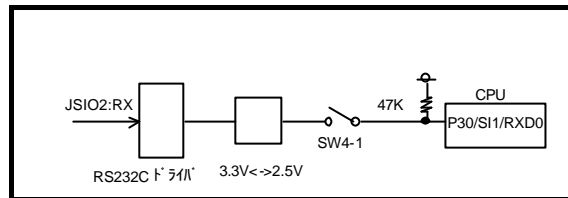
P43/INTP00/TI0/TCLR0, P44/INTP01/TO0, P45/INTP10/TI1/TCLR1, P46/INTP11/TO1 P46/INTP03/TO1 は、割り込みとして使用し、GBUS-INT0,1,2、及び、TIC_OUT1(タイマーCH#1 の出力)がスイッチを経由して接続されています。

それぞれの接続の様子を下図に示します。



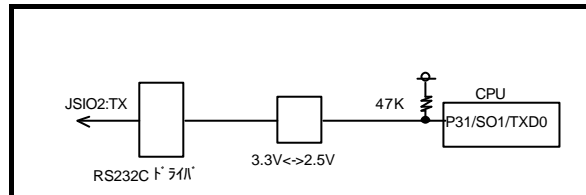
10.7. P30/SI1/RXD0

P30/SI1/RXD0 端子は、SIO2 の Rx を RS232C 受信ドライバを経由して接続されています。この様子を下図に示します。



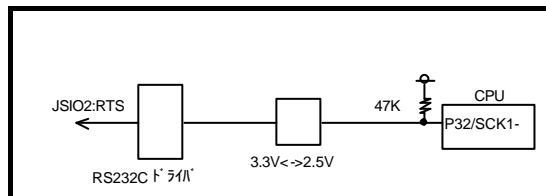
10.8. P31/SO1/TXD0

P31/SO1/TXD0 端子は、RS232C 送信ドライバを経て、SIO2 の Tx に使用されています。この様子を下図に示します。



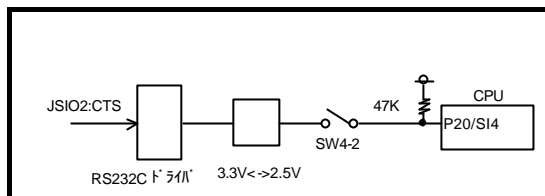
10.9. P32/SCK1-

P32/SCK1-端子は、RS232C 送信ドライバを経て、SIO2 の RTS に使用されています。この様子を下図に示します。



10.10.P20/SI4

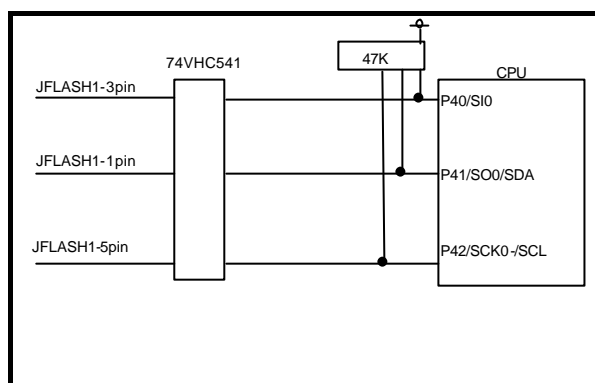
P20/SI4 端子は、SIO2 の CTS を RS232C 受信ドライバ経由して接続されています。この様子を下図に示します。



10.11.P40/SI0,P41/SO0/SDA,P42/SCK0-/SCL

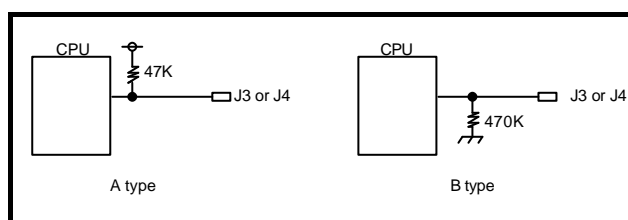
P40/SI0,P41/SO0/SDA,P42/SCK0-/SCL は、フラッシュライタとの通信に JFLASH1 コネクタに接続されています。

それぞれの接続の様子を下図に示します。



10.12.その他の信号

ボード内で使用していない信号は、一部を除き J3, J4 コネクタに接続しています。



11.GBUS 個別仕様

本章では、RTE-V850ES/SA3-CB での GBUS の使用状況を説明します。GBUS の一般的な仕様については「14 APPENDIX.C GBUS 共通仕様」を参照してください。

11.1. 概要

RTE-V850ES/SA3-CB での GBUS の信号線使用状況を下表に示します。

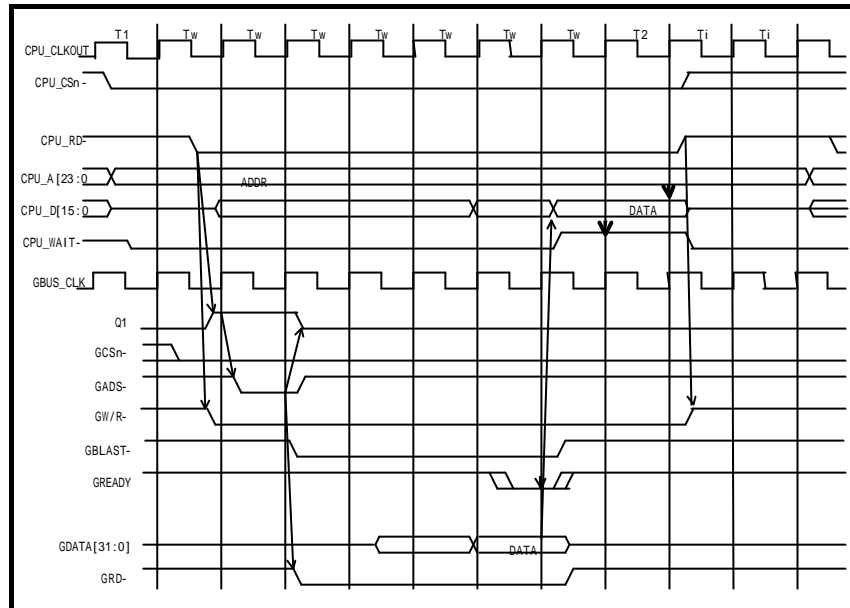
GBUS 信号名	機能	参照
GADDR[31:2]	アドレス線として使用。GADDR[26:31]は未接続。GADDR[25:24]は、Don't care。	
GDATA[31:0]	データ線として使用。リード・サイクル時は、VBCLK の立ち上がりでラッチされたものが CPU に供給される。	
GCS-[6:0]	本ボードで生成して、チップ・セレクト線として出力。	
GCLK	CPU の BUSCLK とは、非同期の 33MHz 固定のクロックを出力。	
GRESETI-	本ボード上で発生したリセット要求を出力。	
GRESETO-	GBUS からのリセット要求として使用。	
GADS-, GREADY-, GBLAST-, GW/R-	バス制御信号として使用。	
GWAITI-	未接続	
GBTERM-	未接続	
GRD-, GWR-	GBUS の制御信号から生成した、RD-, WR-信号を接続。	
GHOLD-, GH LDA-	未接続	
GBREQ-	未接続	
GDMARQ-[3:0]	未接続	
GDMAAK-[3:0]	未接続	
GINTO-[3:0]	割り込み要求信号として使用。	10.6
GINTI-[1:0]	GINTI0 と GINTI1-へは、それぞれ TIC(μPD71054)の OUT0 と OUT1 を接続。	
GETC[7:0]	未接続。	
GAHI_EN-	未接続	
GMOTHER_DETECT-	タイムオーバ・レディー生成回路で使用。	
GUSE_DIRECT_ACC-	未接続	
GCLK_LOW-	未接続	
GLOCK-[1:0]	未接続	

11.2. バス・サイクル

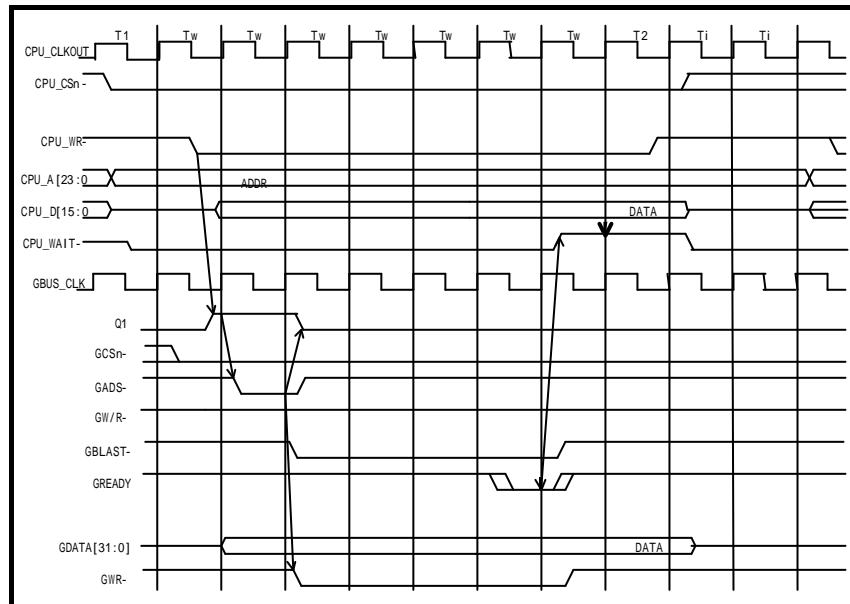
GBUS の GCLK へは、CPU のクロックを接続しています。GAHI_EN-を未接続にしているため、GADDR[26:31]は未接続になっています。また、GADDR[24:25]は常に[0,0]です。

GBUS からのリード・サイクルは、GBUS 上で 0Wait 動作が可能です。

以下に示す波形で、CPU_xxx 信号は CPU の信号です。また、Gxxx 信号は GBUS の信号です。
リード・サイクルの様子を下図に示します。



ライト・サイクルの様子を下図に示します。



11.3. チップセレクト

本ボードでは、GBUS の各チップセレクトには、下記の空間が割り当てられています。下記の全ての空間では、CPU 内蔵のバス・コンフィグレーション・レジスタの設定は、16 ビット・データバス幅、0 または 1Wait に設定してください（「7.2.1 CPU レジスタ」参照）。

GBUS 信号名	CPU アドレス範囲	備考	RTE-MB-A の資源
GCS0-	700000 - 7FFFFFF(*1)	7.4.8MB-SRAMHigh ADDR (680600H[Read/Write])	共有 SRAM(2M)
GCS1-	400000 - 47FFFF 480000 - 5FFFFFF 600000 - 67FFFF	SW2-1:FBOOT=OFF 時にホト 512K ホト 512K 以降の 1.5M-Byte ホト 512K 7.4.9MB-FROMHigh ADDR (680610H[Read/Write])	フラッシュ ROM(8M)
GCS2-	690000 - 69FFFF		IO レジスタ
GCS3-	6C0000 - 6FFFFFF(*1)	7.4.11MB-EXTBUS-IO High ADDR (680600H[Read/Write])	EXT-bus:メモリ空間
GCS4-	6A0000 - 6AFFFF(*1)	7.4.11MB-EXTBUS-IO High ADDR (680600H[Read/Write])	EXT-Bus:IO 空間
GCS5-	800000 - FFFFFFF		PCI バス空間(MEM)
GCS6-	688000 - 688FFF		PCI-Cont レジスタ
GCS7-	6B0000 - 6BFFFF		PCI バス空間(IO)

補足：

*1:これらの空間は CPU のアドレス範囲を越える資源が MB ボード上にあります。

本ボードでは、全ての資源をアクセスする為に上位アドレスを指定する為のポートがあります。

11.4. RTE-MB-A の初期設定

PCI バスに関する PLEX-9080 の設定は、下表のように設定してください

レジスタ名	アドレス	設定値
Local Range Register for Direct Master to PCI(9CH)	0x68809C	0xFF800000
Local Bus Address Register dor Direct Master to PCI Memory(A0h)	0x6880A0	0x00800000
Local Base Address Register for Direct Master to PCI IO/CFG(A4h)	0x6880A4	0x80000000

12. APPEDIX.A Multi モニタ

Multi用のモニタ ROM を使用して、ホストの Multi デバッガと接続して使用する場合の設置方法と使用上の注意事項について説明します。

12.1. ボードの設置

12.1.1. RTE for Win32 のインストール

Multi デバッガを使用する場合には、PC に通信用のソフトウェア (RTE for Win32) をインストールする必要があります。ソフトウェアのインストールとテストについては、添付の「 RTE for Win32 インストール・マニュアル」を参照してください。

12.1.2. SW1 の設定

SW1 は、汎用の入力ポートのスイッチですが、実装されている Multi 用のモニタでは、以下の通り使用しています。正しく設定してご使用ください。

SW1 番号	1	2	ボーレート	
設定	ON	ON	115200 baud	
	OFF	ON	38400 baud	
	ON	OFF	19200 baud	
	OFF	OFF	9600 baud (出荷時の設定)	

ボーレートの設定

SW1 番号	3	4	プロファイラ周期	
設定	ON	ON	タイマを使用しない	
	OFF	ON	200 Hz	5 ms
	ON	OFF	100 Hz	10 ms
	OFF	OFF	60 Hz	16.67ms (出荷時の設定)

プロファイラ周期の設定

SW1 番号	5	デバッガのモード
設定	ON	INTP0 を使用します。
	OFF	NMI を使用します。 (出荷時の設定)

モニタで使用する割り込みの設定

SW1 番号	8	デバッガのモード
設定	ON	テストモードでモニタを立ち上げます。
	OFF	通常の使用状態 (出荷時の設定)

デバッグモードの設定

SW1-6～7 は、Multi モニタでは使用していません。

SW1-8 を ON にした場合、立上げに時間がかかります。また、LED に対しモニタが表示を行います。通常は、OFF の状態でご使用ください。

12.1.3. ボードの接続

「6 ホスト PC との接続」を参照して、シリアルで PC と接続してください。

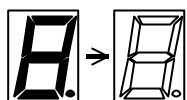
12.2. Multi モニタ

12.2.1. 起動時の 7Seg-LED

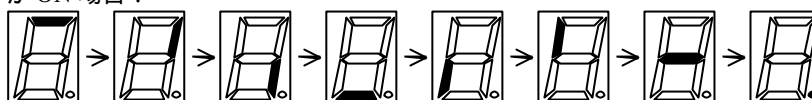
Multi 用の ROM モニタは、ボードの電源を入れると 7Seg-LED が次のように動きます（黒い部分が点灯部分）。

1) 7Seg-LED のチェック動作（下図参照）

SW1-8 が OFF の場合：



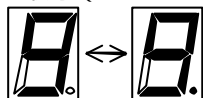
SW1-8 が ON 場合：



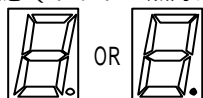
2) SRAM の簡易メモリチェックによる数字のカウンタ

SW1-8 が OFF の場合は行いません。

3) 接続待ち状態（プロファイラのタイマを停止している場合は、ドットの点滅なし）



4) 接続状態（ドットの点灯は、接続した時のドットの点灯状態が保持される）



12.2.2. ROM モニタ・ワーク RAM

ROM モニタでは、SRAM の上位の 32KB (10-0000H - 10-7FFFH) をワーク用の RAM として使用しています。したがって、この空間とこの空間のイメージ領域は、ユーザ・プログラムで使用できません。

12.2.3. モニタ割り込み

モニタ通信、タイマ及び、強制ブレークで使用する割り込みは、SW2-5 で選択された割り込みを使用します。

12.2.4. _INIT_SP の設定

モニタで _INIT_SP（スタック・ポインタの初期値）は、3F-7FF0H に設定されています（Multi の環境で _INIT_SP で変更することもできます）。モニタでは、ユーザ・プログラムで設定したスタック領域を 32 バイト使用します。

12.2.5. タイマ割り込み

タイマ割り込みを禁止しますと、Multi のプロファイラ機能が使用できません（タイマ割り込みの設定については『12.1.2 SW1 の設定』を参照）。

12.2.6. ハードウェアの初期化

ROM モニタでは、ボード上の資源に対し、直にアクセスできるように初期化を行っています。

12.2.7. 特殊命令

以下の命令を、シングルステップ、ブレークポイント及びシスコール機能で使用しています。

BRKTRAP 命令 (0xnn40)

ユーザ・プログラム内では、ブレーク命令と解釈されるコードは使用しないでください。

12.3. RTE コマンド

サーバと接続すると TARGET ウィンドウが開かれ、ここで RTE コマンドを発行することができます。表に RTE コマンドの一覧を示します。

コマンド名	内容
HELP, ?	ヘルプ表示
INIT	イニシャライズ
VER	バージョン表示
SFR	内部 I/O 表示 / 設定

RTE コマンド一覧

各コマンドには、パラメータを必要とするものがあります。アドレスやデータなど、数値のパラメータは、全て 16 進数とみなされます。以下の数値指定は誤りです。

0x1234 1234H \$1234

12.3.1. HELP(?)

<書式> HELP [コマンド名]

HELP は、RTE コマンドの一覧や書式を表示します。また、“HELP”と入力するかわりに“?”としても同様です。コマンド名を省略すると、使用できるコマンド一覧を表示します。

<例> HELP SFR

SFR コマンドのヘルプを表示します。

12.3.2. INIT

<書式> INIT

INIT は、RTE 環境の初期化を行ないます。通常、このコマンドを使用しないでください。

12.3.3. VER

<書式> VER

VER は、RTE 環境のバージョンを表示します。

12.3.4. SFR コマンド

<書式> SFR [レジスタ名 [=データ]]

レジスタ名を指定してデータを省略した場合は、そのレジスタからリードしたデータを表示します。レジスタ名と“=”の後にデータを指定した場合には、そのレジスタにデータをライトします。データのサイズは、指定したレジスタの有効サイズで自動的に決定されます。内部 I/O レジスタの詳細については、V850ES/SA3-CPU のマニュアルを参照してください。

<例 1> SFR

レジスタ一覧を表示します。

<例 2> SFR IMR

レジスタ IMR の内容を表示します。

<例 3> SFR IMR=55AA

レジスタ IMR にデータ 55AAH をライトします。

13.APPEDIX.B PARTNER モニタ

PARTNER 用のモニタ ROM を使用して、ホストの PARTNER と接続して使用する場合の設置方法と使用上の注意事項について説明します。

13.1. ボードの設置

13.1.1. SW1 の設定

SW1 は、汎用の入力ポートのスイッチですが、実装されている PARTNER 用のモニタでは、以下の通り使用しています。正しく設定してご使用ください。

SW1 番号	1	2	ボーレート
設定	ON	ON	115200 Baud
	OFF	ON	38400 baud
	ON	OFF	19200 baud
	OFF	OFF	9600 baud (出荷時の設定)

ボーレートの設定

SW1 番号	3	4	タイマ
設定	ON	ON	Partner では使用しませんので、常時この状態でご使用ください。

プロファイラ周期の設定

SW1 番号	5	デバッガのモード
設定	ON	INTP0 を使用します。
	OFF	NMI を使用します。 (出荷時の設定)

モニタで使用する割込みの設定

SW1 番号	8	デバッガのモード
設定	ON	テストモードでモニタを立ち上げます。
	OFF	通常の使用状態 (出荷時の設定)

デバッグモードの設定

SW1-6～7 は、Partner モニタでは使用していません。

SW1-8 を ON にした場合、立上げに時間がかかります。また、LED に対しモニタが表示を行います。通常は、OFF の状態でご使用ください。

13.1.2. ボードの接続

「6 ホスト PC との接続」を参照して、シリアルで PC と接続してください。

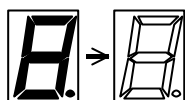
13.2. PARTNER モニタ

13.2.1. 起動時の 7Seg-LED

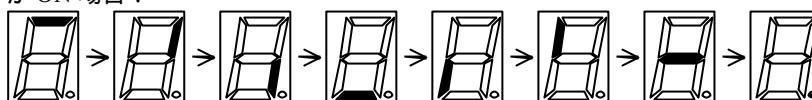
Partner 用の ROM モニタが実装されている場合、ボードの電源を入れると 7Seg-LED が次のように動きます（黒い部分が点灯部分）。

1)7Seg-LED のチェック動作（下図参照）

SW1-8 が OFF の場合：



SW1-8 が ON 場合：



2)RAM の簡易メモリチェックによる数字のカウント

SW1-8 が OFF の場合は行いません。

3)接続待ち状態



4)接続状態



13.2.2. ROM モニタ・ワーク RAM

ROM モニタでは、SRAM の上位の 32KB (10-0000H – 10-7FFFH) をワーク用の RAM として使用しています。したがって、この空間とこの空間のイメージ領域は、ユーザ・プログラムで使用できません。

13.2.3. モニタ割り込み

モニタ通信及び、強制ブレーク（ESC ボタン）で使用する割り込みは、SW2-5 で選択された割り込みを使用します。

13.2.4. SP の設定

モニタのスタック・ポインタの初期値は、3F-7FF0H に設定されています。（Partner 環境変数の INIT_SP で変更することもできます）モニタでは、ユーザ・プログラムで設定したスタック領域を 32 バイト使用します。

13.2.5. ハードウェアの初期化

ROM モニタでは、ボード上の資源に対し、直にアクセスできるように初期化を行っています。

13.2.6. 特殊命令

モニタでは、以下の命令を、シングルステップ、ブレークポイント及びシスコール機能で使用しています。

BRKTRAP 命令 (0xnn40)

ユーザ・プログラム内では、ブレーク命令と解釈されるコードは使用しないでください。

14.APPELIX.C GBUS 共通仕様

ここでは、ボードの品種に依存しないGBUSの仕様について説明します。

14.1. 用語

この章で用いる用語について説明します。

14.1.1. CPUボードとマザー・ボード

RTE-CBシリーズのボードのことをCPUボード、CPUボードのGBUSに接続する弊社製のボードをマザー・ボードと呼ぶことにします。

14.1.2. バス・サイクル、マイクロ・サイクル

GBUSは、バースト・アクセス可能な一般的なバスです。

バス・サイクルとは、アクセスがバーストした場合も含み、一連のサイクルが終了するまでの区切りのことを示すものとします(1回のGADSのアサートが必要とされる区切り)。

バス・サイクルには、シングル・サイクルとバースト・サイクルがあります。シングル・サイクルとは、1回のデータ転送しか発生しないバス・サイクルのことを示します。バースト・サイクルとは、複数回のデータの転送が発生するバス・サイクルのことを示します。

また、バースト・サイクルのデータ転送1回ごとのサイクルをマイクロ・サイクルと呼ぶことにします。

14.2. 信号

GBUSの信号の内容を下表に示します。GBUSの各信号の入出力方向は、マザー・ボード側を基準にして記述します。つまり、「入力」とある場合、CPUボードから出力されマザー・ボードへ入力される信号を示します(信号名にもこの基準が適用されています)。

下表で「双方向」と記載されている信号はバス・サイクルの状態では信号の向きが切り替わることを示します。

また、「入力/出力」と記載されている信号はバス・マスタがCPUボードなのかマザー・ボードなのかによって信号の向きが切り替わる事を示し、前に書かれているのがCPUボードがバス・マスタの時の信号の方向、後に書かれているのがマザー・ボードがバス・マスタの時の信号の方向を示します。

GBUSの信号は、+5VのTTLレベルです。また、マザー・ボードは常にリトル・エンディアンです。

信号名	入出力	機能
GCLK	入力	<ul style="list-style-type: none"> GBUSの同期クロック。最高周波数は33.33MHz。最低周波数は10.0MHz。GBUSはこのクロックの立ち上がり同期して動作する。 マザー・ボード上では、+5VとGNDに対してそれぞれ330Ωでターミネーションされるため、CPUボードの回路はこれをドライブできなければならない。 GCLKが16.67MHzより周波数が低い場合、GCLK_LOWをLowにする。これにより、マザー・ボードはウェイト数の調整を行える。 この信号は、PLL(Phase Lock Loop)によるゼロ・ディレイ・バッファが使用される場合があるので、GCLKの周波数を変更した場合は、PLLのロックのために周波数変更後最低でも1m秒の間はマザー・ボードにアクセスしてはならない。
GRESETI-	入力	<ul style="list-style-type: none"> GBUSのリセット信号。CPUボード上でリセットが発生した時に、この信号をLowにする。マザー・ボードはこの信号によってリセットされる(マザー・ボード上の他の要因によってマザー・ボードがリセットされる場合もある)。
GRESETO-	出力	<ul style="list-style-type: none"> マザー・ボードのリセットが発生した場合、Lowになる信号。 マザー・ボードでは、マザー・ボード上で発生したリセットとGRESETI-をORしたものをGRESETO-とする。したがってCPUボードは、GRESETI-とGRESETO-をORした信号で、CPUボード上の回路をリセットする(GRESETI-とGRESETO-をORするのは、マザー・ボードが接続されていない時のため)。

信号名	入出力	機能
GADDR[31:2]	入力/出力	<ul style="list-style-type: none"> GBUSのアドレス信号。サイクル中は常に有効な値でドライブされる。 GADDR[31]は、CPUがバス・マスタの場合、マザー・ボード上で無視される。 下位アドレスのA1,A0は、バイト・イネーブル信号を用いる。 GAHL_EN-信号により、CPUボードからのGADDR[31:26]を0として扱うようにできる。 バス・マスタがマザー・ボードの場合、GADDR[25]が0の時、マザー・ボード上の資源が、GADDR[25]が1の時CPUボード上の資源が選択されていることを示します。
GBEN-[3:0]	入力/出力	<ul style="list-style-type: none"> GBUSのバイト・イネーブル信号。サイクル中は常に有効な値でドライブされる。 それぞれ、GBEN0-がGDATA[7:0]、GBEN1-がGDATA[15:8]、GBEN2-がGDATA[23:16]、GBEN3-がGDATA[31:24]の各バイト・レーンに対応し、GBENx-がLowの時に対応するバイト・レーンが有効。
GDATA[31:0]	双方向	<ul style="list-style-type: none"> GBUSのバス・データ信号。 マザー・ボード上で10KΩでプルアップされる。 この信号の方向は、GW/R-により決定する。
GADS-	入力/出力	<ul style="list-style-type: none"> GBUSのアドレス・ストロブ信号。GCLKの立ち上がりでこの信号がLowにサンプルされると、バス・サイクルの開始を示す。 マザー・ボードは、いずれのチップ・セレクト信号(GCS-[7:0])もアクティブでない場合GADS-は無視する。
GREADY-	出力/入力	<ul style="list-style-type: none"> GBUSのレディー信号。マイクロ・サイクル中にGCLKの立ち上がりでこの信号がLow、GWAITI-がHighにサンプルされると、マイクロ・サイクルの終了を示す。 CPUボードからマザー・ボードに対するアクセス時のタイムオーバ・レディは、マザー・ボードが生成する。これは、GREADY-信号がぶつかってしまうのを回避するためである。
GWAITI-	入力	<ul style="list-style-type: none"> ウェイト要求信号。GCLKの立ち上がりでサンプルされる。 CPUボード側の都合で、少ないWait数のサイクルに対応できない場合、CPUボードはGREADY-のサンプル・タイミングで、GWAITI-をLowにサンプルされるようにすることで、仮にそのタイミングでGREADY-がLowであったとしても、それをマザー・ボードにレディーとして扱わせないことができる。通常、CPUボードがゼロWaitパーストに対応できない場合などに使用する(「14.6.3 GWAITI-」参照)。 この信号は、CPUボードがバス・マスタのサイクルのみ有効。
GBLAST-	入力/出力	<ul style="list-style-type: none"> バス・サイクル終了通知信号。GCLKの立ち上がりでサンプルされる。 バス・サイクルを終了するマイクロ・サイクルの開始時から、バス・マスタがLowにアサートします。 GBLAST-がLow、GREADY-がLow、GWAITI-がHighがGCLKの立ち上がりでサンプルされると、バス・サイクルが終了します。
GBTERM-	出力/入力	<ul style="list-style-type: none"> バス・サイクル終了要求信号。GCLKの立ち上がりでサンプルされる。 アクセスされている側が、バス・サイクルの終了を要求する場合、GREADY-信号と共にGBTERM-信号をLowにする。バス・マスタは、GREADY-がLowとしてサンプルした時、GBTERM-もLowとサンプルした場合、GBLAST-をアサートしていても、バス・サイクルを一旦終了させ、改めてGADS-をアサートしてバス・サイクルを開始しなければならない。GBTERM-のアサートはGREADY-のアサートと同時になければならない。 この信号は、アクセスされている側が、パースト・サイクルに対応していなかったり、対応しているパースト回数を越えるパースト・サイクルを要求された場合に、バス・サイクルを終了させるために使用する。
GW/R-	入力/出力	<ul style="list-style-type: none"> Write/Read信号。データ・バスの方向を示す。バス・サイクル中、常に有効な値でドライブされる。 この信号はバス・マスタにとってのデータ・バスの方向を示す。
GCS-[7:0]	入力	<ul style="list-style-type: none"> チップ・セレクト信号。バス・サイクル中、常に有効な値がドライブされる。 CPUボードがバス・マスタの時に、マザー・ボード上の資源を指定するために該当するチップ・セレクト信号をアクティブにする。 各チップ・セレクト信号は、メモリ/I/O空間の別、空間の広さなどに規定がある(「14.5 GCS-[7:0]の割り付け」参照)。

信号名	入出力	機能
GRD-	入力	<ul style="list-style-type: none"> ・ リード・タイミング信号。CPU ボードがバス・マスタの時にアサートされる。 ・ この信号はマザー・ボードでは使用しない。 ・ 通常、CPU の RD-コマンド信号がある場合は、その信号が接続される。
GWR-	入力	<ul style="list-style-type: none"> ・ ライト・タイミング信号。CPU ボードがバス・マスタの時にアサートされる。 ・ この信号はマザー・ボードでは使用しない。 ・ 通常、CPU の WR-コマンド信号がある場合は、その信号が接続される。
GHOLD-	出力	<ul style="list-style-type: none"> ・ バス・ホールド要求信号。 ・ マザー・ボードが CPU ボード上の資源にアクセスする場合、Low にアサートしバス権を要求する。 ・ GUSE_DIRECT_ACC-信号が High の場合、CPU ボード側にマザー・ボードからアクセス可能な資源がないことを示し、この場合 CPU ボードは GHOLD-に対応する必要はない。
GHLDA-	入力	<ul style="list-style-type: none"> ・ バス・ホールド応答信号。 ・ CPU ボードがマザー・ボードに GBUS のバス権を渡したことを示す信号で、その時 Low にアサートされる。 ・ GUSE_DIRECT_ACC-信号を High にしている CPU ボードは、この信号を未接続にできる。
GBREQ-	入力	<ul style="list-style-type: none"> ・ バス権返還要求信号。 ・ GHLDA-が Low にアサートし、マザー・ボードにバス権を渡している間に、CPU ボードがバス権を必要とした場合に GBREQ-を Low にアサートする。 ・ GBREQ-が Low にアサートされた時、マザー・ボードがバス・サイクル中だった場合、次のマイクロ・サイクルで GBLAST-をアサートして、次のマイクロ・サイクルでバス・サイクルを終了し、GHOLD-をデアサートしなければならない。 ・ GBREQ-は、マザー・ボードがバス・マスタのバス・サイクルのバースト回数が多い場合や、リフレッシュ・サイクルなどの優先順位の高いバス・サイクルが CPU ボード上で保留されている場合など、一旦バス権を CPU ボードに返させたい場合に使用する。
GDMARQ-[3:0]	出力	<ul style="list-style-type: none"> ・ DMA 要求信号。サポートされる DMA は、2 サイクル DMA のみで、フライバイ DMA はサポートされない。 ・ マザー・ボード上で DMA 要求が発生した場合、Low にアサートする。 ・ CPU ボードは 4 本全ての DMA をサポートしなければならないが、同時に起動できる DMA の数、および GDMAAK-信号が対応できる本数については、CPU ボードに依存する。 ・ CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てる。
GDMAAK-[3:0]	入力	<ul style="list-style-type: none"> ・ DMA 応答信号。 ・ マザー・ボードからの DMA 要求に応答する場合に Low にアサートする。 ・ CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てる。 ・ マザー・ボードは、GDMAAK-信号がなくとも動作するように設計されている。
GINTO-[3:0]	出力	<ul style="list-style-type: none"> ・ 割り込み要求信号。 ・ GINTO0-は、レベル・センシティブとして使用可能。 ・ GINTO-[3:1]は、レベル・センシティブとエッジ・センシティブのどちらで使用可能かは、CPU ボードに依存する (CPU に直結される場合があるため)。マザー・ボードはどちらにでも対応可能なようになっている。 ・ Low レベル時、もしくは立ち下がりエッジで割り込み発生を示す。
GINTI-[1:0]	入力	<ul style="list-style-type: none"> ・ 割り込み要求信号 ・ CPU ボード上の割り込みを、他のマザー・ボード上の割り込みと合成して GINTO-[3:0]に戻すために設けられた割り込み信号。 ・ 通常は CPU ボード上の TIC (μPD71054) の OUT0 と OUT1 が接続される。マザー・ボードは、この割り込み信号に対して、センシティブの種類やポラリティについて、プログラマブルになっている。

信号名	入出力	機能
GETC[7:0]		<ul style="list-style-type: none"> ・ CPU ボード依存信号。 ・ 信号の方向や信号の内容まで含めて、GETC[7:0]の内容についてはCPU ボードが決定する。CPU ボードは特別な目的の信号をマザー・ボードとやり取りする場合は、この信号を用いる。
GAHI_EN-	入力	<ul style="list-style-type: none"> ・ アドレス上位有効信号。 ・ この信号が Low の時、CPU ボードがバス・マスタの場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていることを示す。この信号が High の場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていないことを示し、マザー・ボード上の回路は、GADDR[31:26]が全て Low として処理する。
GMOTHER_DETECT-	出力	<ul style="list-style-type: none"> ・ マザー・ボード検出信号。 ・ この信号は、CPU ボード上でプルアップされ、マザー・ボード上で GND に接続される。マザー・ボードが接続されている事を CPU ボード側で判断しなければならない場合にこの信号を使用する。例えば、CPU ボードのタイムオーバ・レディ生成回路。
GUSE_DIRECT_ACC-	入力	<ul style="list-style-type: none"> ・ この信号が Low の時、CPU ボード側にマザー・ボードからアクセス可能な資源が存在することを示す。
GCLK_LOW-	入力	<ul style="list-style-type: none"> ・ この信号が Low の時、GCLK の周波数が 16.67MHz 以下であることを示す。High の場合は、GCLK の周波数が 16.67MHz ~ 33.33MHz であることを示す。 ・ マザー・ボード上の回路は、この信号を使用して、マザー・ボード上の資源へのアクセスの際のウェイト数を決定する。
GBLOCK-[1:0]	入力	<ul style="list-style-type: none"> ・ バス・ロック信号。バス・サイクル中と、ロックするバス・サイクル間で有効でなければなりません。 ・ CPU からバス・ロック信号が出力されている場合、この端子を使用してバス・ロック信号をマザー・ボードに接続する。 ・ GBLOCK0-信号は、GCS0-の空間に対して有効。GBLOCK1-は、GCS5-と GCS7-の空間に有効。
+5V	出力	<ul style="list-style-type: none"> ・ 電源。+5V\pm5%をマザー・ボードから CPU ボードへ供給する。
+12V	出力	<ul style="list-style-type: none"> ・ 電源。+12V\pm10%をマザー・ボードから CPU ボードへ供給する。ただし、CPU ボードが+12Vを必要としていなければマザー・ボードは+12Vを供給する必要はない。

14.3. ピン配置

下表に GBUS のピン配置を示します。Reserve は予約済みのピンを、N/C は未接続のピンを示します。

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+12V	2	+12V	3	GND	4	+5V
5	GADDR2	6	GADDR3	7	GADDR4	8	GADDR5
9	GADDR6	10	GADDR7	11	GND	12	+5V
13	GADDR8	14	GADDR9	15	GADDR10	16	GADDR11
17	GADDR12	18	GADDR13	19	GADDR14	20	GADDR15
21	GND	22	+5V	23	GADDR16	24	GADDR17
25	GADDR18	26	GADDR19	27	GADDR20	28	GADDR21
29	GADDR22	30	GADDR23	31	GND	32	+5V
33	GADDR24	34	GADDR25	35	GADDR26	36	GADDR27
37	GADDR28	38	GADDR29	39	GADDR30	40	GADDR31
41	GND	42	+5V	43	GBEN3-	44	GBEN2-
45	GBEN1-	46	GBEN0-	47	GND	48	+5V
49	GDATA31	50	GDATA30	51	GDATA29	52	GDATA28
53	GDATA27	54	GDATA26	55	GDATA25	56	GDATA24
57	GND	58	+5V	59	GDATA23	60	GDATA22
61	GDATA21	62	GDATA20	63	GDATA19	64	GDATA18
65	GDATA17	66	GDATA16	67	GND	68	+5V
69	GDATA15	70	GDATA14	71	GDATA13	72	GDATA12
73	GDATA11	74	GDATA10	75	GDATA9	76	GDATA8
77	GND	78	+5V	79	GDATA7	80	GDATA6
81	GDATA5	82	GDATA4	83	GDATA3	84	GDATA2
85	GDATA1	86	GDATA0	87	GND	88	+5V
89	GND	90	GW/R-	91	GBTERM-	92	GREADY-
93	GRESETI-	94	GADS-	95	GBLAST-	96	GWAITI-
97	GND	98	GCLK	99	GND	100	+5V
101	GCS0-	102	GCS1-	103	GCS2-	104	GCS3-
105	GCS4-	106	GCS5-	107	GCS6-	108	GCS7-
109	Reserve	110	Reserve	111	Reserve	112	Reserve
113	GRD-	114	GWR-	115	GND	116	+5V
117	GHOLD-	118	GHLDA-	119	GBREQ-	120	N/C
121	GDMARQ0-	122	GDMARQ1-	123	GDMARQ2-	124	GDMARQ3-
125	GDMAAK0-	126	GDMAAK1-	127	GDMAAK2-	128	GDMAAK3-
129	Reserve	130	Reserve	131	Reserve	132	Reserve
133	GND	134	+5V	135	GINTO0-	136	GINTO1-
137	GINTO2-	138	GINTO3-	139	GINTI0-	140	GINTI1-
141	GETC0	142	GETC1	143	GETC2	144	GETC3
145	GETC4	146	GETC5	147	GETC6	148	GETC7
149	Reserve	150	Reserve	151	GAHI_EN-	152	GMOTHER_DETECT
153	GND	154	+5V	155	GUSE_DIRECT_AC C-	156	GCLK_LOW-
157	GRESETO-	158	GBLOCK0-	159	GBLOCK1-	160	N/C
161	N/C	162	N/C	163	N/C	164	N/C
165	N/C	166	N/C	167	N/C	168	N/C
169	N/C	170	N/C	171	N/C	172	N/C
173	N/C	174	N/C	175	N/C	176	N/C
177	GND	178	+5V	179	+12V	180	+12V

使用するコネクタは下記のものです。

CPU ボード側コネクタ
マザー・ボード側コネクタ (ストレート)
マザー・ボード側コネクタ (L アングル)

ケル株式会社製 8817-180-170L
ケル株式会社製 8807-180-170S
ケル株式会社製 8807-180-170L

14.4. 未使用端子の処理

GBUSのマザー・ボードに対しての入力信号で使用しない信号は、マザー・ボード上でプルアップ/ダウンの処理が行われているため、CPU ボード上で未接続にすることができます。未接続にすることが可能な信号と、未接続時のために行われているマザー・ボード上の処理を下表に示します。

信号名	処理内容
GADDR[31:26]	・ GADDR[31:26]を使用しない場合は、GAHI_EN-信号を High もしくは未接続にすることにより、GADDR[31:26]を未接続にすることができます。この場合、CPU がバス・マスタのときマザー・ボード上では GADDR[31:26]は全ビットが0として扱われる。
GWAITI-	・ プルアップ処理が行われている。
GBLAST-	・ プルアップ処理が行われている。
GBTERM-	・ プルアップ処理が行われている。
GCS-[7:0]	・ プルアップ処理が行われている。
GHLDA-	・ プルアップ処理が行われている。
GBREQ-	・ プルアップ処理が行われている。
GDMAAK-[3:0]	・ プルアップ処理が行われている。
GINTI-[1:0]	・ プルアップ処理が行われている。
GAHI_EN-	・ プルアップ処理が行われている。
GUSE_DIRECT_ACC-	・ プルアップ処理が行われている。
GCLK_LOW-	・ プルアップ処理が行われている。
GBLOCK-[1:0]	・ プルアップ処理が行われている。

14.5. GCS-[7:0]の割り付け

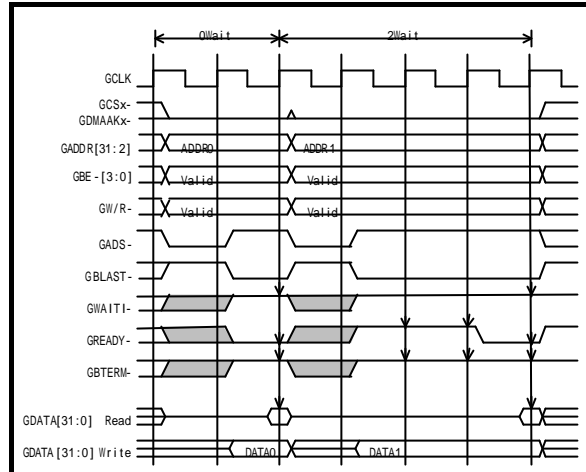
チップセレクト信号 (GCS-[7:0]) の割り付けを下表に示します。全ての空間がバースト・サイクルによるアクセスが可能です。下表の推奨空間に I/O と記載されている空間は、CPU に I/O 空間がある場合は、I/O 空間に割り付けることを推奨していることを示します。また最少範囲とは、CPU ボードは該当チップセレクトの空間に、最低でも最少範囲が示す領域を割り当てなければならないことを示します。最大範囲に記載がある場合は、CPU ボードのアドレス範囲に余裕がある場合、最大範囲が示す領域まで割り当てることが可能なことを示します。

信号名	推奨空間	最少範囲	最大範囲	備考
GCS0-	メモリ	1Mbyte		GLOCK0-によりバス・ロック可能
GCS1-	メモリ	2Mbyte		マザー・ボードでは、この空間にフラッシュ ROM を配置するので、スイッチの切り替えなどで CPU ボード上の UV-EPROM の代わりにこの空間からも Boot できるようにする。
GCS2-	I/O	64Kbyte		
GCS3-	メモリ	64Kbyte	16Mbyte	
GCS4-	I/O	64Kbyte	16Mbyte	
GCS5-	メモリ	1Mbyte	2Gbyte	GLOCK1-によりバス・ロック可能
GCS6-	I/O	512byte		
GCS7-	I/O	64Kbyte	2Gbyte	GLOCK1-によりバス・ロック可能

14.6. バス・サイクル

14.6.1. シングル・サイクル

GBWAITIおよびGBTERM-が常にインアクティブな場合で、CPU ボードがバス・マスタの場合のシングル・サイクルの様子を下図に示します。マザー・ボードがバス・マスタの場合、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。

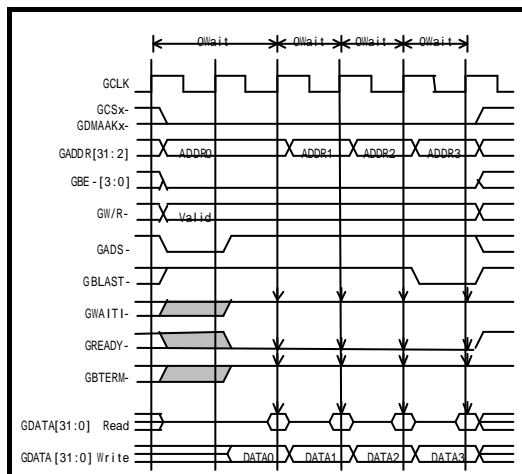


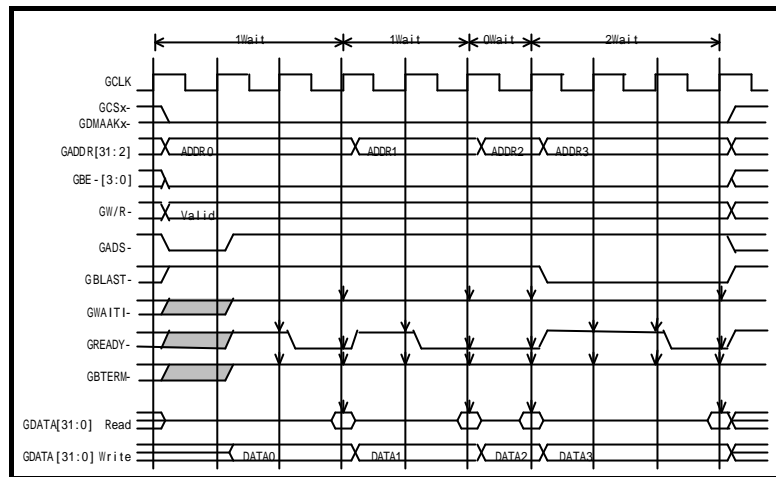
14.6.2. バースト・サイクル

バースト・サイクルでは、次のルールがあります。

- ・ GBUS のスペックとしては、バースト・サイクル中のアドレスの順番は問いません。ただし、アクセス対象によっては、アドレス順が規定されてしまうことがあります。
- ・ バースト・サイクル中は GBE-[3:0]は全てアクティブでなければなりません。
- ・ バースト回数（マイクロ・サイクルの数）に制限はありません。アクセス対象側でバースト回数の制限がある場合は、GBTERM-信号を用いてバーストの中断を要求します（「14.6.4 GBTERM-」参照）。

GBWAITIおよびGBTERM-が常にインアクティブな場合で、CPU ボードがバス・マスタの場合のバースト・サイクルの様子を下図に示します。マザー・ボードがバス・マスタの場合、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。





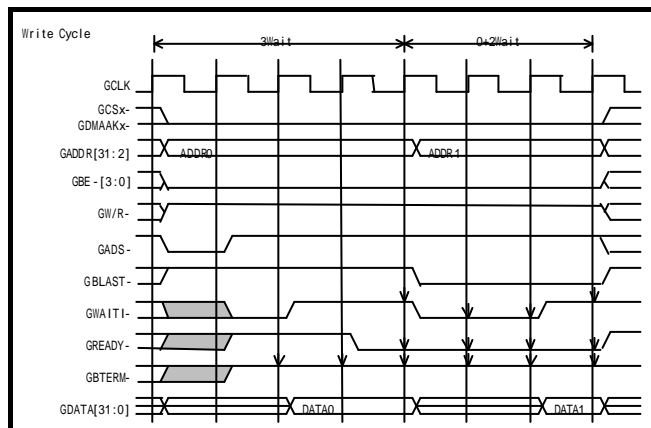
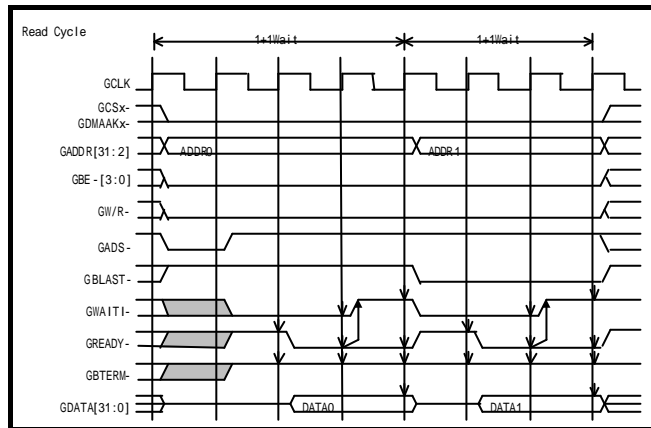
14.6.3. GWAITI-

GBWAITI-信号は、CPU ボードがバス・マスタのサイクルで次のような場合に使用できます。

- ・ リード・サイクル時にタイミング的な問題でデータのサンプルができないため、特定クロック数分データのサンプリングを遅らせたい場合。
- ・ ライト・サイクルのバースト・サイクルで、マイクロ・サイクルが終了後すぐに次のマイクロ・サイクルのためのデータの準備ができず、特定クロック数分アクセス対象を待たせたい場合。

言い換えると、リード・サイクルとライト・サイクルで役割は入れ代わりますが、GREADY-とGWAITI-はデータ送信レディーとデータ受信レディーの働きをします。

GWAITI-信号によりウェイトが入っている様子を下図に示します。

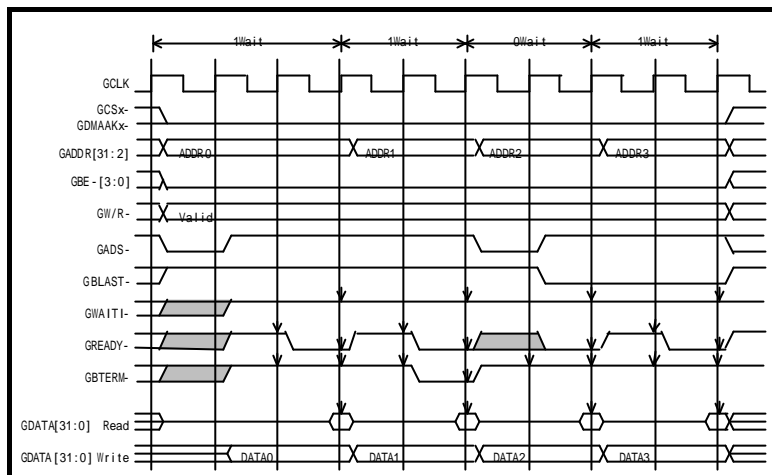


14.6.4. GBTERM-

GBTERM-信号が GREADY-信号と共にアクティブになると、バス・マスタは現在のマイクロ・サイクルを最後にバス・サイクルを終了させ、バースト・サイクルの続きは改めて GADS-をアクティブにしてサイクルを始めます。

GBTERM-信号は、アクセス対象がバースト・サイクルに対応していない場合や、対応バースト回数を越えてアクセスされた場合などにアクティブにします。また、GREADY-信号をアクティブにせずに GBTERM-信号のみをアクティブにすることは禁止されています。

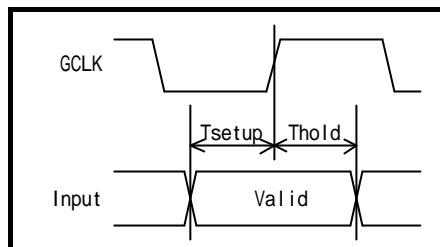
GBTERM-信号によりバースト・サイクルが中断される様子を下図に示します。



14.7. タイミング

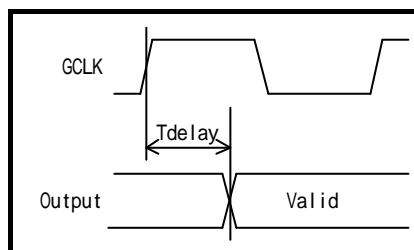
この章では、弊社のマザー・ボードにおけるタイミングについて記述します。CPU ボードはこのタイミングを満たすように設計されています。

14.7.1. セットアップ・タイム



信号名	Tsetup Min (nS)	Thold Min (nS)
GADDR[31:2]	12	0
GBEN-[3:0]	8	0
GDATA[31:0]	7	0
GADS-	14	0
GREADY-	9	1
GWAITI-	14	0
GBLAST-	8	0
GBTERM-	8	1
GW/R-	10	0
GCS-[7:0]	14	0
GBREQ-	15	0
GDMAAK-[3:0]	6	0
GLOCK-[1:0]	12	0

14.7.2. デレイ・タイム



信号名	Tdelay MAX(nS)
GADDR[31:2]	21
GBEN-[3:0]	17
GDATA[31:0]	21
GADS-	15
GREADY-	15
GBLAST-	17
GBTERM-	16
GW/R-	15

- Memo -

RTE-V850ES/SA3-CB ユーザズ・マニュアル

Midas lab