

RTE-V821-PC

ユーザース・マニュアル

Midas lab

改訂履歴

実施日	Revision	page	内容
1995年 8月 11日	1.0		初版
1995年 12月 25日	1.1	11,12	SW2(1-2,3-4)の設定表記の誤記訂正
1996年 9月 12日	1.2		12章、13章の追加

目次

1. はじめに.....	4
1.1. マニュアル表記について	4
2. 特徴と機能.....	5
3. ボードの構成.....	6
3.1. リセット・スイッチ (SWRESET)	6
3.2. 電源コネクタ (JPOWER)	6
3.3. スイッチ 1 (SW1)	6
3.4. スイッチ 2 (SW2)	7
3.5. LED.....	7
3.6. テストピン (TP)	7
3.7. サポート (JSUBPORT)	7
3.8. シリアル・コネクタ (JSIO)	8
3.9. CPU テストピン (JCPU)	9
3.10. クロック・ソケット (OSC1)	9
3.11. DRAM-SIMM ソケット.....	10
3.12. ROM ソケット	10
4. インストールと使用方法.....	11
4.1. ボードの設定	11
4.2. ISA バスに実装する場合	12
4.3. ボード単体で使用する場合.....	12
5. ハードウェア・リファレンス	13
5.1. メモリ・マップ.....	13
5.2. I/O マップ.....	14
5.2.1. ポート・ユニット(PORT).....	14
5.2.2. ウェイト・コントロール・ユニット(WCU)	15
5.2.3. DRAM コントロール・ユニット(DRAMC)	15
5.2.4. ROM コントローラ(ROMC)	15
5.2.5. DMA コントローラ(DMAC).....	15
5.2.6. リアルタイム・パルス・ユニット(RPU).....	15
5.2.7. シリアル・コントロール・ユニット(SCU).....	16
5.2.8. 割り込みコントロール・ユニット(ICU).....	16
5.2.9. バスアービトレーション・ユニット(BAU)	16
5.2.10. クロック・ジェネレータ(CG).....	16
5.2.11. ウォッチドック・タイマ・ユニット(WDT).....	16
6. SYSTEM-IO.....	17
6.1.1. UART/TIMER(SCC2691).....	17
6.1.2. PIO (uPD71055)	17
7. JEXT バス仕様.....	19
8. その他の CPU 資源.....	21
8.1. RESET-	21
8.2. NMI-.....	21

9. Multi モニタ	22
9.1. モニタ・ワーク RAM	22
9.2. 割り込み	22
9.3. _INIT_SP の設定	22
9.4. リモート接続	22
10. RTE コマンド	23
10.1. HELP(?)	23
10.2. INIT	23
10.3. VER	23
10.4. INB,INH,INW	23
10.5. OUTB,OUTH,OUTW	24
10.6. SFR	24
11. CPU 端子	25
12. マスカブル割り込みを使用したアプリケーションの開発	26
12.1. 割り込みベクタ	26
12.2. 一般的な制限事項 / 注意事項	27
12.3. ブレーク・ポイント使用に関する制限事項 / 注意事項	28

1. はじめに

このマニュアルでは、日本電気社製 CPU の V821 用の評価ボード「RTE-V821-PC」について説明します。RTE-V821-PC では、GreenHills 社の Multi デバッガを利用してプログラムの開発 / デバッグや CPU のパフォーマンス評価などができます。このデバッガとの通信には、IBM-PC/AT の ISA バスか RS-232C シリアル・インターフェースが使用できます。またボードに設けられたローカル・バス用のコネクタを使用してメモリや I/O を拡張することもできます。

1.1. マニュアル表記について

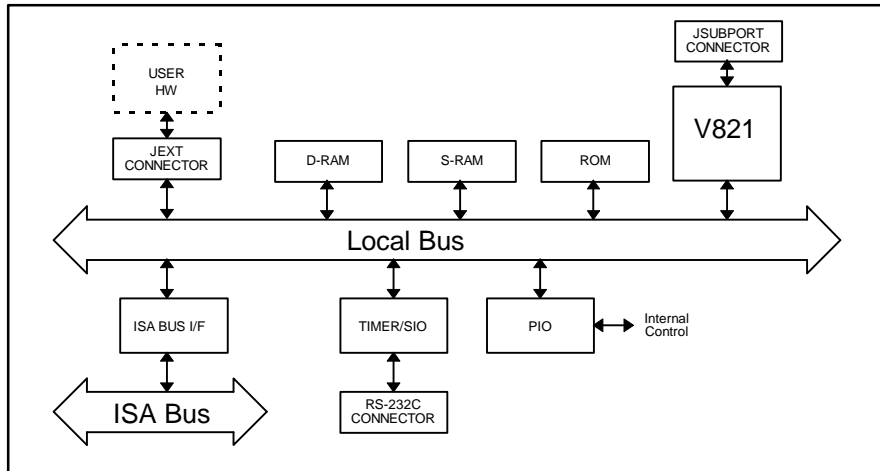
本書では、数字の表記については表の表記を用います。16 進数や 2 進数の表記では、桁数が多くて読みにくい場合は、4 桁ごとに“-”（ハイフン）を入れてあります。

進数	表記規則	例
10 進数	数字のみを示します	“ 10 ” は 10 進数の “ 10 ” を示します
16 進数	数字の末尾に “ H ” を記します	“ 10H ” は 10 進数の “ 16 ” を示します
2 進数	数字の末尾に “ B ” を記します	“ 10B ” は 10 進数の “ 2 ” を示します

数字表記規則

2. 特徴と機能

RTE-V821-PC の機能ブロックの概要を図に示します。



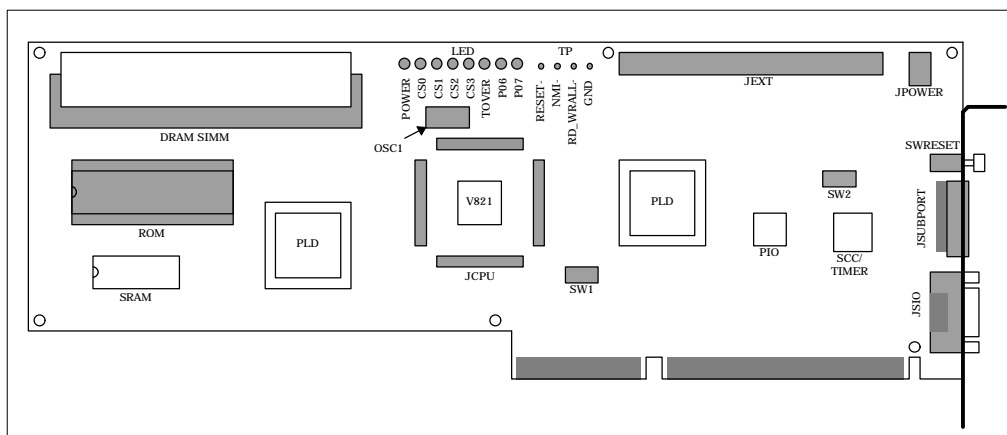
RTE-V821-PC ブロック図

特徴

- ROM 128K バイト (64K × 16 ビット)
- SRAM 128K バイト (64K × 16 ビット)
- DRAM SIMM72 ピン・ソケットにより 4M,8M,16M (標準 4M バイト)
- RS-232C ポート (D-SUB 9 ピン)
- PC/AT 互換機の ISA バスによる通信機能
- ユーザー拡張用のローカル・バスのコネクタ
- CPU の同期シリアル信号とポートの一部を出力するコネクタ
- CPU の全ての信号を計測できるプロセッサ・ピンコネクタ
- 外部リセット・スイッチをリアパネルに用意
- ROM インサーキット・デバッガ用の接続ピン

3. ボードの構成

図は RTE-V821-PC ボード上の主要な部品の物理的な配置です。ここでは、それぞれの部品について説明します。



RTE-V821-PC 概観

3.1. リセット・スイッチ (SWRESET)

SWRESET はリセット・スイッチです。このスイッチを押すと CPU がリセットされます。

3.2. 電源コネクタ (JPOWER)

本ボードを ISA バス・スロットに挿さずに単体で使用する場合に、JPOWER コネクタに外部電源を接続して電源を供給します。

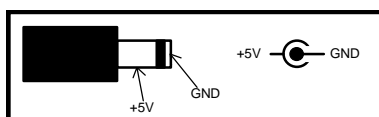
JPOWER コネクタに供給する電源は、下記の通りです。

電圧：5 V

電流：最大 1A (ただし、JEXT コネクタへの供給分を含まず)

適合コネクタ：Type A (5.5)

極性：



【注意】電源コネクタの極性に注意してください。また、ISA バス・スロットに挿して使用する場合には、JPOWER に電源を接続しないでください。

3.3. スイッチ1 (SW1)

SW1 は、ISA バスの I/O アドレス選択のスイッチです。スイッチの番号 1 ~ 8 が ISA バスのアドレス A4 ~ A11 に対応しています (A12 ~ A15 は 0 固定)。したがって、I/O アドレスとして 000xH ~ 0FFxH が選択できます。スイッチは、OFF で 1、ON で 0 の値となります。

SW1 番号	1	2	3	4	5	6	7	8
アドレス	A4	A5	A6	A7	A8	A9	A10	A11

SW1 アドレス対応

3.4. スイッチ2 (SW2)

SW2 は、汎用の入力ポートのスイッチです。スイッチは、OFF で 1、ON で 0 の値となります。詳細は、「6.1.2. PIO (uPD71055)」を参照してください。

3.5. LED

LED は、各種ステータスを示しています。表に内容を示します。

名称	内容
CS0	CPU の CS0-端子がアクティブ(Low)時に点灯
CS1	CPU の CS1-端子がアクティブ(Low)時に点灯
CS2	CPU の CS2-端子がアクティブ(Low)時に点灯
CS3	CPU の CS3-端子がアクティブ(Low)時に点灯
TOVER	タイムオーバー発生時に点灯
P06	PIO の PORT0-6
P07	PIO の PORT0-7

LED ステータス

3.6. テストピン (TP)

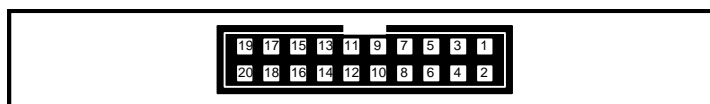
TP は、ROM インサーキット型のデバッガを接続する際に使用するテストピンです。ROM インサーキット・デバッガからの制御信号入力や、トレース・タイミング信号が出力されています。表に信号名と機能を示します。

信号名	入出力	機能
RESET-	入力	Low レベル入力により、CPU がリセットされる。ROM インサーキット・デバッガからのリセット要求信号を接続。1K プルアップ。
NMI-	入力	Low レベル入力により、CPU に NMI が入る。ただし、ソフトウェアによってマスクできる。ROM インサーキット・デバッガからの NMI 要求信号 (ブレイク要求) を接続。1K プルアップ。
RD_WR_ALL-	出力	CPU の UMWR-,LMWR-,MRD-,IOWR-,IORD-の各信号を OR (負論理) した信号。ROM インサーキット・デバッガのトレース・タイミング信号として使用。
GND	- - -	GND。ROM インサーキット・デバッガの GND と接続。

TP 端子の機能

3.7. サポート (JSUBPORT)

JSUBPORT コネクタは、CPU の端子の一部を外部から使用できるようにするために用意されたコネクタです。コネクタのピン番号と内容は図と表の通りです。



JSUBPORT ピン配置

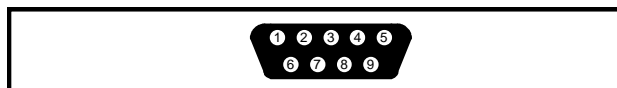
番号	信号名	備考
1,3,5,7,9, 11,13,15	GND	
2	SCLK-/P07	CPU 直結、47K プルアップ
4	SI/P05	CPU 直結、47K プルアップ
6	SO/P06	CPU 直結、47K プルアップ
8	INTP00-/TO00	CPU 直結、10K プルアップ
10	INTP02-/TO01	CPU 直結、10K プルアップ
12	TCLR/P00	CPU 直結、47K プルダウン
14	INTP13-/TI	CPU 直結、10K プルアップ
16	DREQ0/P01	CPU 直結、47K でプルアップ
17	DACK0-/P02	CPU 直結、47K でプルアップ
18	DREQ1/P03	CPU 直結、47K でプルアップ
19	DACK1-/P04	CPU 直結、47K でプルアップ
20	NC	未接続

JSUBPORT コネクタ信号

3.8. シリアル・コネクタ (JSIO)

JSIO コネクタは、シリアル・コントローラ (SCC2691) によって制御される RS-232C 用のコネクタです。コネクタの形状は、PC/AT で用いられる一般的な D-SUB9 ピンの RS-232C コネクタで、全ての信号は RS-232C レベルに変換されています。コネクタのピン番号と内容は図と表の通りです。

また表には、ホストと接続する場合の接続信号について、ホスト側が D-SUB9 ピンの場合と D-SUB25 ピンの場合の布線をそれぞれ示してあります (一般的なクロスケーブルの布線です)。



JSIO ピン配置

ピン番号	信号名	入出力	ホストの接続ピン番号	
			D-SUB9	D-SUB25
1	NC			
2	RxD(RD)	入力	3	2
3	TxD(SD)	出力	2	3
4	DTR(DR)	出力	1, 6	6, 8
5	GND		5	7
6	DSR(ER)	入力	4	20
7	RTS(RS)	出力	8	5
8	CTS(CS)	入力	7	4
9	NC			

JSIO コネクタ信号

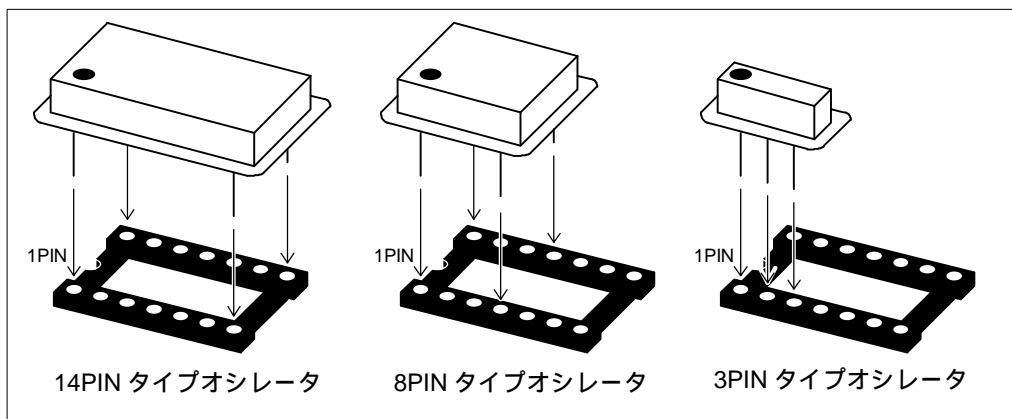
3.9. CPU テストピン (JCPU)

JCPU コネクタは、CPU の端子番号がコネクタのピン番号に対応して、1対1で接続されています。テストピンまたは回路拡張時に、信号引出用のコネクタとして使用できます。

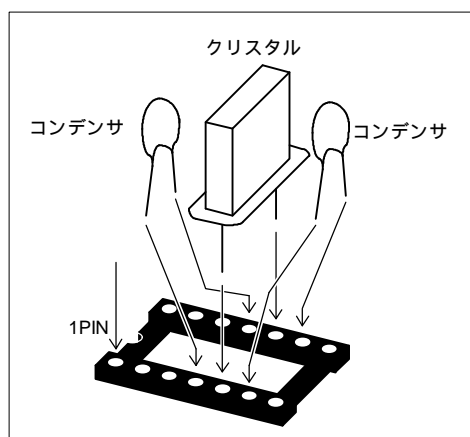
3.10. クロック・ソケット (OSC1)

OSC1 ソケットには、CPU に供給するクロックのためにオシレータ、もしくはクリスタルを実装します。V821 では、システム・クロック生成に PLL を使用するモードがあり、リセット時の TCLR/P00 端子の状態によって決定されます。TCLR/P00 端子は、基板内部で 47K でプルダウンされていますので、通常は PLL を使用する設定になります。この時、OSC1 ソケットに実装するオシレータもしくはクリスタルの周波数はシステム・クロックの周波数の 5 分の 1 になります。TCLR/P00 端子を High にした場合は、OSC1 ソケットに実装するオシレータもしくはクリスタルの周波数はシステム・クロックの周波数の 2 倍になります。

OSC1 ソケットには、14 ピン、8 ピンもしくは 3 ピンタイプのアシレータか、クリスタルが実装できます。オシレータは図のように実装し、クリスタルの場合は図のようにクリスタルとコンデンサを実装してください。



オシレータ実装方法



クリスタル実装方法

【注意】クリスタルを使用すると発振が不安定となり、動作しない場合があります。クロックの変更には、オシレータをご使用ください。

【注意】オシレータやクリスタルの足を切って実装する場合、足が短かすぎるとフレーム（外装）部分が、ソケットの端子とショートしてしまいますのでご注意ください。

【NOTE】クロックを変更した場合には、DRAM のリフレッシュ間隔も見直す必要があります。出荷時に実装されている ROM の初期化ルーチンでは、システム・クロックが 12～25MHz での設定となっています。

3.11. DRAM-SIMM ソケット

DRAM-SIMM ソケットには、標準で 4M バイトの SIMM が実装されています。このソケットには 4M,8M,16M バイトの 72 ピン SIMM (いわゆる DOS/V 機用と言われるもの) が実装できますので、DRAM の容量の増設が可能です。CPU のシステム・クロックが 25MHz の時には、DRAM のアクセス・タイムが 60ns 以下のものをご使用ください。

また、実装されている SIMM の容量は PIO ポートから読み出すことができます（「6.1.2. PIO (uPD71055)」参照）。

3.12. ROM ソケット

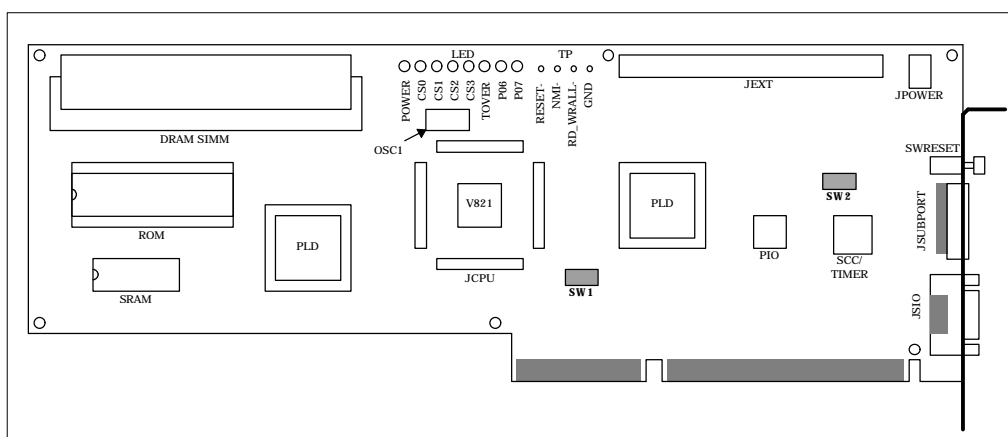
ROM ソケットには、標準で 128K バイト (64K×16 ビット) の 40 ピン ROM が実装されています。CPU のシステム・クロックが 25MHz の時には、アクセス・タイムが 150ns 以下のものをご使用ください。

4. インストールと使用方法

ボードのインストールは、PC/AT 互換機（以下 PC）の ISA バス・スロットに組み込んで使用することを想定していますが、外部電源を用意して単体で使用することもできます。また、動作確認のテストや Multi デバッガを使用する場合には、PC に通信用のソフトウェア（RTE for Windows）をインストールする必要があります。ソフトウェアのインストールとテストについては、「RTE for Windows インストール・マニュアル」を参照してください。

4.1. ボードの設定

ボードには、いくつかの設定用ディップ・スイッチが設けられています。スイッチの箇所を図に示します。



ボードのスイッチ

SW1 は、ISA バスの I/O アドレス選択のスイッチです。スイッチの番号 1 ~ 8 が ISA バスのアドレス A4 ~ A11 に対応しています（A12 ~ A15 は 0 固定）。したがって、I/O アドレスとして 000xH ~ 0FFxH が選択できます。なおスイッチは、OFF で ” 1”、ON で ” 0” の値となります。一般的には、20xH ~ 3FxDH の間で設定します。

SW1 番号	1	2	3	4	5	6	7	8	
アドレス	A4	A5	A6	A7	A8	A9	A10	A11	I/O アドレス
ON/ OFF	0	0	0	0	0	1	0	0	020xH (出荷時の設定)

I/O アドレスの対応

SW2 は、汎用の入力ポートのスイッチです。実装されている ROM の Multi 用モニターでは、RS-232C のボーレートとプロファイルのタイマ周期の設定に使用しています。

SW2 番号	1	2	ボーレート
設定	ON	ON	未使用
	OFF	ON	38400 baud
	ON	OFF	19200 baud
	OFF	OFF	9600 baud (出荷時の設定)

ボーレートの設定

SW2 番号	3	4	プロファイラ周期
設定	ON	ON	タイマを使用しない
	OFF	ON	200 Hz 5ms
	ON	OFF	100 Hz 10ms
	OFF	OFF	60 Hz 16.67ms (出荷時の設定)

プロファイラ周期の設定

SW2 の 5～8 は、Multi モニタでは使用していません (常時 OFF)。

4.2. ISA バスに実装する場合

ボードを PC の ISA バス・スロットに実装すると、ISA バスからボードへ電源 (+5V) が供給されます。また、デバッグとの通信に ISA バス経由が使用できるため、プログラムの高速ダウンロードなどが実現できます。

ISA バス・スロットへの実装は、以下の手順となります。

ボード上のディップ・スイッチにより、PC の I/O アドレスを設定します。I/O アドレスは他の I/O と重ならないように注意してください。スイッチの設定については「4.1. ボードの設定」を参照ください。

PC の電源を切って筐体をあけ、ボードを実装する ISA バス・スロットを確認します。実装するスロットにリアパネルが付いている場合は、そのリアパネルを外します。

ボードを ISA バス・スロットに差し込み、ボードが隣接の他のボードなどと接触していないかを確認し、ボードに付いているリアパネルを PC の筐体にネジで固定します。

PC の電源を入れ、ボードの POWER-LED が点灯することを確認します。**LED が点灯しない場合は、すぐに PC の電源を切り接続を確認してください。**システムが正常に立ち上がらない (デバイス・ドライバの組み込みでエラーが発生するなど) 場合は、設定した I/O アドレスが他の I/O と重なっている可能性があります。PC のマニュアルや他に実装されているボードのマニュアルなどを参照して、ボードの I/O アドレスを再確認してください。

システムが正常と判断できたら、再度 PC の電源を切ってから筐体を元に戻します。

4.3. ボード単体で使用する場合

PC に組み込まず、ボード単体で使用する場合は、外部からの電源供給が必要となります。また、デバッグとの通信も RS-232C 経由のみとなります。PC/AT 互換機以外のホスト・デバッグを使用する場合や、ハードウェアの確認や拡張を目的とする場合に便利です。

ボードを単体で使用する場合は以下の通りです。

ホストと接続するための RS-232C ケーブルと、電源供給のための外部電源 (+5V 1A) を用意してください。特に電源については、電圧とコネクタの極性に注意してください。また、ボードの 4 隅にスペーサを取り付けるなど、設置場所にも問題がないようにしてください。RS-232C ケーブルの結線は「3.8. シリアル・コネクタ (JSIO)」、電源コネクタについては、「3.2. 電源コネクタ (JPOWER)」を参照してください。

ボード上のディップ・スイッチで、RS-232C のボーレートを設定します。スイッチの設定については「4.1. ボードの設定」を参照ください。

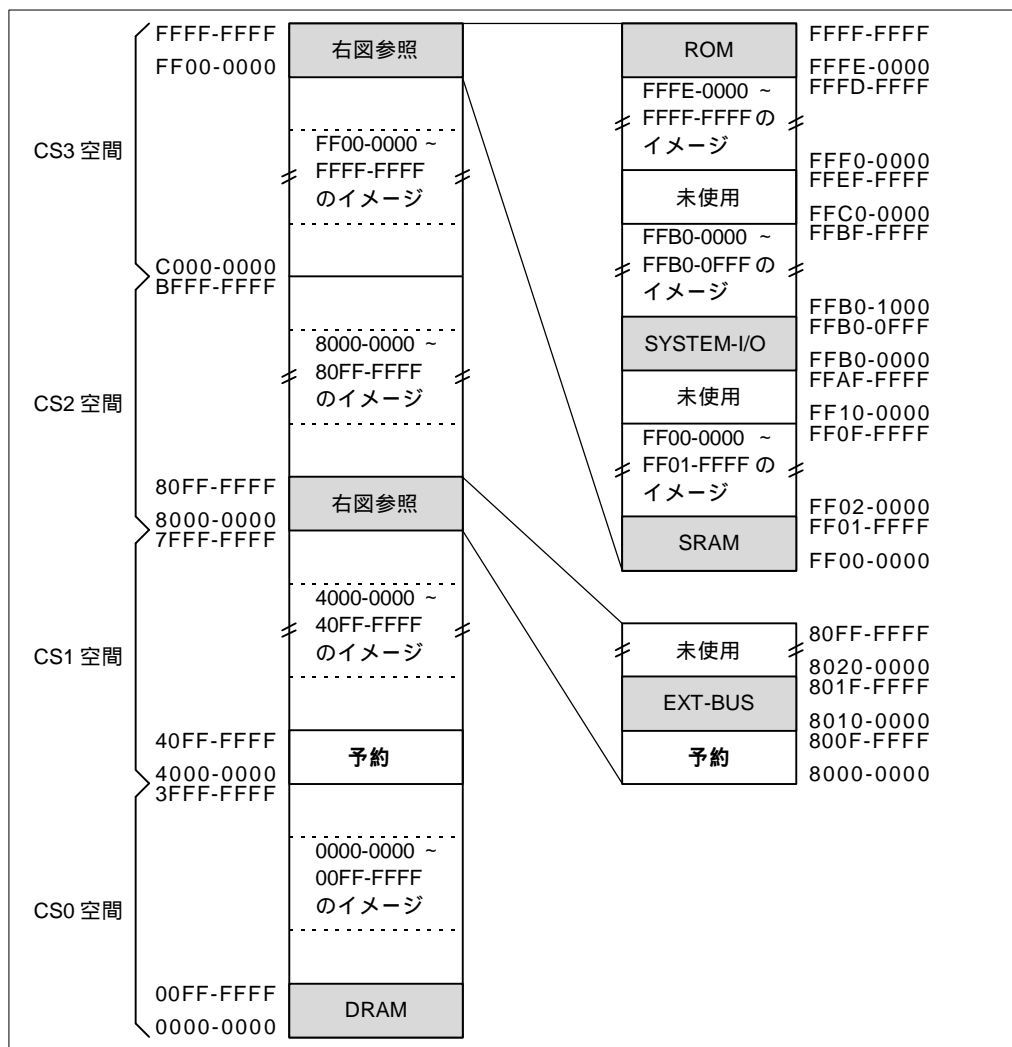
ホストと RS-232C ケーブルで接続して、JPOWER コネクタに電源を接続し、ボードの POWER-LED が点灯することを確認します。**LED が点灯しない場合は、すぐに電源を切り接続を確認してください。**

5. ハードウェア・リファレンス

ここでは、RTE-V821-PC ボードのハードウェアについて記述します。

5.1. メモリ・マップ

ボードのメモリ割り付けは、以下の通りです。



メモリ・マップ

DRAM 空間 (0000-0000H ~ 00FF-FFFFH)

ボードに実装する 72 ピンの SIMM の空間です。標準では 4M バイトの SIMM が実装されていますが、8M や 16M バイトの SIMM に交換してメモリを拡張できます。CPU クロックが 25MHz の時、アクセス・タイムが 70nS 以下の SIMM を実装の場合には、3wait でアクセスできます。なお DRAM 制御には、V821 の DRAM コントローラを使用していますので、内部 I/O の設定が必要です。初期化方法については、「5.2.3. DRAM コントロール・ユニット(DRAMC)」を参照してください。

予約空間 (4000-0000H ~ 7FFF-FFFFH, 8000-0000H ~ 800F-FFFFH)

この空間は、将来使用を予定している空間です。したがって、この空間へのアクセスは行なわないでください。

EXT-BUS 空間 (8010-0000H ~ 801F-FFFFH)

ボード上の JEXT コネクタに接続するハードウェア拡張ボードのための空間です。EXT-BUS についての詳細は「7. JEXT」を参照してください。

SRAM 空間 (FF00-0000H ~ FF01-FFFFH)

ボード上に実装された SRAM で 256K バイトの空間があります。SRAM は 0wait でアクセスできます。

SYSTEM-I/O 空間 (FFB0-0000H ~ FFB0-0FFFH)

ボード上の各機能を制御するための I/O デバイスが割り付けられている空間です。これは、メモリ・マップド I/O となっています。詳細については「6. SYSTEM-IO」を参照してください。

ROM 空間 (FFFE-0000H ~ FFFF-FFFFH)

ボード上に実装された ROM で 256K バイトの空間があります。ROM は ready 信号制御によりアクセス・サイクルに 3wait が挿入されています。CPU クロックが 25MHz の時には、アクセス・タイムが 150nsec 以下の ROM を使用します。

実装されている ROM には、標準で Multi 用のモニタが組み込まれています。

5.2. I/O マップ

V821-CPU の持つ I/O 空間は、ボードでは使用していません。制御用の I/O は、メモリ・マップドされた SYSTEM-I/O 空間に存在します。ここでは、内部 I/O の設定について説明します。

CPU 内部 I/O については、ボードのハードウェア制御のために使用しているものがあります。ユーザープログラムが CPU 内蔵の I/O の設定を行なう場合は、システム側が使用している内部 I/O の状態に注意してください。

5.2.1. ポート・ユニット(PORT)

P00 ~ P09 の中で、P08 は UBE の機能で固定してください。これに関連する内部 I/O ポートは、以下の通りです。

レジスタ名	I/O アドレス	設定値
PMC0	C000-0010H	0000-00x1-xxxx-xxxxB
PM0	C000-0012H	0000-00x0-xxxx-xxxxB
P0	C000-0014H	0000-00xx-xxxx-xxxxB

ポート・ユニット設定値

5.2.2. ウェイト・コントロール・ユニット(WCU)

CPU のから出力される CS0- ~ CS3-信号の使用状況を表に示します。

	領域	種類	WCU-WAIT	外部 WAIT
CS0-	メモリ	DRAM(REFRQ-)	---(DRAMC による)	(DRAMC の章参照)
CS1-	メモリ	SRAM	0	使用
CS2-	メモリ	SRAM	0	使用
CS3-	メモリ	SRAM	0	使用

WCU の使用状況

したがって、WCU 関連のレジスタ設定は表の通りとなります。

レジスタ名	I/O アドレス	設定値
BCTC	C000-0020h	0000-0001B
PWC0	C000-0022h	0000-0000B
PWC1	C000-0024h	0000-0000B
PWC2	C000-0026h	xxxx-xxxxB

ウェイト・コントロール・ユニット設定値

5.2.3. DRAM コントロール・ユニット(DRAMC)

ボード上に実装される DRAM-SIMM の容量に合わせて DRAM コントロール・ユニットを設定する必要があります。

表に示す設定は、システムクロックが 25MHz 時で、アクセスタイムが 70ns 以下の SIMM を使用した場合の物です(この時 3wait でのアクセスになります)。特にシステム・クロックを変更している場合は、リフレッシュ間隔を調整しなければならないので注意が必要です。

レジスタ名	I/O アドレス	設定値	備考
DRC	C000-0028h	1000-0110B	4M,8M バイト SIMM 時
		1000-0111B	16M,32M バイト SIMM 時
RFC	C000-002Ah	1000-1000B	

DRAM コントロール・ユニット設定値

5.2.4. ROM コントローラ(ROMC)

Page-ROM は本ボードでは使用できないため、ROM コントローラは使用しません。

5.2.5. DMA コントローラ(DMAC)

DMA コントローラは、本ボードでは使用していません。また、DMA 関連の CPU の端子は、DREQ0,DACK0-,DREQ1,DACK1-が JSUBPORT コネクタに開放されてます。TC-端子もボード内で使用していません。

5.2.6. リアルタイム・パルス・ユニット(RPU)

リアルタイム・パルス・ユニットは本ボードでは使用していません。また、リアルタイム・パルス・ユニット関連の CPU の端子は、INTP00-/TO00,INTP02-/TO01 が JSUBPORT コネクタに開放されています。INTP01-,INTP03-端子もボード内で使用していません。

5.2.7. シリアル・コントロール・ユニット(SCU)

UARTの機能は本ボードでは使用していません。しかし、TxDはUBE-端子として使用していますので、UARTの送信機能は使えません。ただし、RxDはボード内で使用していませんので、受信機能のみユーザが使用することができます。

SCIの機能は本ボードでは使用していません。また、SCI関連のCPUの端子は、SI,SO,SCLK-がJSUBPORTコネクタに開放されています。

5.2.8. 割り込みコントロール・ユニット(ICU)

割り込みコントロール・ユニットの機能の内、CPUの端子のINTP10-とINTP11-は表のようにシステムが使用しています。また、INTP13-はJSUBPORTコネクタに接続されており、ユーザが使用することができます。INTP12-もボード内で使用していません(NMIについては「8. その他のCPU資源」を参照してください)。

INTP10-はシステムで予約していますが、現在は使用していません。また、INTP11-に関する初期化は、JEXTコネクタに接続するユーザの回路に合わせて初期化してください。

端子名	使用用途
INTP10-	システム予約
INTP11-	JEXTコネクタからの割り込み要求(INT-)

割り込み使用状況

5.2.9. バスアービトレーション・ユニット(BAU)

バスアービトレーション・ユニットは本ボードでは使用していません。また、バスアービトレーション・ユニット関連のCPUの端子である、HLDRQ-,HLDAK-はボード内で使用していません。

5.2.10. クロック・ジェネレータ(CG)

クロックの供給源としては、OSC1(オシレータ実装用ソケット)に実装したオシレータ、もしくはクリスタルが用いられます。OSC1に実装方法については「3.10. クロック・ソケット(OSC1)」を参照してください。また、ボード上でCPUのCLKOUT出力信号を使用しているため、CLKOUT端子を”無効”に設定してしまうと正常に動作しなくなってしまう。したがって、CG関連のレジスタ設定は表の通りとなります。

レジスタ名	I/Oアドレス	設定値	備考
CGC	C000-00E0H	0000-1001B	OSC1ソケットにオシレータを実装する場合
		0000-0001B	OSC1ソケットにクリスタルを実装する場合

クロック・ジェネレータ設定値

5.2.11. ウォッチドック・タイマ・ユニット(WDT)

ウォッチドック・タイマ・ユニットの機能は本ボードでは使用していません。また、ウォッチドック・タイマ・ユニット関連のCPUの端子であるWDTOUTもボード内で使用していません。

6. SYSTEM-IO

SYSTEM-IO は、メモリ空間にマップされた I/O デバイスで UART/TIMER, PIO, ISA バス・インターフェースなどがあります (ISA バス・インターフェースについては、説明を省略します)。

6.1.1. UART/TIMER(SCC2691)

UART/TIMER として PHILIPS Signetics 製の SCC2691UART レシーバ/トランスミッタ LSI を使用しています。SCC2691 は受信部に 3 キャラクタ分のバッファを内蔵しているため受信時のオーバーラン・エラーの可能性を最小限に押さえられます。また、X1,X2 端子には 3.6864MHz が接続されており、SCC2691 内の 16 ビット・カウンタを使用することにより、約 271nS ~ 17.8mS まで測定できます。

SCC2691 の各レジスタは、表のように割り付けられています。各レジスタの機能については、SCC2691 のマニュアルを参照ください。

アドレス	読み出し	書き込み
FFB0-0400h	MR1,MR2	MR1,MR2
FFB0-0402h	SR	CSR
FFB0-0404h	Reserved	CR
FFB0-0406h	RHR	THR
FFB0-0408h	Reserved	ACR
FFB0-040Ah	ISR	IMR
FFB0-040Ch	CTU	CTUR
FFB0-040Eh	(CTL)	CTLR

SCC2691 レジスタ配置

汎用出力端子(MPO)は RTS(RS)として、汎用入力端子(MPI)は CTS(CS)として使用しています。なお DTR(DR),DSR(ER)は PIO によって制御されていますので、「6.1.2.PIO (uPD71055)」を参照してください。

SCC2691 は、システム・リセット(「8.1.RESET-」参照)によってリセットされます。

6.1.2. PIO (uPD71055)

PIO は NEC 製の uPD71055 が実装されています。uPD71055 は Intel 製の i8255 と互換であり、3 つの平行ポートを持っています。このポートにより、各種の制御を行なっています。PIO の各レジスタは、表の通りに割りあてられています。

アドレス	読み出し	書き込み
FFB0-0800h	PORT0	PORT0
FFB0-0802h	PORT1	PORT1
FFB0-0804h	PORT2	PORT2
FFB0-0806h	-----	COMMAND REG

PIO のレジスタ配置

PIO は、システム・リセットによってリセットされます。その時、各ビットは全て入力になるため、出力として使用しているビットの信号状態はプルアップ抵抗により High レベルとなります。各ポートのビットの使用状況を表に示します。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PORT0	LED-P07	LED-P06	-	-	-	予約 0		
	出力							
PORT1	SW2[8..1]							
	入力							
PORT2	PD[2..1]		TOVERF-	DSR-	DTR-	NMIMASK	TOVERCLR-	予約 1
	入力				出力			

PIO ビット割り付け

各ポートのビットの意味を下記に示します。

予約0：システムで予約されているビットです。初期化時に3ビット共”0”に設定した後は、変更しないでください。

LED-P07,LED-P06：ボード上に実装されているLEDの点灯を制御するビットです。”0”に設定すると対応するLEDが消え、”1”に設定すると点灯します。

SW2[8..1]：ボード上に実装されているSW2の状態を読み出せます。SW2[1]がSW2の”1”のスイッチに、SW2[8]がSW2の”8”のスイッチに対応しています。また、該当するビットのスイッチがONで0が、OFFで1が読み出されます。

予約1：システムで予約されているビットです。初期化時に”1”に設定した後は、変更しないでください。

TOVERCLR-：PORT2のBit5にあるTOVERF-を”1”にクリアするための制御ビットです。初期化時と通常は”1”に設定してください。TOVERF-をクリアする時のみ、”0”としてから”1”に戻してください。

NMIMASK：CPUに入るNMIのマスクを制御するビットです。”1”に設定するとNMIはゲートによりマスクされます。初期化時は”1”として、NMIを受けられる状態になったら”0”に設定してください。

DTR-：JSIOコネクタから出力されているDTR信号を制御するビットです。このビットの設定状態が反転されRS232Cレベルに加工されてJSIOコネクタから出力されます。

DSR-：JSIOコネクタから入力されるDSR信号の状態を示すビットです。このビットの状態はJSIOコネクタのDSR信号の状態が反転したものです。

TOVERF-：パス・サイクルが30サイクル以上となり、タイム・アウトが発生すると”0”となります。フラグをクリアする(”1”にもどす)には、PORT2のBit1(TOVERCLR-)を使います。

PD[2..1]：ボードに実装されているDRAM(72ピンSIMM)のPD[2..1]が読みだせます。このビットの状態によって、実装されているDRAMのサイズを確認できます。PD[2..1]とDRAMの容量の関係を表に示します。

PD[2]	PD[1]	DRAMの容量
0	0	4Mバイト
0	1	予約
1	0	16Mバイト
1	1	8Mバイト

PD[2..1]とDRAMの容量

7. JEXT バス仕様

JEXT は、メモリや I/O などを拡張できるように用意されたコネクタです。このコネクタには、本ボードの内部のローカル・バスが接続されています。

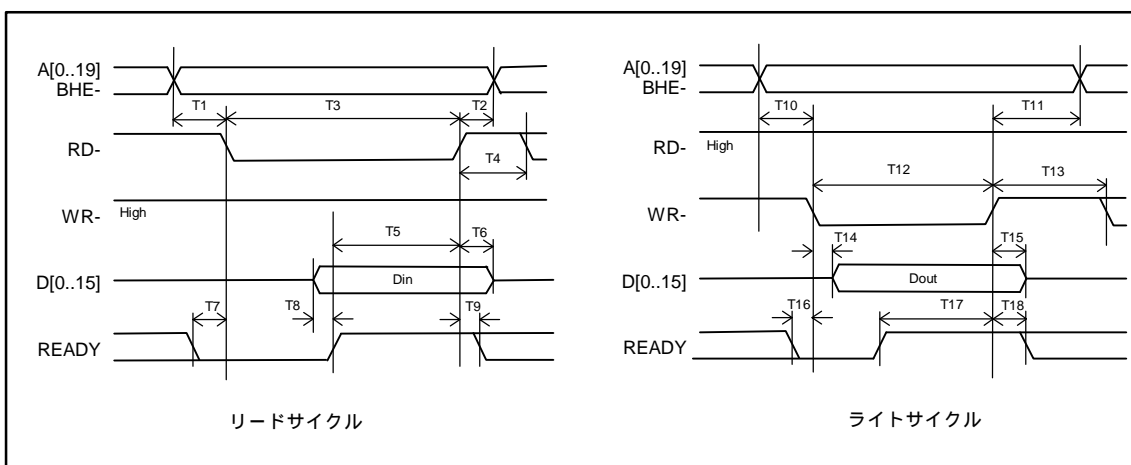
以下に JEXT コネクタのピン配置、信号およびタイミングを示します。

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+5V	2	+5V	31	GND	32	GND
3	D0	4	D1	33	A8	34	A9
5	D2	6	D3	35	A10	36	A11
7	D4	8	D5	37	A12	38	A13
9	D6	10	D7	39	A14	40	A15
11	GND	12	GND	41	+5V	42	+5V
13	D8	14	D9	43	A16	44	A17
15	D10	16	D11	45	A18	46	A19
17	D12	18	D13	47	BHE-	48	GND
19	D14	20	D15	49	GND	50	RD-
21	+5V	22	+5V	51	WR-	52	RESET-
23	A0	24	A1	53	GND	54	GND
25	A2	26	A3	55	READY	56	INT-
27	A4	28	A5	57	GND	58	GND
29	A6	30	A7	59	CPUCLK	60	GND

JEXT コネクタピン配置

信号名	入出力	機能
A[0..19]	出力	アドレス・バス信号。CPU のアドレス信号をバッファして接続。
BHE-	出力	バイトハイ・イネーブル信号。CPU の UBE-信号をバッファして接続。
D[0..15]	入出力	データ・バス信号。CPU のデータ・バス信号をバッファして接続。 また、ボード上で 10K プルアップ。
RD-	出力	リード・サイクルのタイミング信号。JEXT 空間のアクセス時のみ、アクティブになる。
WR-	出力	ライト・サイクルのタイミング信号。JEXT 空間のアクセス時のみ、アクティブになる。
READY	入力	サイクルの終了を CPU に通知する信号。JEXT 空間のみで有効。 確実に CPU に READY を認識させるためには、RD-もしくは WR-がインアクティブになるまで READY をアクティブに保つことが必要。また、ボード上で 10K プルアップ。
INT-	入力	Low アクティブの割り込み要求信号。バッファ後 CPU の INTPI1-端子に接続されている。また、ボード上で 10K プルアップ。
RESET-	出力	Low アクティブのシステム・リセット信号。
CLK	出力	クロック信号。V821 の CLKOUT 端子がバッファ後、接続されている。

JEXT コネクタ信号



JEXT バス・サイクル

記号	内容	MIN(ns)	MAX(ns)
T1	RD アドレス セットアップ時間	0	
T2	RD アドレス ホールド時間	0	
T3	RD サイクル時間	50	
T4	RD サイクル間隔	20	
T5	RD データ セットアップ時間	15	
T6	RD データ ホールド時間	0	
T7	WR READY WAIT セットアップ時間	0	
T8	WR READY セットアップ時間	0	
T9	WR READY ホールド時間	0	
T10	WR アドレス セットアップ時間	0	
T11	WR アドレス ホールド時間	20	
T12	WR サイクル時間	50	
T13	WR サイクル間隔	20	
T14	WR データ 遅延時間		20
T15	WR データ ホールド時間	20	
T16	WR READY WAIT セットアップ時間	0	
T17	WR READY セットアップ時間	0	
T18	WR READY ホールド時間	0	

JEXT バス AC スペック

8. その他のCPU 資源

8.1. RESET-

CPU へのリセットは下記に示した要因で発生します。このリセットは、CPU のリセットと共に、ボード制御回路のシステム・リセットとなります。

- ・**パワーオン・リセット**: ボードの電源 ON 時に発生するリセットです。
- ・**TP からのリセット要求**: TP の RESET-端子からの入力によるリセットです。詳細は『3.6.テストピン (TP)』を参照して下さい。
- ・**SWRESET によるリセット**: ボードのリアパネル部分に用意されているリセット・スイッチ (SWRESET) が押されるとリセットが発生します。
- ・**ホストからのリセット要求**: ISA バス経由でリセットを発生させることができます。

8.2. NMI-

CPU への NMI は下記に示した要因で発生します。

- ・**SCC2691 の割り込み**: SCC2691 の割り込み要求出力 (INTR-) がアクティブになると、NMI が発生します (「6.1.1.UART/TIMER(SCC2691)」を参照)。
- ・**TP からの NMI 要求**: TP の NMI-端子からの入力によるリセットです。詳細は「3.6.テストピン (TP)」を参照してください。
- ・**ISA バスからの要求**: ISA バス経由の通信制御のために NMI を使用しています。

また、NMI はハード的にマスクすることができます。マスク方法については、『6.1.2.PIO (uPD71055)』の『NMIMASK』に関する記述を参照してください。NMIMASK による NMI のマスクは、上記の全ての NMI 要求に対して有効になります。

NMI が発生した場合は、下記の手順で処理します。

- PIO の NMIMASK に” 1” を設定して、NMI をハード的にマスクする。
- NMI の要求元 (SCC2691 の ISR、PIO の TOVERF) を検査する。
- 要求元のための NMI 処理を行ない、要求をクリアする。
- PIO の NMIMASK に” 0” を設定して、マスクを解除する。
- NMI 処理から復帰する。

9. Multi モニタ

ボードに実装されている ROM には、Multi 用のモニタが組み込まれています。ホストの Multi サーバと接続して使用する場合の注意点について説明します。

9.1. モニタ・ワーク RAM

モニタでは、SRAM の先頭から 2000H をワーク用の RAM として使用しています。すなわち、FF00-0000H ~ FF00-1FFFH はユーザ・プログラムでは使用できません。

9.2. 割り込み

現在 Multi モニタを使用して、ユーザ・プログラムで割り込み処理はできません。内部 I/O を使用する場合には、割り込みを使用できません。

9.3. _INIT_SP の設定

モニタで _INIT_SP (スタック・ポインタの初期値) は、FF01-FFFCH (SRAM の最上位) に設定されています (Multi の環境で _INIT_SP を変更することもできます)。

9.4. リモート接続

Multi のサーバとの接続は、シリアル接続と ISA バス接続が選択できますが、一度接続した方から他方に切り替える場合には、モニタをリセット (リアパネルのリセット・スイッチを押す) してから RTE for Windows のユーティリティ Check RTE で接続を変更してください。

10. RTE コマンド

サーバと接続すると TARGET ウィンドウが開かれ、ここで RTE コマンドを発行することができます。表に RTE コマンドの一覧を示します。

コマンド名	内容
HELP, ?	ヘルプ表示
INIT	イニシャライズ
VER	バージョン表示
INB, INH, INW	I/O リード
OUTB, OUTH, OUTW	I/O ライト
SFR	内部 I/O 表示 / 設定

RTE コマンド一覧

各コマンドには、パラメータを必要とするものがあります。アドレスやデータなど、数値のパラメータは、全て 16 進数とみなされます。以下の数値指定は誤りです。

0x1234 1234H \$1234

10.1. HELP(?)

<書式> HELP [コマンド名]

HELP は、RTE コマンドの一覧や書式を表示します。また、” HELP” と入力するかわりに” ?” としても同様です。コマンド名を省略すると、使用できるコマンド一覧を表示します。

<例> HELP SFR
SFR コマンドのヘルプを表示します。

10.2. INIT

<書式> INIT

INIT は、RTE 環境の初期化を行ないます。通常、このコマンドを使用しないでください。

10.3. VER

<書式> VER

VER は、RTE 環境のバージョンを表示します。

10.4. INB,INH,INW

<書式> INB [アドレス]
 INH [アドレス]
 INW [アドレス]

INB,INH,INW は、I/O リードを行ないます。INB はバイト、INH はハーフ・ワード、INW はワード単位でアクセスします。アドレスが省略される、前回のアドレスが指定されたものとみなします。

<例> INB 1000
1000H からバイトで I/O リードします。

10.5. OUTB,OUTH,OUTW

<書式> OUTB [[アドレス] データ]
OUTH [[アドレス] データ]
OUTW [[アドレス] データ]

OUTB,OUTH,OUTW は、I/O ライトを行ないます。OUTB はバイト、OUTH はハーフ・ワード、OUTW はワード単位でアクセスします。アドレスとデータが省略される、前回の指定と同じものとみなされます。

<例> OUTH 2000 55AA
2000H 番地にデータ 55AAH をハーフ・ワードで I/O ライトします。

10.6. SFR

<書式> SFR [レジスタ名 [=データ]]

SFR は、V821 の内部 I/O の参照と設定を行ないます。指定できるレジスタ名は、以下の通りです。これは、レジスタ名とデータを省略した場合（SFR 単独）に表示されます。

PMC0, PM0, P0, BCTC, PWC0, PWC1, PWC2, DRC, RFC, PRC, DSA0H, DSA0L, DDA0H, DDA0L, DSA1H, DSA1L, DDA1H, DDA1L, DBC0, DBC1, DCHC0, DCHC1, TUM0, TMC0, TMC1, TOC0, TOVS, ASIM, ASIS, RXB, RXBL, TXS, TXSL, CSIM, SIO, BRG, BPRM, IGP, ICR, IRR, IMR, IMOD, WDTM, STBC, CGC

また、レジスタ名を指定してデータを省略した場合は、そのレジスタを I/O リードしたデータを表示します。レジスタ名と” = “ の後にデータを指定した場合には、そのレジスタにデータを I/O ライトします。データのサイズは、指定したレジスタの有効サイズで自動的に決定されます。内部 I/O レジスタの詳細については、V821-CPU のマニュアルを参照してください。

<例 1> SFR
レジスタ一覧を表示します。

<例 2> SFR PMC0
レジスタ PMC0 の内容を表示します。

<例 3> SFR P0=A2
レジスタ P0 にデータ A2H を I/O ライトします。

11. CPU 端子

CPU の各端子の状態を表に示します。

CPU 端子名	使用状況	参照項目
X1,X2	クロックとして OSC1 ソケットに接続	3.10, 5.2.10
CLKOUT	CLKOUT として使用 クロック出力禁止の設定は不可	5.2.10
A[23..0]	アドレス・バスとして使用	
D[15..0]	データ・バスとして使用	
CS0-/REFRQ-	DRAM 用に REFRQ-として使用	5.2.2, 5.2.3
CS1-,CS2-,CS3-	チップ・セレクトとして使用	5.2.2
IORD-,IOWR-, UMWR-,LMWR-, MRD-	各コマンド信号として使用	
RAS-, LCAS-,UCAS-	DRAM 制御に使用	5.2.3
READY-	ハードウェア制御の WAIT を生成	5.2.2
RESET-	リセット入力として使用	8.1
NMI-	NMI 入力として使用	8.2
HLDQR-, HLDAR-	未使用 47K プルアップ	5.2.9
DREQ0/P01, DACK0-/P02 DREQ1/P03, DACK1-/P04	未使用 JSUBPORT に接続 47K プルアップ	3.7, 5.2.1, 5.2.5
SI/P05, SO/P06, SCLK-/P07	未使用 JSUBPORT に接続 47K プルアップ	3.7, 5.2.1, 5.2.7
TxD/P08/UBE-	UBE-として使用	5.2.1, 5.2.7
RxD/P09/TC-	未使用 47K プルアップ	5.2.1, 5.2.5, 5.2.7
TCLR/P00	未使用 JSUBPORT に接続 47K でプルダウン	3.7, 5.2.1, 5.2.6
INTP00-/TO00, INTP02-/TO01, INTP13-/TI	未使用 JSUBPORT に接続 10K プルアップ	3.7, 5.2.6, 5.2.8
INTP01-, INTP03-, INTP12-	未使用 10K プルアップ	5.2.6, 5.2.8
INTP10-, INTP11-	割り込み信号として使用	5.2.8
BLOCK/WDOUT	未使用	5.2.11

CPU 信号使用状況

12. マスカブル割り込みを使用したアプリケーションの開発

RTE-V821-PC 上でマスカブル割り込みを使用したアプリケーションの開発を行う場合の方法と制限事項について説明します。

12.1. 割り込みベクタ

V821 の割り込みベクタ領域である FFFF-FE00H ~ FFFF-FFFFH 番地は、ROM により固定されていて書き換えることが出来ません。そこで Multi 用モニタ ROM では、SRAM 上に代替のベクタ領域を用意し、FFFF-FE00H ~ FFFF-FFFFH 番地のベクタには、その代替ベクタ領域への分岐命令が置かれています。

例えば、例外コードが FEE0H の割り込みが発生すると、CPU の割り込み機能により FFFF-FEE0H 番地に分岐します。そこには代替ベクタ領域のオフセット FFE0H 番地への分岐命令があります。したがって、ユーザ・プログラムでは、この代替ベクタ領域を本来のベクタ領域と同じように書き換えれば、割り込み発生時にユーザ・プログラムの割り込み処理ルーチンに分岐するように出来ます。

通常の V821 のプログラムと異なるのは、通常はベクタ領域は ROM 化の時点で固定されており、プログラムで設定（書き換える）必需はありません。しかし、RTE-V821-PC 上で Multi を使用したプログラムの場合、プログラムでベクタを書き換えてから、割り込みを許可する必需があります。

代替ベクタ領域は、SRAM 上の FF00-0000H ~ FF00-01FFH にあります（実際には SRAM のイメージが出ますので、他のアドレスからでも参照 / 変更可能ですが、CPU が最初に参照する割り込みベクタが分岐するのは FF00-0000H ~ FF00-01FFH です）。したがって、前述の例外コード FFE0H の割り込みの場合、目的の割り込み処理に分岐する命令を FF00-00E0H 番地に書き込みます。

V821 の場合、CPU がキャッシュ・メモリを内蔵していますので、ベクタを書き換えた後にキャッシュ・フラッシュ操作が必需となります。この操作を忘れると、代替ベクタ書き換え前のベクタが使用されてしまうことがあります。

代替えベクタを書き換えるためのプログラム例を下記に示します（割り込み処理ルーチンから代替えベクタ領域への相対アドレスが 26Bit 以内の場合）。

```

void SetAJump(int addr, int jmpdest) /* ベクタ設定ルーチン */
/* int addr;                          address where we're storing the 'jr' */
/* int jmpdest;                       address where the 'jr' jumps to */
{
    int offset;
    unsigned inst;
    unsigned int *p ;

    offset = jmpdest - addr;
    inst = 0xa8000000 /* 'jr' opcode */ | (offset & 0x3ffffff);
    *((UINT16 *) (addr + 0)) = (inst >> 16) & 0xffff ;
    *((UINT16 *) (addr + 2)) = (inst << 16) & 0xffff ;

    cache_clr() ; /* cache flash ASM で用意する */
}
.....
void __interrupt IntEntry() /* 割り込み処理ルーチン */
{
    .....
}
.....
main()
{
    .....
    SetAJump((int)((0xfffffe0 - 0xfffffe0) + 0xff000000) ,(int)IntEntry) ;
    /* 目的の割り込みの元のベクタ・アドレス */
}

```

12.2. 一般的な制限事項 / 注意事項

マスカブル割り込みを使用したアプリケーションをデバッグする上での制限事項と注意事項を下記に示します。

- 1) 代替えベクタの設定の設定前に割り込みが発生した場合や、代替えベクタを正しく設定しないで割り込みが発生した場合には、割り込みの発生時点でのプログラム位置でブレイクします。これは、代替えベクタの初期値がモニタ ROM のブレイク処理ルーチンへの分岐命令になっているためです。
- 2) 代替えベクタ領域から割り込み処理ルーチンまでの相対アドレスが 26Bit を超える場合、割り込み処理ルーチンへの分岐のために、少なくとも 1 つ以上のレジスタの値を壊すか、分岐の中継点を作る必用があります。
- 3) 代替えベクタ領域は、ROM モニタの管理領域として保護されているため、プログラムのダウンロードで書き換えることは出来ません。したがって、ソース・プログラム上ベクタ領域を独立したセクションとして定義し、リンク時のパラメータによりそのセクションを代替えベクタ領域に割り付ける方法も考えられますが、この方法はダウンロードに失敗してしまうため使用できません。
- 4) 代替えベクタ領域を書き換えた直後に CPU 内蔵のキャッシュ・メモリをフラッシュして下さい。この操作を忘れると、代替えベクタ書き換え前のベクタが使用されてしまうことがあります。
- 5) 割り込み関係を含む全てのペリフェラルは、ボード上のリセット・スイッチによってのみ初期化されます。したがって、一端プログラムを実行した後に、プログラムを再ロードして動作させる場合、前のプログラム実行による影響がペリフェラル上に残っ

てしまいます。したがって、ペリフェラルを使用するプログラムの場合、一端プログラムを動作させ、再度プログラムを始めから動作させる場合は、rteserv をディスコネクトし、RTE-V821-PC のリセット・ボタンを押し、rteserv を再コネクトする、という手順を踏んで下さい。

- 6) プログラムの先頭で一端 DI (割り込み禁止) 状態にしてから、ペリフェラルやベクタの設定をした後、EI (割り込み許可) 状態にするようにして下さい。

12.3. ブレーク・ポイント使用に関する制限事項 / 注意事項

ブレーク・ポイントを割り込み処理ルーチン内に設定しブレークさせることも出来ますし、その後割り込み処理ルーチン内をシングル・ステップすることも可能です。しかしその場合、下記に示す制限事項 / 注意事項がありますのでご注意下さい。

- 1) ブレーク中は全てのマスカブル割り込みは受け付けません。
- 2) シングル・ステップ機能は、次の命令にテンポラリ・ブレーク・ポイントを設定する方式を取っています。したがって、EI (割り込み許可) 状態のユーザ・プログラムをシングル・ステップする場合、シングル・ステップ中にも割り込みを受け付けます。
- 3) シングルステップによって割り込み処理ルーチンから抜けることは出来ません (具体的には、割り込みルーチンの最後の ” } ” でのシングルステップが出来ません)。同様に、iret 命令のシングルステップも出来ません。
- 4) デバッガの ” Return ” 機能で、割り込み処理ルーチンから元のルーチンへ戻ることは出来ません。

- Memo -

RTE-V821-PC ユーザズ・マニュアル

M471MNL02

初版 1995年8月11日 Rev1.0

改訂 1995年12月25日 Rev1.1

改訂 1996年9月12日 Rev1.2

Midas lab