

# ***RTE-V854-PC***

**ユーザース・マニュアル (Rev. 1.00)**

***Midas lab***

## 改訂履歴

実施日	Revision	章	内容
1997年2月8日	1.00		初版

## 目次

<b>1. はじめに</b> .....	<b>5</b>
1.1. マニュアル表記について .....	5
<b>2. 特徴と機能</b> .....	<b>6</b>
<b>3. ボードの構成</b> .....	<b>7</b>
3.1. リセット・スイッチ [ ソケットボード ] ( RESET_SW ) .....	7
3.2. リセット・スイッチ [ ベースボード ] ( SW_RESET ) .....	7
3.3. NMIスイッチ [ ソケットボード ] ( NMI_SW ) .....	7
3.4. 電源コネクタ [ ソケットボード / ベースボード ] ( JPOWER ) .....	8
3.5. プロセッサ・ピンコネクタ [ ソケットボード ] ( JPORTXX ) .....	8
3.6. プロセッサ・ピンコネクタ [ ソケットボード / ベースボード ] ( J1,J2 ) .....	10
3.7. シリアル・コネクタ [ ソケットボード ] ( JSIO ) .....	11
3.8. フラッシュ書き込みコネクタ [ ソケットボード ] ( JFLASH ) .....	12
3.9. スイッチ 4 [ ソケットボード ] ( SW4 ) .....	12
3.10. スイッチ 5 [ ソケットボード ] ( SW5 ) .....	12
3.11. クリスタル・ソケット [ ソケットボード ] ( JP1 ) .....	13
3.12. AVDD 切り替えジャンパ [ ソケットボード ] ( JP2 ) .....	13
3.13. 7SEG_LED [ ソケットボード ] ( P14_OUT ) .....	13
3.14. LED [ ソケットボード ] .....	14
3.15. スイッチ 1 [ ベースボード ] ( SW1 ) .....	14
3.16. スイッチ 2 [ ベースボード ] ( SW2 ) .....	14
3.17. スイッチ 3 [ ベースボード ] ( SW3 ) .....	14
3.18. ROM 容量切り替えジャンパ [ ベースボード ] ( JP1 ) .....	15
3.19. ISA バス・インターフェース切り替えジャンパ [ ベースボード ] ( JP2 ) .....	15
3.20. LED [ ベースボード ] .....	15
3.21. ROM エミュレータ用テストピン [ ベースボード ] ( JROMEM ) .....	15
3.22. シリアル・コネクタ [ ベースボード ] ( JSIO1,JSIO2 ) .....	16
3.23. パラレル・コネクタ [ ベースボード ] ( JPRT ) .....	17
3.24. 拡張バス・コネクタ [ ベースボード ] ( JEXT ) .....	17
3.25. DRAM-SIMM ソケット .....	17
3.26. ROM ソケット .....	17
<b>4. インストールと使用方法</b> .....	<b>18</b>
4.1. ボードの設定 .....	18
4.2. ISA バスに実装する場合 .....	20
4.3. ボード単体で使用する場合 .....	20
<b>5. ハードウェア・リファレンス</b> .....	<b>21</b>
5.1. メモリ・マップ .....	21
<b>6. SYSTEM-IO</b> .....	<b>23</b>

6.1. SYSTEM-IO 一覧 .....	23
6.2. UART/PRINTER ( TL16C552A ) (3F-F000H ~ 3F-F026H).....	24
6.3. TIC ( uPD71054 ) (3F-F030H ~ 3F-F038H) .....	26
6.4. 7セグメントLED表示データ出力ポート(3F-F040H [WRITE ONLY]) .....	27
6.5. DIPSW1 読み出しポート(3F-F050H [READ ONLY]).....	27
6.6. STATUS 読み出しポート(3F-F060H [READ ONLY]).....	28
6.7. BIC ( BUS-INTERFACE-CONTROL ) (3F-F080H ~ 3F-F0F0H).....	29
6.8. BANK-PORT#0/#1(3F-F100H ~ 3F-F110H).....	30
6.9. NMI セレクト・ポート(3F-F140H ~ 3F-F150H).....	31
6.10. NMI ステータス・ポート(3F-F160H ~ 3F-F170H [READ ONLY]) .....	31
6.11. NMI/INT0/INT1 マスク・ポート(3F-F180H).....	32
6.12. NMI/INT1 要求クリア・ポート(3F-F190H,3F-F1A0H [WRITE ONLY]) .....	32
6.13. INT0(P24/INTP51)セレクト・ポート(3F-F200H).....	32
6.14. INT1(P26/INTP53)セレクト・ポート(3F-F210H).....	33
6.15. INT0(P24/INTP51)ステータス・ポート(3F-F220H [READ ONLY]) .....	33
6.16. INT1(P26/INTP53)ステータス・ポート(3F-F230H [READ ONLY]) .....	33
<b>7. 推奨設定.....</b>	<b>34</b>
7.1. CPU 設定 .....	34
7.2. SRAM/ROM.....	34
7.3. DRAM.....	34
7.4. SYSTEM-I/O ウェイト.....	34
7.5. SYSTEM-IO コマンド・リカバリ・タイム.....	34
<b>8. JEXT バス仕様.....</b>	<b>36</b>
<b>9. その他のCPU 資源.....</b>	<b>38</b>
9.1. RESET- .....	38
9.2. NMI- .....	38
9.3. マスカブル割り込み(INT0(P24/INTP51),INT1(P26/INTP53)).....	40
9.4. ポート.....	41
<b>10. MULTI モニタ.....</b>	<b>42</b>
10.1. モニタ・ワーク RAM .....	42
10.2. 割り込み.....	42
10.3. _INIT_SP の設定 .....	42
10.4. リモート接続 .....	42
10.5. タイマ割り込み .....	42
<b>11. RTE コマンド.....</b>	<b>43</b>
11.1. HELP(?) .....	43
11.2. INIT .....	43
11.3. VER .....	43
11.4. SFR .....	43

<b>12. フラッシュROM 書き込み</b> .....	<b>44</b>
12.1. 仕様概要.....	44
12.2. JFLASH コネクタ.....	44
12.3. 書き込み手順.....	44
12.4. 注意事項.....	45
<b>13. バス・サイクル</b> .....	<b>46</b>
13.1. タイムオーバ・レディー.....	46
13.2. DRAM インターフェース.....	46
13.2.1. 概要.....	46
13.2.2. 信号の説明.....	46
13.2.3. シングル・リード (ノーマル・モード).....	47
13.2.4. シングル・ライト (ノーマル・モード).....	48
13.2.5. ページ・アクセス (ページ・モード、同一 Row アドレス).....	49
13.2.6. ページ・アクセス (ページ・モード、異なる Row アドレス).....	50
<b>14. CPU ポート接続</b> .....	<b>51</b>
14.1. P00 ~ P07.....	51
14.2. P10 ~ P17.....	51
14.3. P20 ~ P26.....	51
14.4. P30 ~ P36, WAIT.....	52
14.5. P70 ~ P77, AN00 ~ AN01, AVREF1 ~ AVREF3, AVDD, AVSS.....	53
14.6. P100 ~ P103.....	53
14.7. P110 ~ P117.....	53
14.8. P120 ~ P127.....	54
14.9. P130 ~ P137.....	54
14.10. P140 ~ P147.....	54
<b>15. マスカブル割り込みを使用したアプリケーション</b> .....	<b>55</b>
15.1. 割り込みベクタ.....	55
15.2. 一般的な制限事項 / 注意事項.....	56
15.3. ブレーク・ポイント使用に関する制限事項 / 注意事項.....	56
<b>16. ブレーク・ポイント</b> .....	<b>58</b>
16.1. ブレーク・ポイントの実現方法.....	58
16.2. 制限事項.....	58

## 1. はじめに

このマニュアルでは、日本電気社製 CPU の V854 用の評価ボード「RTE-V854-PC」について説明します。RTE-V854-PC では、GreenHills 社の Multi デバッガを利用してプログラムの開発 / デバッグや CPU のパフォーマンス評価などができます。このデバッガとの通信には、IBM-PC/AT の ISA バスか RS-232C シリアル・インターフェースが使用できます。またボードに設けられたローカル・バス用のコネクタやポート用コネクタを使用してメモリや I/O を拡張することもできます。

### 1.1. マニュアル表記について

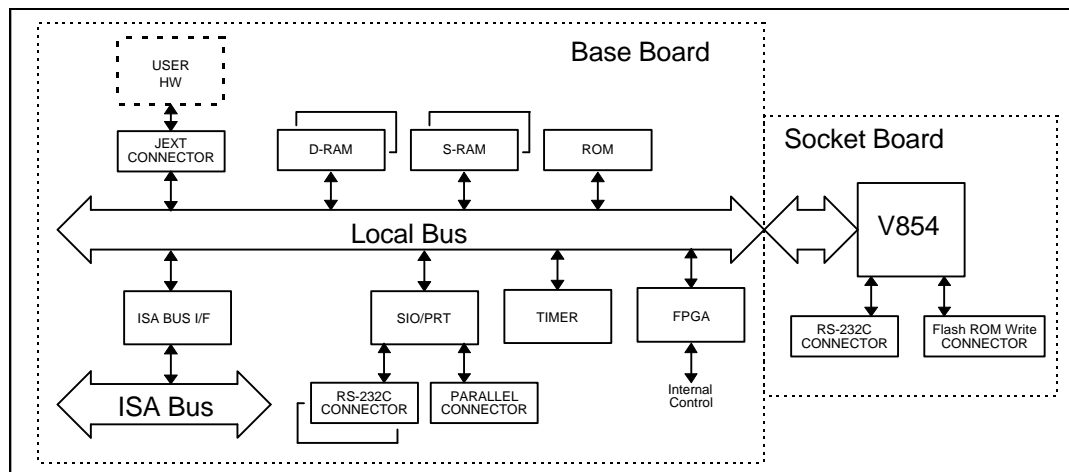
本書では、数字の表記については下表の表記を用います。16 進数や 2 進数の表記では、桁数が多くて読みにくい場合は、4 桁ごとに“-”（ハイフン）を入れてあります。

進数	表記規則	例
10 進数	数字のみを示します	“10”は 10 進数の“10”を示します
16 進数	数字の末尾に“H”を記します	“10H”は 10 進数の“16”を示します
2 進数	数字の末尾に“B”を記します	“10B”は 10 進数の“2”を示します

数字表記規則

## 2. 特徴と機能

RTE-V854-PC の機能ブロックの概要を図に示します。RTE-V854-PC は、CPU が実装されているソケットボード（小さいボード）と、CPU 以外の資源が実装されソケットボードを実装するベースボードから構成されます。



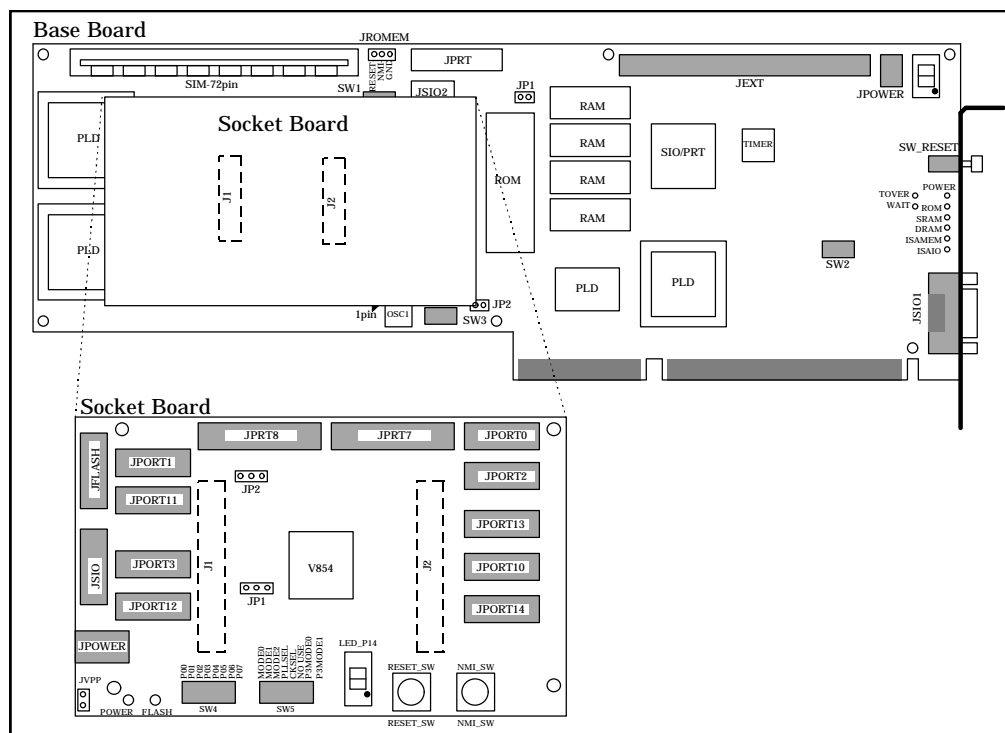
RTE-V854-PC ブロック図

### 特徴

- ◇ ROM 標準 128K バイト (64K × 16 ビット EPROM × 1)  
最大 512K バイト (256K × 16 ビット EPROM × 1)
- ◇ SRAM 512K バイト (64K × 16 ビット SRAM × 4)
- ◇ DRAM SIMM72 ピン・ソケット × 1 枚により 4M, 8M (標準では 4M が実装)  
通常タイプの DRAM-SIMM に加え、EDO タイプの DRAM-SIMM も使用可能
- ◇ RS-232C ポート (D-SUB 9 ピン × 1, 2.54mm ピンヘッダ 10 ピン × 2)
- ◇ パラレルポート (2.54mm ピンヘッダ 26 ピン × 1)
- ◇ PC/AT 互換機の ISA バスによる通信機能
- ◇ ユーザー拡張用のローカル・バスのコネクタ
- ◇ CPU の信号を計測できるプロセッサ・ピンコネクタ
- ◇ 外部リセット・スイッチをリアパネルに用意
- ◇ ROM インサーキット・デバッグ用の接続ピン
- ◇ CPU 内蔵フラッシュ ROM 書き込み用コネクタ

### 3. ボードの構成

図は RTE-V854-PC ボード上の主要な部品の物理的な配置です。ここでは、それぞれの部品について説明します。まず、Multi でお使いになりたいという場合は、「4インストールと使用方法」を先にご覧ください。



RTE-V854-PC 概観

#### 3.1. リセット・スイッチ[ソケットボード](RESET\_SW)

ソケットボード上の RESET\_SW はリセット・スイッチです。このスイッチを押すと CPU がリセットされます。このリセットはベースボードにも供給されます。ベースボード上のリセット・スイッチと同じ働きをします。

#### 3.2. リセット・スイッチ[ベースボード](SW\_RESET)

ベースボード上の SW\_RESET はリセット・スイッチです。このスイッチを押すと CPU がリセットされます。ソケットボード上のスイッチと同じ働きをします。

#### 3.3. NMI スイッチ[ソケットボード](NMI\_SW)

ベースボード上の NMI\_SW は NMI スイッチです。このスイッチを押すと CPU の NMI 端子が Low レベルになります。NMI はベースボードからも供給され、スイッチによる NMI はベースボードからの NMI と OR されます(「9.2NMI-」参照)。



### 3.4. 電源コネクタ[ソケットボード/ベースボード][JPOWER]

本ボードを ISA バス・スロットに挿さずに単体で使用する場合に、JPOWER コネクタに外部電源を接続して電源を供給します。

ソケットボードとベースボードそれぞれに JPOWER がありますが、ベースボードの JPOWER を使用して下さい。

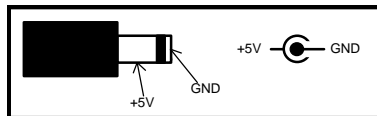
JPOWER コネクタに供給する電源は、下記の通りです。

電圧：5 V

電流：最大 2 A (ただし、JEXT コネクタへの供給分を含まず)

適合コネクタ：Type A ( 5.5 )

極性：



**【注意】** 電源コネクタの極性に注意してください。また、ISA バス・スロットに挿して使用する場合には、JPOWER に電源を接続しないでください。

### 3.5. プロセッサ・ピンコネクタ[ソケットボード][JPORTxx]

CPU の端子が接続されているコネクタです。ボード内の接続については『14CPU ポート接続』を参照してください。

JPORT0 ピン番号	信号名	JPORT0 ピン番号	信号名
1	GND	2	GND
3	P 0 7 / T I 0 / I N T P 0 5	4	P 0 6 / T C L R 0 / I N T P 0
5	P 0 5 / I N T P 0 3	6	P 0 4 / I N T P 0 2
7	P 0 3 / I N T P 0 1	8	P 0 2 / I N T P 0 0
9	P 0 1 / T O 0 1	10	P 0 0 / T O 0 0

J P R T 0 のピンレイアウト

JPORT1 ピン番号	信号名	JPORT1 ピン番号	信号名
1	GND	2	GND
3	P 1 7	4	P 1 6 / T I 2 0 / I N T P 2 0
5	P 1 5 / T O 2 0	6	P 1 4 / T I 1 / I N T P 1 4
7	P 1 3 / I N T P 1 3	8	P 1 2 / I N T P 1 2
9	P 1 1 / I N T P 1 1	10	P 1 0 / I N T P 1 0

J P O R T 1 のピンレイアウト

JPORT2 ピン番号	信号名	JPORT2 ピン番号	信号名
1	GND	2	GND
3	N C .	4	P 2 6 / I N T P 5 3 *1
5	P 2 5 / I N T P 5 2 *1	6	P 2 4 / I N T P 5 1 *1
7	P 2 3 / I N T P 5 0 *1	8	P 2 2 / A D T R G
9	P 2 1 / I N T P 3 0	10	P 2 0 / N M I ( O U T )

J P O R T 2 のピンレイアウト

\*1: 「3.17スイッチ3[ベースボード](SW3)」参照

JPORT3 ピン番号	信号名	JPORT3 ピン番号	信号名
1	GND	2	GND
3	NC .	4	P36
5	P35/SCK1- /SCL	6	P34/SI1
7	P33/SO1/SDA	8	P32/SCK0-
9	P31/SIO/RXD	10	P30/SO0/TXD

JPORT3のピンレイアウト

JPORT7 ピン番号	信号名	JPORT7 ピン番号	信号名
1	AVDD	2	AVSS
3	P77/ANI7	4	GND
5	P76/ANI6	6	GND
7	P75/ANI5	8	GND
9	P74/ANI4	10	GND
11	P73/ANI3	12	GND
13	P72/ANI2	14	GND
15	P71/ANI1	16	GND
17	P70/ANI0	18	GND
19	AVREF	20	GND

JPORT7のピンレイアウト

JPORT8 ピン番号	信号名	JPORT8 ピン番号	信号名
1	AVDD	2	AVSS
3	P77/ANI15	4	GND
5	P76/ANI14	6	GND
7	P75/ANI13	8	GND
9	P74/ANI12	10	GND
11	P73/ANI11	12	GND
13	P72/ANI10	14	GND
15	P71/ANI9	16	GND
17	P70/ANI8	18	GND
19	AVREF	20	GND

JPORT8のピンレイアウト

JPORT10 ピン番号	信号名	JPORT10 ピン番号	信号名
1	GND	2	GND
3	NC .	4	NC .
5	NC .	6	NC .
7	P103/PWM3	8	P102/PWM2
9	P101/PWM1	10	P100/PWM0

JPORT10のピンレイアウト

JPORT11 ピン番号	信号名	JPORT11 ピン番号	信号名
1	GND	2	GND
3	P117/TI24/INTP24	4	P116/TO24
5	P115/TI23/INTP23	6	P114/TO23
7	P113/TI22/INTP22	8	P112/TO22
9	P111/TI21/INTP21	10	P110/TO21

JPORT11のピンレイアウト

JPORT12 ピン番号	信号名	JPORT12 ピン番号	信号名
1	GND	2	GND
3	P 1 2 7 / C L O	4	P 1 2 6
5	P 1 2 5 / S C K 3 -	6	P 1 2 4 / S I 3
7	P 1 2 3 / S O 3	8	P 1 2 2 / S C K 2 -
9	P 1 2 1 / S I 2	10	P 1 2 0 / S O 2

J P R T 1 2 のピンレイアウト

JPORT13 ピン番号	信号名	JPORT13 ピン番号	信号名
1	GND	2	GND
3	P 1 3 7 / R T P 7	4	P 1 3 6 / R T P 6
5	P 1 3 5 / R T P 5	6	P 1 3 4 / R T P 4
7	P 1 3 3 / R T P 3	8	P 1 3 2 / R T P 2
9	P 1 3 1 / R T P 1	10	P 1 3 0 / R T P 0

J P R T 1 3 のピンレイアウト

JPORT14 ピン番号	信号名	JPORT14 ピン番号	信号名
1	GND	2	GND
3	P 1 4 7	4	P 1 4 6
5	P 1 4 5	6	P 1 4 4
7	P 1 4 3	8	P 1 4 2
9	P 1 4 1	10	P 1 4 0

J P R T 1 4 のピンレイアウト

### 3.6. プロセッサ・ピンコネクタ[ソケットボード/ベースボード](J1,J2)

ソケット・ボードとベースボードを接続するためのコネクタです。

J 5 ピン番号	信号名	J 5 ピン番号	信号名
1	GND	2	GND
3	P 5 7 / A D 1 5	4	P 5 6 / A D 1 4
5	P 5 5 / A D 1 3	6	P 5 4 / A D 1 2
7	P 5 3 / A D 1 1	8	P 5 2 / A D 1 0
9	P 5 1 / A D 9	10	P 5 0 / A D 8
11	GND	12	GND
13	P 4 7 / A D 7	14	P 4 6 / A D 6
15	P 4 5 / A D 5	16	P 4 4 / A D 4
17	P 4 3 / A D 3	18	P 4 2 / A D 2
19	P 4 1 / A D 1	20	P 4 0 / A D 0
21	P 2 4 / I N T P 5 1	22	P 2 3 / I N T P 5 0
23	R T E _ C O N - ( I N )	24	1 M / 1 6 M - ( O U T )
25	+ 5 V ( I N )	26	+ 5 V ( I N )

J 1 のピンレイアウト

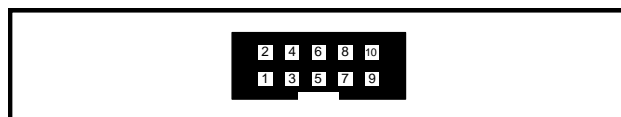
J 6 ピン番号	信号名	J 6 ピン番号	信号名
1	GND	2	GND
3	GND (A 2 3)	4	GND (A 2 2)
5	GND (A 2 1)	6	GND (A 2 0)
7	P 6 3 (A 1 9)	8	P 6 2 (A 1 8)
9	P 6 1 (A 1 7)	10	P 6 0 (A 1 6)
11	GND	12	GND
13	CLKOUT	14	X 1 (IN)
15	RESET - (IN/OUT)	16	WAIT -
17	NMI	18	P 9 6 / HLD R Q -
19	P 9 5 / HLD A K -	20	P 9 4 / A S T B
21	P 9 3 / D S T B -	22	P 9 2 / R _ W -
23	P 9 1 / U B E N -	24	P 9 0 / L B E N -
25	P 2 6 / I N T P 5 3	26	P 2 5 / I N T P 5 2

J 2 のピンレイアウト

### 3.7. シリアル・コネクタ [ソケットボード] (JSIO)

JSIO コネクタは、CPU の内蔵 UART によって制御される RS-232C 用のコネクタです。コネクタの形状は、2.54mm ピッチのピンヘッダですが、リボンケーブルに対して圧接型コネクタを使用した場合、ピン配置が PC/AT で用いられる一般的な D-SUB9 ピンの RS-232C コネクタと同じになっています。全ての信号は RS-232C レベルに変換されています。

JSIO コネクタのピン配置を図と表に示します。また、パーソナル・コンピュータ (ホスト) などと接続する場合の布線は、「3.22 シリアル・コネクタ [ベースボード] (JSIO1, JSIO2)」の表を参照してください。



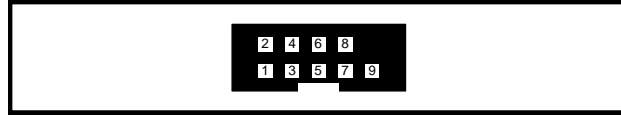
JSIO ピン配置

J7 ピン番号	信号名	入出力	対応 ポート
1	NC	入力	
3	RxD(RD)	入力	P31
5	TxD(SD)	出力	P30
7	DTR(DR)	出力	P34
9	GND		
2	DSR(ER)	入力	P32
4	RTS(RS)	出力	P35
6	CTS(CS)	入力	P33
8	NC		
10	NC		

JSIO コネクタ信号

### 3.8. フラッシュ書き込みコネクタ[ソケットボード](JFLASH)

JFLASH コネクタは、CPU の内蔵のフラッシュ ROM へ書き込むために使用するコネクタです。フラッシュ ROM の書き込みの詳細については、「12フラッシュ ROM 書き込み」を参照してください。



JFLASH ピン配置

J8 ピン番号	信号名	入出力	備考
1	SO0/TXD	出力	同期 / 非同期シリアルデータ出力
2	SI0/RXD	入力	同期・非同期シリアルデータ入力
3	SCK0-	入力	同期シリアルクロック入力
4	RESET-	入力	
5	VPP	入力	V P P 入力
6	VCC	出力	+ 3 . 3 V 出力
7	VCC	出力	+ 3 . 3 V 出力
8	GND	-	グランド
9	NC.		
10	NC.	-	逆挿し防止用でピンなし

JFLASH コネクタ信号

### 3.9. スイッチ 4 [ソケットボード](SW4)

ソケットボードの SW4 は、CPU の Port0 に接続されており、ユーザが自由に使用することができます。スイッチは、OFF で 1、ON で 0 の値となります。

**【注意】** P0 端子を他の目的で使用する場合は、全てを OFF に設定してください。

SW4 番号	1	2	3	4	5	6	7	8
ポート	P00	P01	P02	P03	P04	P05	P06	P07

SW4 ポート対応

### 3.10. スイッチ 5 [ソケットボード](SW5)

ソケットボードの SW5 は、モードを設定するためのスイッチです。

SW5 番号	1	2	3	4	5	6	7	8
ポート	MODE 0	MODE 1	MODE 2	PLLSEL	CKSEL	NO USE	P3MODE 0	P3MODE 1

SW5 の対応

MODE 0..2 : V854 の動作モードを指定するスイッチです。(通常以下の 3 通りの中でご使用ください)

MODE[0,1,2] = [ON,ON,ON]: ROM レスモード 1 (出荷時の設定)

MODE[0,1,2] = [ON,OFF,ON] : シングルチップモード 1

MODE[0,1,2] = [OFF,OFF,OFF] : フラッシュプログラムモード

**【注意】** シングルチップモードで使用する場合には、内蔵のフラッシュ ROM にプログラムが書き込まれていなければなりません。

PLLSEL:V854 の PLLSEL 端子の設定をするスイッチです。

OFF : 5 通倍モード (出荷時の設定)  
ON : 1 通倍モード

CKSEL:V854 の CKSEL 端子の設定をするスイッチです。

OFF : ダイレクトモード  
ON : PLLモード (出荷時の設定)

P3MDOE0..1 : Port 3 の使用モードを設定します。

P3MODE1	P3MODE0	設定内容
OFF	OFF	P30,31,32,33 を JPORT3 に接続します。
OFF	ON	P30,31,32,33 を JSIO に接続します。
ON	OFF	設定しないでください。
ON	ON	JFLASH からのフラッシュ書き込みモード

### 3.11. クリスタル・ソケット [ソケットボード] (JP1)

JP1 は、クリスタル実装用のソケットです。

1 ピンと 3 ピンの間にクリスタルを実装します。(出荷時に 6.6MHz のクリスタルを実装しています)

### 3.12. AVDD 切り替えジャンパ [ソケットボード] (JP2)

JP2 は、CPU の AVDD 端子に供給する電源を切り替えます。

CPU の電源端子と同じ電源が AVDD 端子に接続する場合 (出荷時の設定)

JP2 の 1 ピンと 2 ピンをショートします。

JPORT7 または、JPORT8 コネクタの AVDD を CPU の AVDD として使用する場合

JP2 の 2 ピンと 3 ピンをショートします。

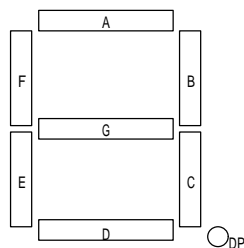
【注意】CPU の AVSS 端子は、R1 抵抗 (0 ) を介して GND に接続しています。AV<sub>SS</sub> をボードの GND からアイソレートして、JPORT または、JPORT8 コネクタから AVSS を接続する場合は、この R1 抵抗を外してください。

### 3.13. 7Seg\_LED [ソケットボード] (P14\_OUT)

P14\_OUT は 7 セグメント LED であり、CPU のポートの P14 が下表の様に接続されています。該当するビットを 1 に設定すると、対応するセグメントが点灯します。

セグメント	A	B	C	D	E	F	G	D.P.
ポート	P110	P111	P112	P113	P114	P115	P116	P117

LED\_P11 対応



### 3.14. LED [ソケットボード]

ソケットボード上の LED の内容を下表に示します。

名称	内容
LED_POWER	ボードに電源が供給されている時に点灯
LED_FLASH	フラッシュ ROM 書き込みモードが選択されている時に点灯

LED ステータス

### 3.15. スイッチ1 [ベースボード](SW1)

SW1 は、汎用の入力ポートに接続したソフトウェアで読み出すためのスイッチです。スイッチは、OFF で 1、ON で 0 の値となります。詳細は、「4.1 ボードの設定」および「6.5 DIPSW1 読み出しポート(3F-F050H [Read Only])」を参照してください。

### 3.16. スイッチ2 [ベースボード](SW2)

SW2 は、ISA バスの I/O アドレス選択のスイッチです。スイッチの番号 1 ~ 8 が ISA バスのアドレス A4 ~ A11 に対応しています (A12 ~ A15 は 0 固定)。したがって、I/O アドレスとして 000xH ~ 0FFxH が選択できます。スイッチは、OFF で 1、ON で 0 の値となります (「4.1 ボードの設定」参照)。

SW2 番号	1	2	3	4	5	6	7	8
アドレス	A4	A5	A6	A7	A8	A9	A10	A11

SW2 アドレス対応

### 3.17. スイッチ3 [ベースボード](SW3)

SW3 は、ベースボードの割り込み要因を CPU へ接続するかどうかを選択するスイッチです。スイッチ番号と CPU の割り込み端子と割り込みの関係を表に示します。スイッチは、OFF で未接続、ON で接続となります。

また、下表の CPU 端子名と同じ端子名の信号を JPORT2 コネクタ経由で使用する場合は、SW3 の該当するスイッチを OFF にしなければなりません。

下表の INT0SEL および INT1SEL については、「9.3 マスカブル割り込み (INT0(P24/INTP51),INT1(P26/INTP53))」を参照してください。

SW3 番号	CPU 端子名	J5/J6 ピン番号	割り込み要因
1	P23/INTP50	J5-22Pin	ベースボード上の TL16C552A の UART2(SCC2)の割り込み要求。High で割り込み発生。
2	P24/INTP51	J5-21Pin	INT0SEL で選択されたベースボード上の割り込み要求。High で割り込み発生。
3	P25/INTP52	J6-26Pin	JEXT バスの割り込み要求信号(INT-)の反転信号。High で割り込み発生。
4	P26/INTP53	J6-25Pin	INT1SEL で選択されたベースボード上の割り込み要求。High で割り込み発生。

SW3 割り込み対応

**【注意】** 出荷時は、全て OFF に設定してありますので、ボード上の割り込み要因を使用する場合には、該当するスイッチを ON に設定してください。

### 3.18. ROM 容量切り替えジャンパ[ ベースボード ](JP1)

JP1 は実装する ROM の容量によって切り替えるジャンパです。128K バイト (64K×16 ビット) と 256K バイト (128K×16 ビット) の ROM を実装する場合はオープンにしておきます。512K バイト (256K×16 ビット) の ROM を実装する場合はショートします。

### 3.19. ISA バス・インターフェース切り替えジャンパ[ ベースボード ](JP2)

JP2 は ISA バスへのインターフェースのモードを切り替えるためのジャンパです。通常はオープン状態で用います。

### 3.20. LED [ ベースボード ]

LED は、各種ステータスを示しています。表に内容を示します。

名称	内容
POWER	ボードに電源が供給されている時に点灯
ROM	ROM 領域が選択されている時に点灯
SRAM	SRAM 領域が選択されている時に点灯
DRAM	DRAM 領域が選択されている時に点灯
TOVER	タイムオーバー・レディー発生時に点灯、ソフト的にタイムオーバー・レディー割り込みがクリアされるまで点灯し続ける (「13.1タイムオーバー・レディー」参照)
WAIT	拡張外部バスのサイクルが発生し Wait サイクルが発生すると点灯、明るさは Wait サイクルの頻度に対応
ISAMEM	ISA のメモリ領域が選択されている時に点灯
ISAIO	ISA の I/O 領域が選択されている時に点灯

LED ステータス

### 3.21. ROM エミュレータ用テストピン[ ベースボード ](JROMEM)

JROMEM は、ROM インサーキット型のデバッグを接続する際に使用するテストピンです。ROM インサーキット・デバッグからの制御信号が入力できます。下表に信号名と機能を示します。

信号名	入出力	機能
RESET-	入力	ROM インサーキット・デバッグからのリセット要求信号を接続。Low レベル入力により、CPU がリセットされます。本ボード内で 1K プルアップされています。
NMI-	入力	ROM インサーキット・デバッグからの NMI 要求信号 (ブレーク要求) を接続。Low レベル入力により、CPU に NMI が入ります。本ボード内で 1K プルアップされています。(「9.2NMI-」参照)
GND	- - -	ROM インサーキット・デバッグの GND と接続。GND です。

TP 端子の機能

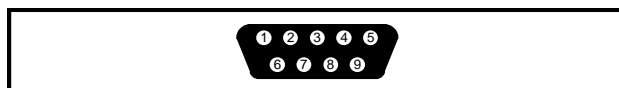


### 3.22. シリアル・コネクタ [ ベースボード ] (JSIO1, JSIO2)

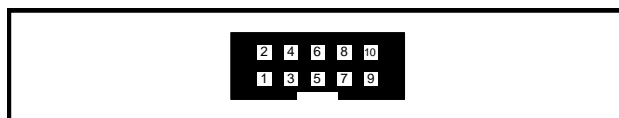
JSIO1, JSIO2 コネクタは、シリアル・コントローラ ( TL16C552A ) によって制御される RS-232C 用のコネクタです。コネクタの形状は、JSIO1 は PC/AT で用いられる一般的な D-SUB9 ピンの RS-232C コネクタ、JSIO2 は 2.54mm ピッチのピンヘッダ型コネクタです。何れも、全ての信号は RS-232C レベルに変換されています。コネクタのピン番号と内容は図と表の通りです。

表には、ホストと接続する場合の接続信号について、ホスト側が D-SUB9 ピンの場合と D-SUB25 ピンの場合の布線をそれぞれ示してあります ( 一般的なクロスケーブルの布線です )。

また JSIO2 のピン配置は、リボンケーブルに対して圧接型コネクタを使用した場合、JSIO1 のピン配置と同じになります。



JSIO1 ピン配置



JSIO2 ピン配置

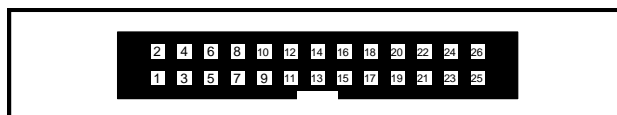
JSIO1 ピン番号	JSIO2 ピン番号	信号名	入出力	ホストの接続ピン番号	
				D-SUB9	D-SUB25
1	1	DCD	入力		
2	3	RxD(RD)	入力	3	2
3	5	TxD(SD)	出力	2	3
4	7	DTR(DR)	出力	1, 6	6, 8
5	9	GND		5	7
6	2	DSR(ER)	入力	4	20
7	4	RTS(RS)	出力	8	5
8	6	CTS(CS)	入力	7	4
9	8	RI	入力		
--	10	NC			

JSIO1,2 コネクタ信号

### 3.23. パラレル・コネクタ [ベースボード] (JPRT)

JPRT コネクタは、パラレル (プリンタ)・コントローラ (TL16C552A) によって制御されるパラレル用のコネクタです。コネクタの形状は、2.54mm ピッチのピンヘッダ型コネクタです。何れも、全ての信号は 5V レベルです。コネクタのピン番号と内容は図と表の通りです。

また JPRT のピン配置は、リボンケーブルに対して圧接型コネクタを使用した場合、PC/AT で用いられている一般的な D-SUB25 ピンのピン配置と同じになります。



JPRT ピン配置

JPRT ピン番号	信号名	JPRT ピン番号	信号名
1	STB-	2	AUTO_FD-
3	D0	4	ERROR-
5	D1	6	INIT-
7	D2	8	SELECT_IN-
9	D3	10	GND
11	D4	12	GND
13	D5	14	GND
15	D6	16	GND
17	D7	18	GND
19	ACK-	20	GND
21	BUSY	22	GND
23	PE	24	GND
25	SELECT	26	NC

JPRT コネクタ信号

### 3.24. 拡張バス・コネクタ [ベースボード] (JEXT)

JEXT コネクタは、メモリや I/O などを拡張できるように用意されたコネクタです。このコネクタには、本ボードの内部のローカル・バスが接続されています。このコネクタの詳細については「8JEXT バス仕様」を参照してください。

### 3.25. DRAM-SIMM ソケット

DRAM-SIMM ソケットには、標準で 4M バイト SIMM が実装されています。このソケットには 4M,8M バイトの 72 ピン SIMM (DOS/V 機用) が実装できます。また、通常タイプの DRAM-SIMM に加え、EDO タイプの DRAM-SIMM を使用可能です。「7.3DRAM」を参照し、タイミング上満足するアクセスタイムのものをご使用ください。また、実装されている SIMM の容量は PIO ポートから読み出すことができます (「6.6Status 読み出しポート(3F-F060H [Read Only])」参照)。

### 3.26. ROM ソケット

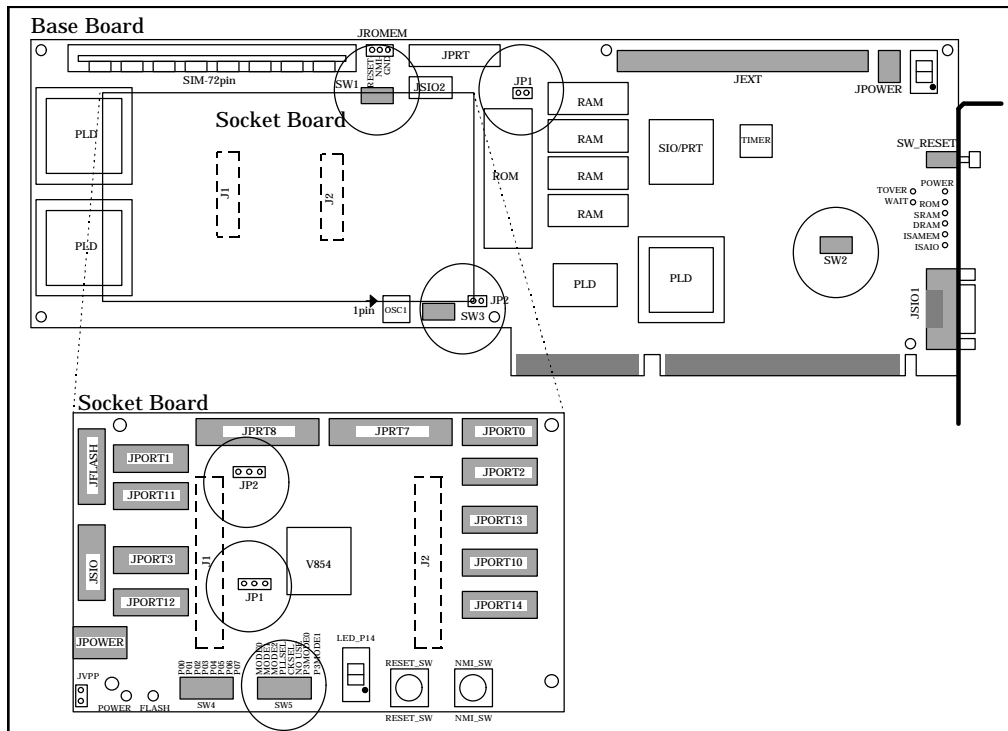
ROM ソケットには、標準で 128K バイト (64K × 16 ビット) の 40 ピン ROM が実装されています。もし、変更する場合で Multi を使用する場合は、アクセス・タイムが 150ns 以下のものをご使用ください。異なる容量の ROM を実装する場合は、ベースボード上の JP1 の切り替えが必要な場合があります (「3.18ROM 容量切り替えジャンパ [ベースボード] (JP1)」参照)。

#### 4. インストールと使用方法

ボードのインストールは、PC/AT 互換機（以下 PC）の ISA バス・スロットに組み込んで使用することを想定していますが、外部電源を用意して単体で使用することもできます。また、動作確認のテストや Multi デバッガを使用する場合には、PC に通信用のソフトウェア（RTE for Windows）をインストールする必要があります。ソフトウェアのインストールとテストについては、「RTE for Windows インストール・マニュアル」を参照してください。

##### 4.1. ボードの設定

ボードには、いくつかの設定用ディップ・スイッチが設けられています。スイッチの箇所を図に示します。



ボードのスイッチ

ベースボード上の SW1 は、汎用の入力ポートのスイッチです。実装されている ROM の Multi 用モニタでは、RS-232C のボーレートとプロファイラのタイマ周期の設定に使用しています。

SW1 番号	1	2	ボーレート
設定	ON	ON	未使用
	OFF	ON	38400 baud
	ON	OFF	19200 baud
	OFF	OFF	9600 baud (出荷時の設定)

ボーレートの設定

SW1 番号	3	4	プロファイラ周期
設定	ON	ON	タイマを使用しない*1
	OFF	ON	200 Hz 5ms
	ON	OFF	100 Hz 10ms
	OFF	OFF	60 Hz 16.67ms (出荷時の設定)

\*1:Multiを使用する場合は設定しないでください(「10.5タイマ割り込み」参照)

#### プロファイラ周期の設定

ベースボード上のSW1の5~8は、Multi モニタでは使用していません(出荷時 OFF)。

ベースボード上のSW2は、ISAバスのI/Oアドレス選択のスイッチです。スイッチの番号1~8がISAバスのアドレスA4~A11に対応しています(A12~A15は0固定)。したがって、I/Oアドレスとして000xH~0FFxHが選択できます。なおスイッチは、OFFで"1"、ONで"0"の値となります。一般的には、20xH~3FxDの間で設定します。

SW2 番号	1	2	3	4	5	6	7	8	
アドレス	A4	A5	A6	A7	A8	A9	A10	A11	I/O アドレス
ON/ OFF	0	0	0	0	0	1	0	0	020xH (出荷時の設定)

#### I/Oアドレスの対応

ベースボード上のSW3は、ベースボード上の割り込み要求線をCPUの端子に接続する場合にONにします。通常は1~4全てOFFに設定します(「3.17スイッチ3 [ベースボード](SW3)」参照)。

ベースボード上のJP1およびJP2は、どちらもオープン状態で使用します。出荷時と異なる容量のROMを実装する場合はJP1の切り替えが必要になる場合があります(「3.18ROM容量切り替えジャンパ [ベースボード](JP1)」および「3.19ISAバス・インターフェース切り替えジャンパ [ベースボード](JP2)」参照)。

ソケットボード上のSW4は、Port0へ与える信号レベルを選択します。ユーザが自由に使用できます。出荷時の設定は全てOFFです(「3.9スイッチ4 [ソケットボード](SW4)」参照)。

ソケットボード上のSW5はCPUのモードの選択と、CPUのPort3の接続を選択するスイッチです(「3.10スイッチ5 [ソケットボード](SW5)」参照)。デフォルトの設定を下記に示します。

SW5 番号	1	2	3	4	5	6	7	8
ポート	MODE 0	MODE 1	MODE 2	PLLSEL	CKSEL	NO USE	P3MODE 0	P3MODE 1
出荷時の設定	ON	ON	ON	OFF	ON	OFF	OFF	OFF

ソケットボード上のJP1は、CPUに与えるクロックを決めます。6.6MHzのクリスタルをJP1へ実装します。クロックを切り替えたい場合は、「3.11クリスタル・ソケット [ソケットボード](JP1)」を参照してください。

ソケットボード上の JP2 は、CPU の AVDD 端子に供給する電源を切り替えます。JP2 は 1 ピンと 2 ピンをショートしてください。AVDD 端子に供給する電源を CPU の電源端子と異なる電源にした場合は、「3.12AVDD 切り替えジャンパ [ソケットボード] (JP2)」を参照してください。

#### 4.2. ISA バスに実装する場合

ボードを PC の ISA バス・スロットに実装すると、ISA バスからボードへ電源 (+5V) が供給されます。また、デバッグとの通信に ISA バス経由が使用できるため、プログラムの高速なダウンロードが実現できます。

ISA バス・スロットへの実装は、以下の手順となります。

ボード上のディップ・スイッチにより、PC の I/O アドレスを設定します。I/O アドレスは他の I/O と重ならないように注意してください。スイッチの設定については「4.1ボードの設定」を参照ください。

PC の電源を切って筐体をあけ、ボードを実装する ISA バス・スロットを確認します。実装するスロットにリアパネルが付いている場合は、そのリアパネルを外します。

ボードを ISA バス・スロットに差し込み、ボードが隣接の他のボードなどと接触していないかを確認し、ボードに付いているリアパネルを PC の筐体にネジで固定します。

PC の電源を入れ、ボードの POWER-LED が点灯することを確認します。**LED が点灯しない場合は、すぐに PC の電源を切り接続を確認してください。**システムが正常に立ち上がらない (デバイス・ドライバの組み込みでエラーが発生するなど) 場合は、設定した I/O アドレスが他の I/O と重なっている可能性があります。PC のマニュアルや他に実装されているボードのマニュアルなどを参照して、ボードの I/O アドレスを再確認してください。

システムが正常と判断できたら、再度 PC の電源を切ってから筐体を元に戻します。

#### 4.3. ボード単体で使用する場合

PC に組み込まず、ボード単体で使用する場合は、外部からの電源供給が必要となります。また、デバッグとの通信も RS-232C 経由のみとなります。PC/AT 互換機以外のホスト・デバッグを使用する場合や、ハードウェアの確認や拡張を目的とする場合に便利です。

ボードを単体で使用する場合は以下の通りです。

ホストと接続するための RS-232C ケーブルと、電源供給のための外部電源 (+5V 2A) を用意してください。特に電源については、電圧と**コネクタの極性に注意**してください。また、ボードの 4 隅にスペーサを取り付けるなど、設置場所にも問題がないようにしてください。RS-232C ケーブルの結線は「3.22シリアル・コネクタ [ベースボード] (JSIO1,JSIO2)」、電源コネクタについては、「3.4電源コネクタ [ソケットボード/ベースボード] (JPOWER)」を参照してください。

ボード上のディップ・スイッチで、RS-232C のボーレートを設定します。スイッチの設定については「4.1ボードの設定」を参照ください。

ホストと RS-232C ケーブルで接続して、JPOWER コネクタに電源を接続し、ボードの POWER-LED が点灯することを確認します。**LED が点灯しない場合は、すぐに電源を切り接続を確認してください。**

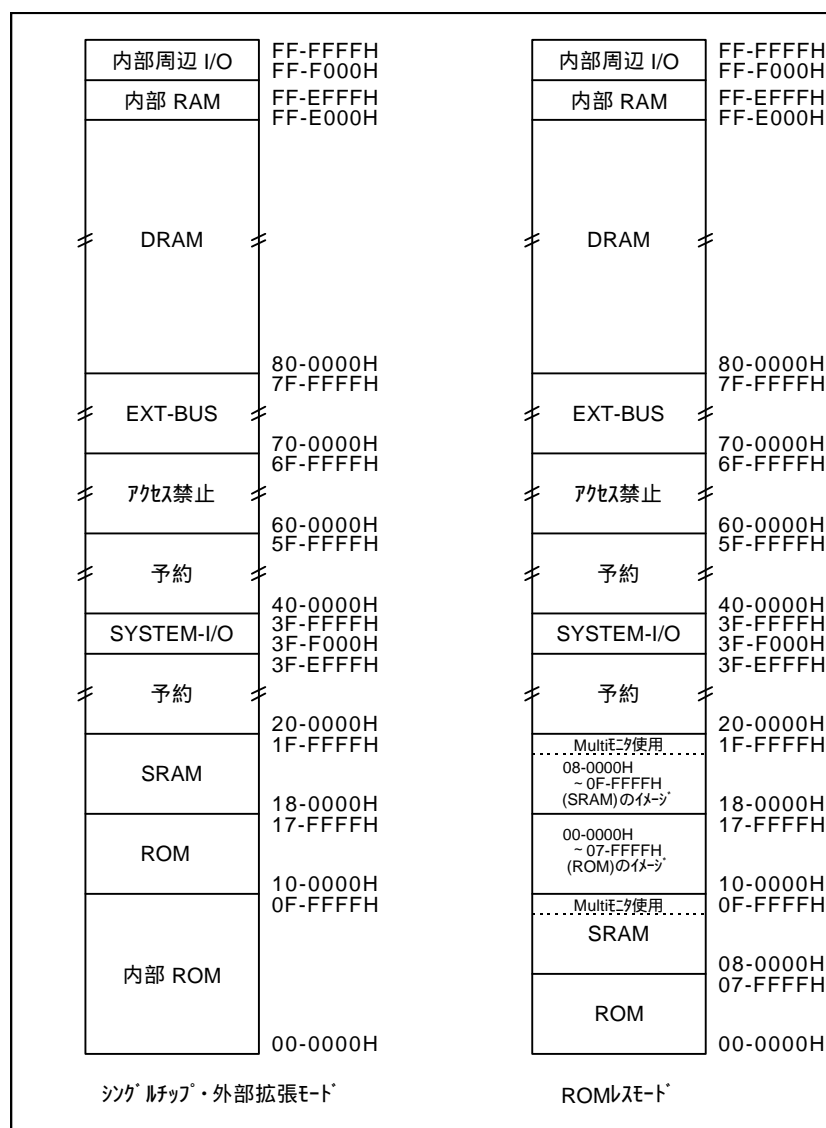
## 5. ハードウェア・リファレンス

ここでは、RTE-V854-PC ボードのハードウェアについて記述します。

### 5.1. メモリ・マップ

ボードのメモリ割り付けは、以下の通りです。

V854 は CPU に内蔵した内部資源があるため、内部資源がある領域では外部資源ではなく内部資源が見えます。具体的には下図に示すように、00-0000H ~ 0F-FFFFH には内部 ROM ( CPU がシングルチップ・モードの時のみ ) が、FF-E000H ~ FF-EFFFH には内部 RAM が、FF-F000H ~ FF-FFFFH には内部周辺 I/O が見えます。



メモリ・マップ

**ROM 空間 (00-0000H~07-FFFFH,10-0000H~17-FFFFH)**

ベースボード上に実装された ROM で 512K バイトの空間があります。標準では 128K バイト、アクセス・タイム 150ns 以下の ROM が実装されています。ROM は ready 信号制御によりアクセス・サイクルにウェイトを挿入することが可能で、ウェイト数は SYSTMTEM-I/O で設定することができます(「6.7BIC ( Bus-Interface-Control ) (3F-F080H ~ 3F-F0F0H)」参照)。必要ウェイト数は「7.2SRAM/ROM」を参照してください。

実装されている ROM には、標準で Multi 用のモニタが組み込まれています。

**SRAM 空間 (08-0000H~0F-FFFFH,18-0000H~1F-FFFFH)**

ボード上に実装された SRAM で 512K バイトの空間があります。ウェイトの設定が可能で、ウェイト数は SYSTMTEM-I/O で設定することができます(「6.7BIC ( Bus-Interface-Control ) (3F-F080H ~ 3F-F0F0H)」参照)。必要ウェイト数は「7.2SRAM/ROM」を参照してください。

**予約及びアクセス禁止空間**

この空間へのアクセスは行なわないでください。

**SYSTEM-I/O 空間 (3F-F000H~3F-FFFFH)**

ベースボード上の各機能を制御するための I/O デバイスが割り付けられている空間です。これらは、メモリ・マップド I/O となっています。詳細については「6.SYSTEM-IO」を参照してください。

**EXT-BUS 空間 (70-0000~7F-FFFFH)**

ボード上の JEXT コネクタに接続するハードウェア拡張ボードのための空間です。EXT-BUS についての詳細は「8.JEXT」を参照してください。

**DRAM 空間 (80-0000H~FF-FFFFH)**

ベースボードに実装する 72 ピンの SIMM の空間です。4M または、8M バイトの SIMM メモリを実装でき、EDO-DRAM の SIMM も実装する事が可能です。RAS,CAS,プリチャージ幅の設定が可能です(「6.7BIC ( Bus-Interface-Control ) (3F-F080H ~ 3F-F0F0H)」参照)。実装されている SIMM の種類は Status ポートの PD[1..4]により知ることができます(「6.6Status 読み出しポート(3F-F060H [Read Only])」参照)。

## 6. SYSTEM-IO

SYSTEM-IO は、メモリ空間にマップされた I/O デバイスで UART/PRINTER, TIC, PIO, ISA バス・インターフェースなどがあります (ISA バス・インターフェースについては、説明を省略します)。

### 6.1. SYSTEM-IO 一覧

SYSTEM-IO の一覧を表に示します。

アドレス	機能	備考
3F-F000H ~ 3F-F00EH	UART-CH#1(TL16C552A)設定 / 参照	リカバリタイムが必要
3F-F010H ~ 3F-F01EH	UART-CH#2(TL16C552A)設定 / 参照	リカバリタイムが必要
3F-F020H ~ 3F-F026H	PRINTER(TL16C552A)設定 / 参照	リカバリタイムが必要
3F-F030H ~ 3F-F036H	タイマコントローラ(uPD71054)設定 / 参照	リカバリタイムが必要
3F-F040H	ベースボード 7 セグメント LED 表示データ設定	
3F-F050H	ベースボード DIPSW1 参照	
3F-F060H	ステータス参照(DRAM-PD, Tover-flg, etc)	
3F-F080H	SRAM ウェイト設定 / 参照	
3F-F0A0H	DRAM プリチャージ時間設定 / 参照	
3F-F0B0H	DRAM RAS 幅設定 / 参照	
3F-F0C0H	DRAM Read-Cycle CAS 幅設定 / 参照	
3F-F0D0H	DRAM Page-Mode 設定 / 参照	
3F-F0E0H	SYSTEM-IO ウェイト設定 / 参照	
3F-F0F0H	ROM ウェイト設定 / 参照	
3F-F100H	Bank-Port#0 Bank-Address 設定 / 参照	
3F-F110H	Bank-Port#1 Bank-Address 設定 / 参照	
3F-F140H ~ 3F-F150H	NMI セレクト設定 / 参照	
3F-F160H ~ 3F-F170H	NMI ステータス参照	
3F-F180H	NMI,INT0,INT1 マスク設定 / 参照	
3F-F190H	タイムオーバ・レディー・フラグ・クリア	
3F-F1A0H	uPD71054 TOUT0 割り込み要求クリア	
3F-F200H	INT0 セレクト設定 / 参照	
3F-F210H	INT1 セレクト設定 / 参照	
3F-F220H	INT0 ステータス参照	
3F-F220H	INT1 ステータス参照	



## 6.2. UART/PRINTER ( TL16C552A ) (3F-F000H ~ 3F-F026H)

UART/PRINTER として TEXAS INSTRUMENTS 製の TL16C552A(DUAL ASYNCHRONOUS COMMUNICATIONS ELEMENT WITH FIFO)LSI を使用しています。TL16C552A は、UART を 2 チャンネル、双方向プリンタ・ボードを 1 チャンネル備えており、UART の受信部には 16 キャラクタ分の FIFO バッファを内蔵しているため受信時のオーバーラン・エラーの可能性を最小限に押さえられます。

TL16C552A はの各レジスタは、表のように割り付けられています。各レジスタの機能については、TL16C552A のマニュアルを参照してください。

アドレス	機能	読み出し	書き込み
3F-F000H	UART-CH#1	RBR/DLL	THR/DLL
3F-F002H		IER/DLM	IER/DLM
3F-F004H		IIR	FCR
3F-F006H		LCR	LCR
3F-F008H		MCR	MCR
3F-F00AH		LSR	LSR
3F-F00CH		MSR	MSR
3F-F00EH		SCR	SCR
3F-F010H	UART-CH#2	RBR/DLL	THR/DLL
3F-F012H		IER/DLM	IER/DLM
3F-F014H		IIR	FCR
3F-F016H		LCR	LCR
3F-F018H		MCR	MCR
3F-F01AH		LSR	LSR
3F-F01CH		MSR	MSR
3F-F01EH		SCR	SCR
3F-F020H	PRINTER	Read-data	Write-data
3F-F022H		Read-status	-----
3F-F024H		Read-control	Write-control
3F-F026H		-----	-----

TL16C552A レジスタ配置

TL16C552A の CLK 入力には 16MHz のクロックが接続されています。

TL16C552A のアクセスには 80nS の RD-/WR-のパルス幅が必要になります。したがって、これを満足するように wait を入れなければなりません。wait の設定値については「7.4SYSTEM-I/O ウェイト」を、設定場所については「6.7BIC ( Bus-Interface-Control ) (3F-F080H ~ 3F-F0F0H)」を参照してください。

また、TL16C552A はコマンド・リカバリー・タイムとして 80ns 必要とします。リカバリ・タイムについては「7.5SYSTEM-IO コマンド・リカバリ・タイム」を参照してください。

UART-CH#1、UART-CH#2、PRINTER の各割り込みは下表のように CPU の割り込みに接続することが可能です。

割り込み発生元	接続 CPU 割り込み
UART-CH#1	NMI- , P24/INTP51
UART-CH#2	NMI- , P23/INTP50
PRINTER	NMI- , P24/INTP51

マスカブル割り込みはディップ・スイッチの SW3 を経由しています。NMI-については「9.2NMI-」を、マスカブル割り込みについては「9.3マスカブル割り込み」を参照してください。

UART-CH#1 はベースボードのリアパネルにある JSIO0 コネクタに、UART-CH#2 は JSIO2 コネクタ、PRINTER は JPRT に接続しています。また、UART-CH#1 は Multi をシリアル通信で用いる場合に使用されます。

TL16C552A は、システム・リセットによってリセットされます（「9.1RESET-」参照）。

### 6.3. TIC (uPD71054) (3F-F030H ~ 3F-F038H)

TIC は NEC 製の uPD71054 が実装されています。uPD71054 は Intel 製の i8254 と互換であり、3つのタイマ/カウンタを持っています。これらのタイマ/カウンタにより、DRAMのリフレッシュ・タイミングの生成、モニタのタイマ割り込みの生成を行っています。

TIC の各レジスタは、表の通りに割り当てられています。

アドレス	読み出し	書き込み
3F-F030H	COUNTER#0	COUNTER#0
3F-F032H	COUNTER#1	COUNTER#1
3F-F034H	COUNTER#2	COUNTER#2
3F-F036H	----	Control Word

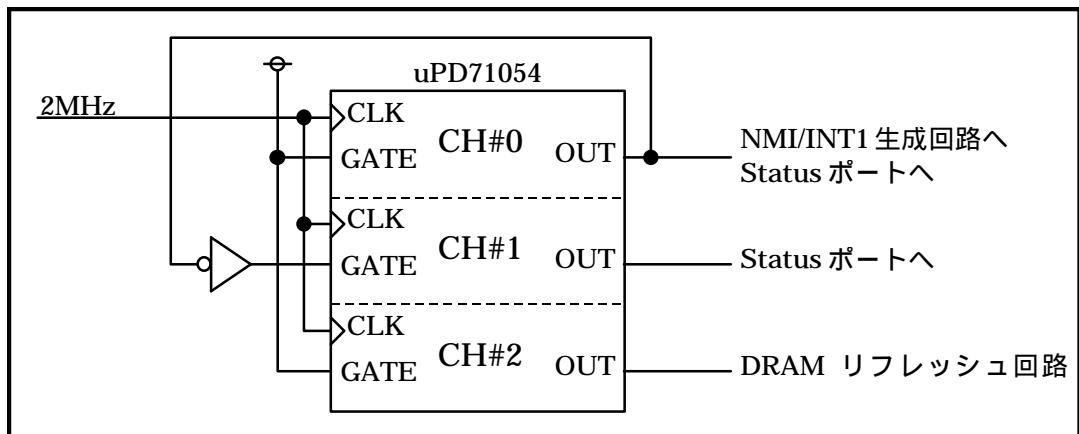
TIC のレジスタ配置

TIC の各チャンネルは下図の様に接続されています。

チャンネル0は、NMI生成回路に接続され、モニタ・プログラムのインターバル・タイマとして使用されます。同時にチャンネル0はチャンネル1のプリスケール・カウンタとして機能します。

チャンネル1は、ユーザのプログラムで自由に使用することが出来ます。また、チャンネル0と1の出力は、Statusポートからその状態を読み出す事が出来ます(「6.6Status読み出しポート(3F-F060H [Read Only])」参照)。

チャンネル2は、リフレッシュ・タイミングを生成するために使用されます。したがって、チャンネル2は、モード2で分周を30(1EH)に設定しなければなりません。



uPD71054 のアクセスには 95nS の RD-/WR-のパルス幅が必要になります。したがって、これを満足する様に wait を入れなければなりません。wait の設定値については「7.4SYSTEM-I/O ウェイト」を、設定場所については「6.7BIC ( Bus-Interface-Control ) (3F-F080H ~ 3F-F0F0H)」を参照してください。

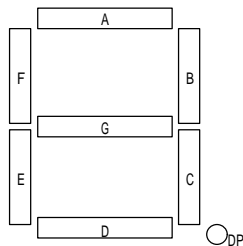
uPD71054 はコマンド・リカバリ・タイムとして 165ns 必要とします。リカバリ・タイムについては「7.5SYSTEM-IO コマンド・リカバリ・タイム」を参照してください。

TIC は、システム・リセットによってリセットされます(「9.1RESET-」参照)。

#### 6.4. 7セグメントLED表示データ出力ポート(3F-F040H [Write Only])

ベースボード上の7セグメントLEDに表示するデータを設定します。データ・フォーマットを下表に示します。該当するビットに0を設定すると対応するセグメントが点灯します。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DPseg	Gseg	Fseg	Eseg	Dseg	Cseg	Bseg	Aseg



#### 6.5. DIPSW1 読み出しポート(3F-F050H [Read Only])

ベースボード上のDIPSW1の状態を読み出すためのポートです。データ・フォーマットを下表に示します。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SW1-8	SW1-7	SW1-6	SW1-5	SW1-4	SW1-3	SW1-2	SW1-1
no use	no use	no use	no use	TIM1	TIM0	BPS1	BPS0

SW1-[8..1]: ボード上に実装されているSW1の状態を読み出せます。SW1-1がSW1の”1”のスイッチに、SW1-8がSW1の”8”のスイッチに対応しています。また、該当するビットのスイッチがONで0が、OFFで1が読み出されます。

DIPSW1の幾つかのビットはベースボード上に実装されたROM内のモニタにより下表のように予約されています。しかし、これらの機能はソフトウェア的に定義されているものであり、スイッチの切り替えがハードウェア的に作用して機能が切り替わるものではありません。

BPS1	BPS0	Multi をシリアル回線で 用いる場合のボーレート
0	0	don't use
0	1	38400bps
1	0	19200bps
1	1	9600bps

TIM1	TIM0	タイマーレイト
0	0	タイマを使用しない
0	1	200Hz(5ms)
1	0	100Hz(10ms)
1	1	60Hz(16.67ms)

#### 6.6. Status 読み出しポート(3F-F060H [Read Only])

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TOVER_FLG-	TOUT1	TOUT0	MEM1M/16M-	PD4	PD3	PD2	PD1

**PD[4..1]** : ボードに実装されている DRAM ( 72 ピン SIMM ) の PD[4..1]が読み出せます。PD[2..1]の状態によって、実装されている DRAM のサイズを確認できます。PD[2..1]と DRAM の容量の関係を表に示します。

PD[2]	PD[1]	DRAM の容量
0	0	4M バイト
0	1	予約
1	0	16M バイト
1	1	8M バイト

PD[2..1]と DRAM の容量

**MEM1M/16M-** : ソケットボードの CPU の持つ外部アドレス空間が 16M バイトの時"0"、1M バイトの時"1"が読み出せます。(V854 では 0 固定です)

**TOUT0,TOUT1** : TIC (  $\mu$ PD71054 ) のチャンネル 0 とチャンネル 1 の出力端子の状態を読み出すことができます(「6.3TIC (  $\mu$ PD71054 ) (3F-F030H ~ 3F-F038H)」参照)。

**TOVER\_FLG-** : バス・サイクルが 31 サイクル以上となり、タイム・アウト・レディーが発生すると"0"となります。フラグをクリアする("1"にもどす)には、TOVER\_RDY\_INT\_CLR (3F-F190h)を使用します。

## 6.7. BIC (Bus-Interface-Control) (3F-F080H ~ 3F-F0F0H)

ベースボード上の ROM,SRAM,DRAM,ポートのアクセスに関するパラメータを設定します。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F080H	----	----	----	----	----	----	SRAMWAIT1	SRAMWAIT0
3F-F090H	----	----	----	----	----	----	----	----
3F-F0A0H	----	----	----	----	----	----	PRCWIDE1	PCRWIDE0
3F-F0B0H	----	----	----	----	----	----	RASWIDE1	RASWIDE0
3F-F0C0H	----	----	----	----	----	----	CASRDWIDE1	CASRDWIDE0
3F-F0D0H	----	----	----	----	----	----	----	PAGEMODE
3F-F0E0H	----	----	----	----	----	----	SYSIOWAIT1	SYSIOWAIT0
3F-F0F0H	----	----	----	----	----	ROMWAIT2	ROMWAIT1	ROMWAIT0

SRAMWAIT1	SRAMWAIT0	機能
0	0	SRAM アクセスのウェイトを 0 に設定
0	1	SRAM アクセスのウェイトを 1 に設定
1	0	SRAM アクセスのウェイトを 2 に設定
1	1	SRAM アクセスのウェイトを 3 に設定

システム・リセットにより[1,1]に初期化されます。

PRCWIDE1	PRCWIDE0	機能
0	0	DRAM アクセスの RAS プリチャージを 1clk に設定
0	1	DRAM アクセスの RAS プリチャージを 2clk に設定
1	0	DRAM アクセスの RAS プリチャージを 3clk に設定
1	1	DRAM アクセスの RAS プリチャージを 4clk に設定

システム・リセットにより[1,1]に初期化されます。

RASWIDE1	RASWIDE0	機能
0	0	DRAM アクセスの RAS の Low 幅を 1clk に設定
0	1	DRAM アクセスの RAS の Low 幅を 2clk に設定
1	0	DRAM アクセスの RAS の Low 幅を 3clk に設定
1	1	DRAM アクセスの RAS の Low 幅を 4clk に設定

システム・リセットにより[1,1]に初期化されます。

CASRDWIDE1	CASRDWIDE0	機能
0	0	DRAM リードアクセスの CAS の Low 幅を 1clk に設定
0	1	DRAM リードアクセスの CAS の Low 幅を 2clk に設定
1	0	DRAM リードアクセスの CAS の Low 幅を 3clk に設定
1	1	DRAM リードアクセスの CAS の Low 幅を 4clk に設定

システム・リセットにより[1,1]に初期化されます。

PAGEMODE	機能
0	DRAM をページモードで用いない
1	DRAM をページモードで用いる

システム・リセットにより[0]に初期化されます。

SYSIOWAIT1	SYSIOWAIT0	機能
0	0	(SYSTEM-I/O アクセスのウェイトを 8 に設定)
0	1	SYSTEM-I/O アクセスのウェイトを 1 に設定
1	0	SYSTEM-I/O アクセスのウェイトを 2 に設定
1	1	SYSTEM-I/O アクセスのウェイトを 3 に設定

システム・リセットにより[1,1]に初期化されます。

ROMWAIT2	ROMWAIT1	ROMWAIT0	機能
0	0	0	ROM アクセスのウェイトを 8 に設定
0	0	1	ROM アクセスのウェイトを 1 に設定
0	1	0	ROM アクセスのウェイトを 2 に設定
0	1	1	ROM アクセスのウェイトを 3 に設定
1	0	0	ROM アクセスのウェイトを 4 に設定
1	0	1	ROM アクセスのウェイトを 5 に設定
1	1	0	ROM アクセスのウェイトを 6 に設定
1	1	1	ROM アクセスのウェイトを 7 に設定

システム・リセットにより[1,1,1]に初期化されます。

ウェイトおよび DRAM 関連の推奨設定値については、「7推奨設定」を参照してください。

DRAM 関連の設定値の意味については「13.2DRAM インターフェース」を参照してください。

#### 6.8. Bank-Port#0/#1(3F-F100H ~ 3F-F110H)

メモリマップの x4-0000H ~ x5-FFFFH(BANK#0)と x6-0000H ~ x7-FFFFH(BANK#1)にあるバンク・ウィンドウからアクセスするベースボードのアドレスを設定するポートです。CPU から出力されるアドレス A0 ~ A16 の上位に、バンク・ポートに設定された A17 ~ A23 が補われてベースボードへのアクセス・アドレスとなります。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F100H	BANK0 A23	BANK0 A22	BANK0 A21	BANK0 A20	BANK0 A19	BANK0 A18	BANK0 A17	----
3F-F110H	BANK1 A23	BANK1 A22	BANK1 A21	BANK1 A20	BANK1 A19	BANK1 A18	BANK1 A17	----

### 6.9. NMI セレクト・ポート(3F-F140H ~ 3F-F150H)

NMI 信号の生成を制御するポートです。NMI 信号の生成ロジックについては、「9.2NMI-」を参照してください。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F140H	----	----	----	----	ISACOM_NMIEN	PRT_NMIEN	UART2_NMIEN	UART1_NMIEN
3F-F150H	----	----	----	----	予約(0)	TIMER_NMIEN	TOVER_NMIEN	EXTBUS_NMIEN

各ビットは該当割り込み要求により NMI を発生される時"1"に、発生させない時に"0"に設定します。

**UART1\_NMIEN** : TL16C552A の UART-CH#1 の割り込み要求

**UART2\_NMIEN** : TL16C552A の UART-CH#2 の割り込み要求

**PRT\_NMIEN** : TL16C552A の PRINTER の割り込み要求

**ISACOM\_NMIEN** : ISA バスとの通信による割り込み要求

**EXTBUS\_NMIEN** : EXTBUS からの割り込み要求

**TOVER\_NMIEN** : タイムオーバ・レディーの発生による割り込み要求

**TIMER\_NMIEN** : uPD71054 の TOUT0 による割り込み要求

**予約(0)** : このビットは予約されています。"0"に設定してください。

### 6.10. NMI ステータス・ポート(3F-F160H ~ 3F-F170H [Read only])

NMI 要求の要求元を特定するためのポートです。NMI 信号の生成ロジックについては、「9.2NMI-」を参照してください。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F160H	----	----	----	----	ISACOM_NMI	PRT_NMI	UART2_NMI	UART1_NMI
3F-F170H	----	----	----	----	----	TIMER_NMI	TOVER_NMI	EXTBUS_NMI

各ビットは該当割り込み要求により NMI が発生している時"1"が、発生していない時"0"が読み出せます。各ビットは、各割り込み要求元の割り込み要求状態を示し、NMI イネーブル・ポートの設定の影響を受けません。従って、NMI ステータス・ポートの内容と NMI セレクト・ポートの内容を AND したものが、NMI 発生の原因となっている割り込み要因です。

**UART1\_NMI** : TL16C552A の UART-CH#1 の割り込み要求

**UART2\_NMI** : TL16C552A の UART-CH#2 の割り込み要求

**PRT\_NMI** : TL16C552A の PRINTER の割り込み要求

**ISACOM\_NMI** : ISA バスとの通信による割り込み要求

**EXTBUS\_NMI** : JEXT バスからの割り込み要求

**TOVER\_NMI** : タイムオーバ・レディーの発生による割り込み要求

**TIMER\_NMI** : uPD71054 の TOUT0 による割り込み要求



### 6.11. NMI/INT0/INT1 マスク・ポート(3F-F180H)

NMI,INT0,INT1 の最終的なマスクを制御するポートです。NMI 信号の生成ロジックについては「9.2NMI-」を、マスクブル割り込みの生成ロジックについては「9.3マスクブル割り込み」を参照してください。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F180H	----	----	----	----	----	INT1_MASK	INT0_MASK	NMI_MASK

**NMI\_MASK** : CPU への NMI-信号をマスクする時"1"、マスクしない時"0"を設定

**INT0\_MASK** : CPU への INT0(P24/INTP51)信号をマスクする時"1"、マスクしない時"0"を設定

**INT1\_MASK** : CPU への INT1(P26/INTP53)信号をマスクする時"1"、マスクしない時"0"を設定

### 6.12. NMI/INT1 要求クリア・ポート(3F-F190H,3F-F1A0H [Write Only])

NMI/INT1 要求要因のうち、割り込みの発生がラッチされているものについて、そのラッチされた要求をクリアするポートです。データは無視されます。

アドレス	書き込み
3F-F190H	タイムオーバ・レディーの発生による NMI/INT1 要求をクリアする (「13.1タイムオーバ・レディー」参照)
3F-F1A0H	uPD71054 の TOUT0 による NMI/INT1 要求をクリアする

### 6.13. INT0(P24/INTP51)セレクト・ポート(3F-F200H)

INT0(P24/INTP51)信号の生成を制御するポートです。INT0 信号の生成ロジックについては、「9.3マスクブル割り込み」を参照してください。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F200H	----	----	----	----	----	PRT_INT0EN	ISACON_INT0EN	UART1_INT0EN

各ビットは該当割り込み要求により INT0(P24/INTP51)を発生される時"1"に、発生させない時に"0"に設定します。

**UART1\_INT0EN** : TL16C552A の UART-CH#1 の割り込み要求

**ISACOM\_INT0EN** : ISAバスとの通信による割り込み要求

**PRT\_INT0EN** : TL16C552A の PRINTER の割り込み要求

#### 6.14. INT1(P26/INTP53)セレクト・ポート(3F-F210H)

INT1(P26/INTP53)信号の生成を制御するポートです。INT1 信号の生成ロジックについては、「9.3 マスカブル割り込み」を参照してください。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F210H	----	----	----	----	----	予約(0)	TOVER_INT1EN	TIMER_INT1EN

各ビットは該当割り込み要求により INT1(P26/INTP53)を発生される時"1"に、発生させない時に"0"に設定します。

**TIMER\_INT1EN** : uPD71054 の TOUT0 による割り込み要求

**TOVER\_INT1EN** : タイムオーバ・レディーの発生による割り込み要求

**予約(0)** : このビットは予約されています。"0"に設定してください。

#### 6.15. INT0(P24/INTP51)ステータス・ポート(3F-F220H [Read only])

INT0(P24/INTP51)要求の要求元を特定するためのポートです。INT0 信号の生成ロジックについては、「9.3 マスカブル割り込み」を参照してください。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F220H	----	----	----	----	----	PRT_INT0	ISACON_INT0	UART1_INT0

各ビットは該当割り込み要求により INT0 が発生している時"1"が、発生していない時"0"が読み出せます。各ビットは、各割り込み要求元の割り込み要求状態を示し、INT0 イネーブル・ポートの設定の影響を受けません。従って、INT0 ステータス・ポートの内容と INT0 セレクト・ポートの内容を AND したものが、INT0 発生の原因となっている割り込み要因です。

**UART1\_INT0** : TL16C552A の UART-CH#1 の割り込み要求

**ISACOM\_INT0** : ISA バスとの通信による割り込み要求

**PRT\_INT0** : TL16C552A の PRINTER の割り込み要求

#### 6.16. INT1(P26/INTP53)ステータス・ポート(3F-F230H [Read only])

INT1(P26/INTP53)要求の要求元を特定するためのポートです。INT1 信号の生成ロジックについては、「9.3 マスカブル割り込み」を参照してください。

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
3F-F230H	----	----	----	----	----	----	TOVER_INT1	TIMER_INT1

各ビットは該当割り込み要求により INT1 が発生している時"1"が、発生していない時"0"が読み出せます。各ビットは、各割り込み要求元の割り込み要求状態を示し、INT1 イネーブル・ポートの設定の影響を受けません。従って、INT1 ステータス・ポートの内容と INT1 セレクト・ポートの内容を AND したものが、INT1 発生の原因となっている割り込み要因です。

**TIMER\_INT1** : uPD71054 の TOUT0 による割り込み要求

**TOVER\_INT1** : タイムオーバ・レディーの発生による割り込み要求

## 7. 推奨設定

ここでは、メモリ資源のアクセスに関するパラメータについての推奨値を示します。

### 7.1. CPU 設定

CPU 内蔵のバス制御機能の設定値に対して一切の制限事項はありません。したがって、バス・パフォーマンスを最大にするには、SFR の DWC(0xffff-f060)を 0x0000 に、BCC(0xffff-f062)を 0x0000 に設定します。

### 7.2. SRAM/ROM

下表に SRAM と、アクセスタイム 120ns/150nS の ROM を用いた場合の Wait の推奨値を示します。

	SRAM-Wait 数	ROM(120ns) Wait 数	ROM(150nS) Wait 数
33MHz	1Wait	4Wait	5Wait
25MHz	0Wait	3Wait	3Wait

### 7.3. DRAM

下表にアクセスタイム 60nS の DRAM を用いた場合の設定推奨値を示します。

		RAS プリチャージ	RAS 幅	Read サイクル CAS 幅
アクセスタイム 60nS	33MHz	2CLK	2CLK	3CLK
	25MHz	1CLK	2CLK	2CLK
アクセスタイム 70nS	33MHz	2CLK	3CLK	3CLK
	25MHz	2CLK	2CLK	2CLK

### 7.4. SYSTEM-I/O ウェイト

下表に SYSTEM-I/O の Wait の推奨値を示します。SYSTEM-I/O のウェイト数は、SYSTEM-I/O 空間で最も遅い uPD71054 のアクセスによって決まります。

	SYSTEM-I/O-Wait 数
33MHz	3Wait
25MHz	2Wait

### 7.5. SYSTEM-I/O コマンド・リカバリ・タイム

TL16C552A および uPD71054 のアクセスについては、コマンド・リカバリ・タイムの制限を満たす必要があります。したがって、TL16C552A および uPD71054 へ連続的にアクセスする場合は、1 回目のアクセスの後一定時間以上経ってから 2 回目のアクセスを行う必要があります。

また、TL16C552A と uPD71054 はコマンド信号(RD-/WR-)を共有しているため、リカバリ・タイムの大きい uPD71054 によってリカバリ・タイムが決まります。

リカバリ・タイムは、TL16C552A および uPD71054 以外のメモリ資源をリード・アクセスすることで発生させます。リカバリ・タイムを生成するためにリード・アクセスする推奨メモリ資源は、DIPSW1 読み出しポート(3F-F050H)です。

したがって、TL16C552A および uPD71054 へのアクセスの直後に、DIPSW1 読み出しポートのリード・サイクルを下表で示す回数発生させてください。

	DIPSW1 読み出しポートのリード・サイクル
SYSTEM-I/O コマンド・リカバリ・タイム	2 回 (CPU 動作周波数に依存せず)

注意事項として、TL16C552A および uPD71054 へのアクセスの後リカバリ・タイムを満足しない

うちに、いかなるライト・サイクルも V854 の拡張外部バスに発生させてはなりません。したがって、リカバリ・タイム発生処理はサブルーチンにせず、サブルーチン化したい場合はマクロを使ってください。サブルーチンにすると、リカバリ・タイム発生用リード・サイクルの前にスタック・ライトが発生し、スタックの位置によっては拡張外部バスにライト・サイクルが現われてしまうためです。

## 8. JEXT バス仕様

JEXT は、メモリや I/O などを拡張できるように用意されたコネクタです。このコネクタには、本ボードの内部のローカル・バスが接続されています。

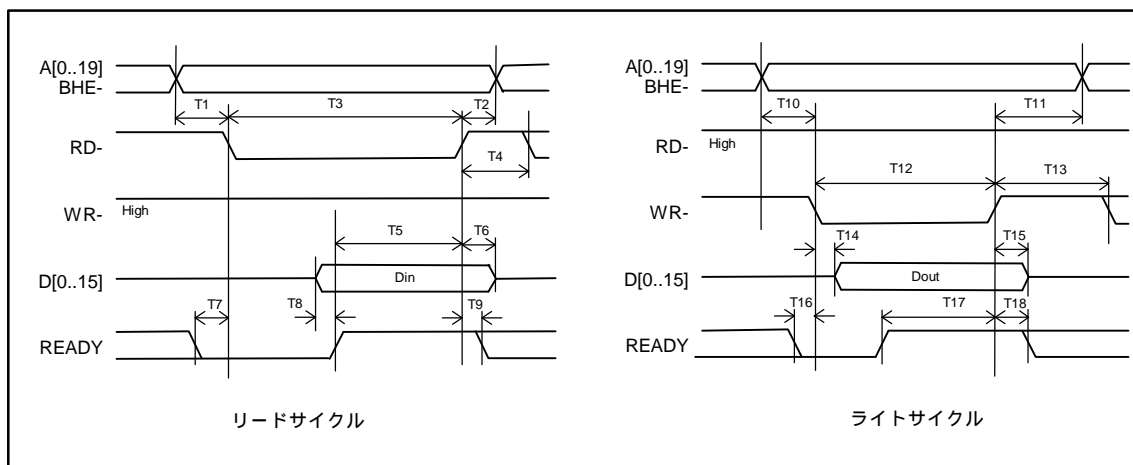
以下に JEXT コネクタのピン配置、信号およびタイミングを示します。

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+5V	2	+5V	31	GND	32	GND
3	D0	4	D1	33	A8	34	A9
5	D2	6	D3	35	A10	36	A11
7	D4	8	D5	37	A12	38	A13
9	D6	10	D7	39	A14	40	A15
11	GND	12	GND	41	+5V	42	+5V
13	D8	14	D9	43	A16	44	A17
15	D10	16	D11	45	A18	46	A19
17	D12	18	D13	47	BHE-	48	GND
19	D14	20	D15	49	GND	50	RD-
21	+5V	22	+5V	51	WR-	52	RESET-
23	A0	24	A1	53	GND	54	GND
25	A2	26	A3	55	READY	56	INT-
27	A4	28	A5	57	GND	58	GND
29	A6	30	A7	59	CPUCLK	60	GND

JEXT コネクタピン配置

信号名	入出力	機能
A[0..19]	出力	アドレス・バス信号。CPU のアドレス信号をバッファして接続。
BHE-	出力	バイトハイ・イネーブル信号。CPU の UBE-信号をバッファして接続。
D[0..15]	入出力	データ・バス信号。CPU のデータ・バス信号をバッファして接続。また、ボード上で 10K プルアップ。
RD-	出力	リード・サイクルのタイミング信号。JEXT 空間のアクセス時のみ、アクティブになる。
WR-	出力	ライト・サイクルのタイミング信号。JEXT 空間のアクセス時のみ、アクティブになる。
READY	入力	サイクルの終了を CPU に通知する信号。JEXT 空間のみで有効。確実に CPU に READY を認識させるためには、RD-もしくは WR-がインアクティブになるまで READY をアクティブに保つことが必要。また、ボード上で 10K プルアップ。
INT-	入力	Low アクティブの割り込み要求信号。バッファ後 SW3-3 を経由して、CPU の P25/INTP52 端子、及び、マスク回路を經由して NMI 端子に接続されている。また、ボード上で 10K プルアップ。(3.17参照、9.2参照)
RESET-	出力	Low アクティブのシステム・リセット信号。
CLK	出力	クロック信号。V854 の CLKOUT 端子がバッファ後、接続されている。

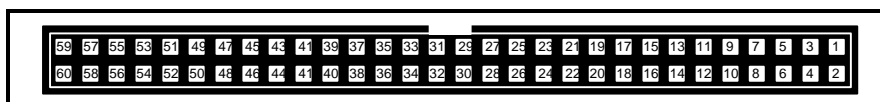
JEXT コネクタ信号



JEXT バス・サイクル

記号	内容	MIN(ns)	MAX(ns)
T1	RD アドレス セットアップ時間	0	
T2	RD アドレス ホールド時間	0	
T3	RD サイクル時間	50	
T4	RD サイクル間隔	20	
T5	RD データ セットアップ時間	15	
T6	RD データ ホールド時間	0	
T7	RD READY WAIT セットアップ時間	0	
T8	RD READY セットアップ時間	0	
T9	RD READY ホールド時間	0	
T10	WR アドレス セットアップ時間	0	
T11	WR アドレス ホールド時間	20	
T12	WR サイクル時間	50	
T13	WR サイクル間隔	20	
T14	WR データ 遅延時間		20
T15	WR データ ホールド時間	20	
T16	WR READY WAIT セットアップ時間	0	
T17	WR READY セットアップ時間	0	
T18	WR READY ホールド時間	0	

JEXT バス AC スペック



JEXT のピン配置

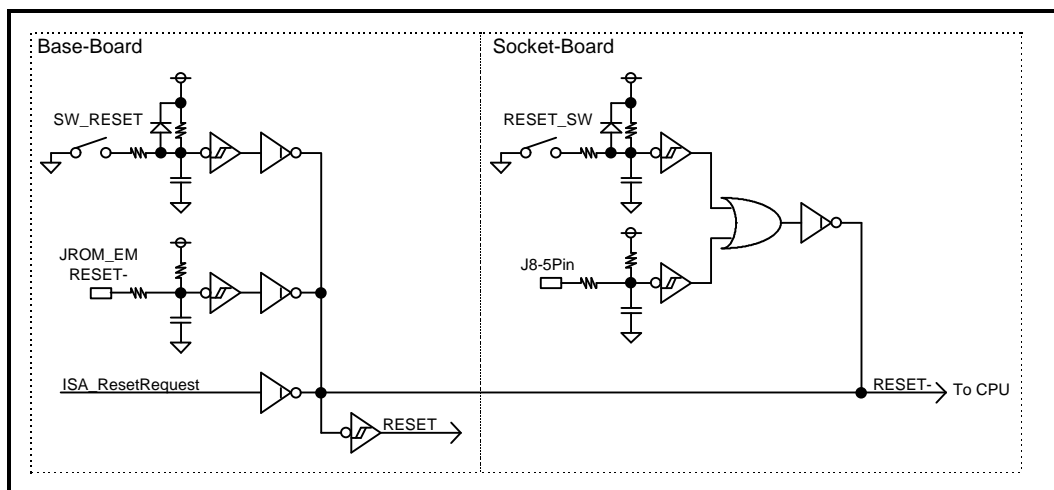
## 9. その他のCPU 資源

### 9.1. RESET-

CPU へのリセットは次に示す要因で発生します。このリセットは、CPU のリセットと共に、ボード制御回路のシステム・リセットとなります。

- **パワーオン・リセット**: ボードの電源 ON 時に発生するリセットです。
- **JROMEM からのリセット要求**: ベースボードの JROMEM コネクタの RESET-端子からの入力によるリセットです。詳細は『3.21ROM エミュレータ用テストピン [ ベースボード ](JROMEM)』を参照してください。
- **SWRESET によるリセット**: ベースボードのリアパネル部分に用意されているリセット・スイッチ (SWRESET)が押されるとリセットが発生します。
- **RESET\_SW によるリセット**: ソケットボード上のリセット・スイッチ(RESET\_SW)が押されるとリセットが発生します。
- **ホストからのリセット要求**: ISA バス経由でリセットを発生させることができます。

RESET の生成ロジックの概要を下図に示します。



### 9.2. NMI-

CPU への NMI は次に示す要因で発生します。

- **ベースボード上のコントローラからの要求**: ベースボード上の UART/PRINT 用コントローラ (TL16C522A)からの割り込み要求によって NMI を発生させることが可能です(「6.2UART/PRINTER ( TL16C522A ) (3F-F000H ~ 3F-F026H)」を参照)。また、ベースボード上のタイマー (uPD71054) からの割り込み要求によって NMI を発生させることが可能です(「6.3TIC ( uPD71054 ) (3F-F030H ~ 3F-F038H)」を参照)。この割り込みは Multi のプロファイラ等の機能で使用しています(「6.12NMI/INT1 要求クリア・ポート(3F-F190H,3F-F1A0H [Write Only])」参照)。これらのどの割り込み要求を NMI に接続するかをプログラマブルに制御できます(「6.9NMI セレクト・ポート(3F-F140H ~ 3F-F150H)」を参照)。
- **Ready のタイムアウトによる要求**: バスサイクルがある一定時間以内に終了しなかった場合、タイムアウト Ready が発生しますが、このタイムアウト Ready の発生により NMI 要求を発生させること

が可能です (「6.9NMI セレクト・ポート(3F-F140H~3F-F150H)」を参照)。

- **JEXT バスからの要求:** JEXT バスの INT 信号がアクティブになった時に NMI を発生させるようにすることが可能です (「6.9NMI セレクト・ポート(3F-F140H~3F-F150H)」を参照)。
- **JROMEM からのNMI 要求:** ベースボード上の JROMEM コネクタの NMI-端子からの入力によって NMI が発生します。詳細は「3.21ROM エミュレータ用テストピン [ ベースボード ](JROMEM)」を参照してください。
- **ISA バスからの要求:** ISA バス経由の通信制御のために NMI を使用することができます。Multi を ISA バス経由で接続した場合は、この NMI が使用されます。
- **NMI\_SW による要求:** ソケットボード上の NMI スイッチ(NMI\_SW)が押されると NMI が発生します。

また、NMI はハード的にマスクすることができます。マスク方法については、「6.9NMI セレクト・ポート(3F-F140H~3F-F150H)」および「6.11NMI/INT0/INT1 マスク・ポート(3F-F180H)」を参照してください。

NMI が発生した場合は、下記の手順で処理します。

NMI マスクポートの NMIMASK に"1"を設定して、NMI をハード的にマスクする。

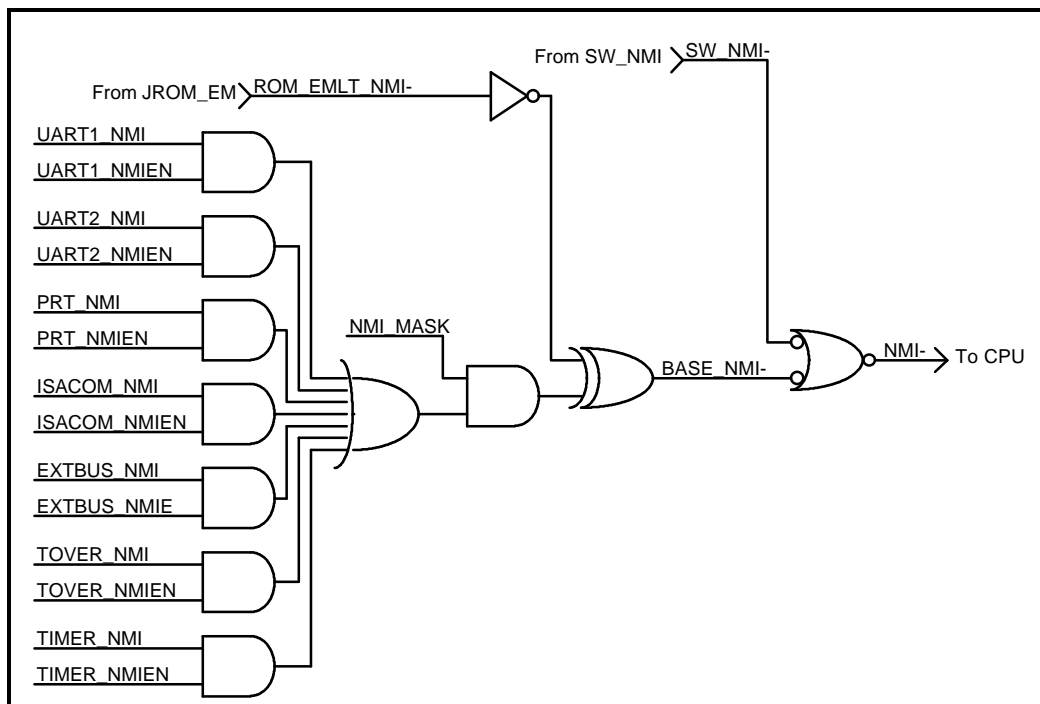
NMI の要求元を検査する。NMI ステータスポートにより調べられる (「6.10NMI ステータス・ポート(3F-F160H~3F-F170H [Read only])」を参照)。

要求元のための NMI 処理を行ない、要求をクリアする。

NMI マスクポートの NMIMASK に"0"を設定して、マスクを解除する。

NMI 処理から復帰する。

NMI の生成ロジックの概要を下図に示します。





### 9.3. マスク割込み(INT0(P24/INTP51),INT1(P26/INTP53))

INT0(P24/INTP51) は次に示す要因で発生します。割り込みの選択については「6.13INT0(P24/INTP51)セレクト・ポート(3F-F200H)」を参照してください。

- **ベースボード上のコントローラからの要求:** ベースボード上の UART/PRINT 用コントローラ (TL16C552A)からの UART-CH#1 と PRINTER の割り込み要求によって INT0(P24/INTP51)を発生させることが可能です (「6.2UART/PRINTER ( TL16C552A ) (3F-F000H ~ 3F-F026H)」を参照)。
- **ISA バスからの要求:** ISA バス経由の通信制御のために INT0(P24/INTP51)を使用する事ができます。

INT1(P26/INTP53) は次に示す要因で発生します。割り込みの選択については「6.14INT1(P26/INTP53)セレクト・ポート(3F-F210H)」を参照してください。

- **ベースボード上のコントローラからの要求:** ベースボード上のタイマー (uPD71054) からの割り込み要求によって INT1(P26/INTP53)を発生させることが可能です (「6.3TIC ( uPD71054 ) (3F-F030H ~ 3F-F038H)」, 「6.12NMI/INT1 要求クリア・ポート(3F-F190H,3F-F1A0H [Write Only])」を参照)。
- **Ready のタイムアウトによる要求:** バスサイクルがある一定時間以内に終了しなかった場合、タイムアウト Ready が発生しますが、このタイムアウト Ready の発生により INT1(P26/INTP53)要求を発生させることが可能です (「6.12NMI/INT1 要求クリア・ポート(3F-F190H,3F-F1A0H [Write Only])」参照)。

また、INT0/INT1 はハード的にマスクすることができます。マスク方法については、「6.11NMI/INT0/INT1 マスク・ポート(3F-F180H)」を参照してください。

INT0/INT1 が発生した場合は、下記の手順で処理します。

NMI/INT0/INT1 マスクポートの INT0MASK もしくは INT1MASK に"1"を設定して、INT0/INT1 をハード的にマスクする。

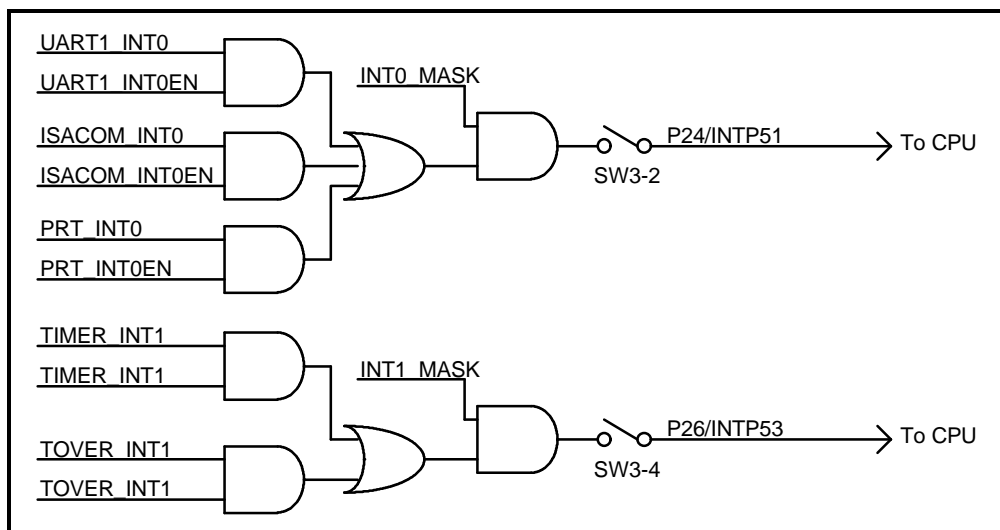
INT0/INT1 の要求元を検査する。INT0 ステータスポートおよび INT1 ステータスポートにより調べられる (「6.15INT0(P24/INTP51)ステータス・ポート(3F-F220H [Read only])」、および「6.16INT1(P26/INTP53)ステータス・ポート(3F-F230H [Read only])」を参照)。

要求元のための割り込み処理を行ない、要求をクリアする。

NMI/INT0/INT1 マスクポートの INT0MASK もしくは INT1MASK に"0"を設定して、マスクを解除する。

割り込み処理から復帰する。

INT0/INT1 の生成ロジックの概要を下図に示します。



#### 9.4. ポート

CPU のポート機能は、拡張外部バスに関する P4[0..7],P5[0..7],P6[0..3],P9[0..6]はベースボードとの接続のために使用しています。

これ以外の、ポートはソケット・ボード上のコネクタに接続されており、ユーザに開放されています。コネクタのピン配置については『3.5プロセッサ・ピンコネクタ [ソケットボード] (JPORT x x)』を、ボード内部の接続状態については『14CPU ポート接続』を参照してください。

## 10. Multi モニタ

ボードに実装されている ROM には、Multi 用のモニタが組み込まれています。ホストの Multi サーバと接続して使用する場合の注意点について説明します。

### 10.1. モニタ・ワーク RAM

モニタでは、SRAM の上位の 28KB ( 1F-8000H ~ 1F-EFFFH ) をワーク用の RAM として使用しています。したがって、xF-8000H ~ xF-EFFFH ( x は 1 ~ E ) はユーザ・プログラムでは使用できません。同様に、この空間のイメージ領域の同じ領域もユーザ・プログラムで使用できません。詳しくは「5.1 メモリ・マップ」を参照してください。

### 10.2. 割り込み

現在 Multi モニタを使用して、ユーザ・プログラムで割り込み処理はできません。

### 10.3. \_INIT\_SP の設定

モニタで \_INIT\_SP ( スタック・ポインタの初期値 ) は、1F-7FFCH ( モニタ・ワーク RAM の直前 ) に設定されています ( Multi の環境で \_INIT\_SP を変更することもできます ) 。

### 10.4. リモート接続

Multi のサーバとの接続は、シリアル接続と ISA バス接続が選択できますが、一度接続した方から他方に切り替える場合には、モニタをリセット ( リアパネルのリセット・スイッチを押す ) してから RTE for Windows のユーティリティ Check RTE で接続を変更してください。

### 10.5. タイマ割り込み

タイマ割り込みを禁止しますと、Multi のプロファイラ機能が使用できません ( タイマ割り込みの設定については「4.1 ボードの設定」を参照 ) 。

また、V854 ではブレーク・ポイント機能のためにタイマ割り込みを使用しています。したがって、タイマ割り込みを禁止しますと Multi が使用できなくなります。

## 11. RTE コマンド

サーバ(rteserv)と接続すると TARGET ウィンドウが開かれ、ここで RTE コマンドを発行することができます。表に RTE コマンドの一覧を示します。

コマンド名	内容
HELP, ?	ヘルプ表示
INIT	イニシャライズ
VER	バージョン表示
SFR	内蔵レジスタ(SFR)の変更、表示

RTE コマンド一覧

各コマンドには、パラメータを必要とするものがあります。アドレスやデータなど、数値のパラメータは、全て 16 進数とみなされます。以下の数値指定は誤りです。

0x1234    1234H    \$1234

### 11.1. HELP(?)

<書式>    HELP [コマンド名]

HELP は、RTE コマンドの一覧や書式を表示します。また、“HELP”と入力するかわりに“?”としても同様です。コマンド名を省略すると、使用できるコマンド一覧を表示します。

<例>        HELP SFR  
SFR コマンドのヘルプを表示します。

### 11.2. INIT

<書式>    INIT

INIT は、RTE 環境の初期化を行いません。通常、このコマンドを使用しないでください。

### 11.3. VER

<書式>    VER

VER は、RTE 環境のバージョンを表示します。

### 11.4. SFR

<書式>    SFR [レジスタ名 [データ]]

SFR は CPU 内蔵レジスタ(SFR)の内容の表示と、書き込みを行います。

パラメータを省略した場合、SFR コマンドで指定できるレジスタ名の一覧が表示されます。

パラメータとしてレジスタ名だけを指定した場合は、該当するレジスタの内容を読み出して表示します。

パラメータとしてレジスタ名とデータを指定した場合は、データを指定されたレジスタに書き込みます。

ただし、読み込み不可レジスタに対して表示を、書き込み不可レジスタに書き込みを指定した場合はエラーになります。また、読み出し/書き込みの際のアクセスサイズは自動的にレジスタのサイズで行われます。

## 12. フラッシュROM 書き込み

ソケットボード上の JFLASH コネクタを使用して CPU に内蔵されているフラッシュ ROM へ書き込みを行うことができます。この章では、フラッシュ ROM への書き込み方法を説明します。

### 12.1. 仕様概要

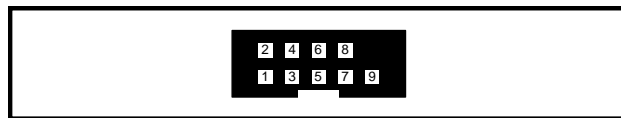
JFLASH コネクタは、V854 フラッシュ ROM 用の専用ライタを接続し、CPU 内蔵のフラッシュ ROM に書き込みを行うためのものです。ライタと CPU 間の通信は、CMOS レベルで、同期シリアルと非同期シリアルで行えます。

[ソケットボード]SW5 は、以下の通り設定してください。

SW5 番号	1	2	3	4	5	6	7	8
ポート	MODE 0	MODE 1	MODE 2	PLLSEL	CKSEL	NO USE	P3MODE 0	P3MODE 1
出荷時の設定	OFF	OFF	OFF	OFF	ON	OFF	ON	ON

### 12.2. JFLASH コネクタ

フラッシュ ROM の書き込みに使用する JFLASH コネクタのピン配置を図および表に示します。



JFLASH ピン配置

J8 ピン番号	信号名	入出力	備考
1	SO0/TXD	出力	同期 / 非同期シリアルデータ出力
2	SI0/RXD	入力	同期・非同期シリアルデータ入力
3	SCK0-	入力	同期シリアルクロック入力
4	RESET-	入力	
5	VPP	入力	V P P 入力
6	VCC	出力	+ 3 . 3 V 出力
7	VCC	出力	+ 3 . 3 V 出力
8	GND	-	グラウンド
9	NC.		
10	NC.	-	逆挿し防止用でピンなし

### 12.3. 書き込み手順

フラッシュ ROM の書き込みの手順を下記に示します。

1. RTE-V854-PC の電源を切ります。
2. ソケットボードの SW5 の 1,2,3 を全て OFF に設定します。
3. ソケットボードの SW5 の 7 および 8 を共に ON に設定します。
4. ライタを JFLASH コネクタに接続します。
5. ライタの電源が入っていることを確認して、RTE-V854-PC の電源を投入します。この時、ソケットボード上の LED\_FLASH ( 緑色の LED ) が点灯します。ライタにターゲットの

電源が投入されたことを示す LED がある場合は、その LED が点灯していることも確認してください。

- 6 . ライタを操作し、書き込みを行います。
- 7 . 書き込みが終了後、RTE-V854-PC の電源を切ります。
- 8 . JFLASH コネクタからライタを外し、ソケットボードの SW5 の設定を元に戻します。  
以下にデフォルトの設定状態を示します。

SW5 番号	1	2	3	4	5	6	7	8
ポート	MODE 0	MODE 1	MODE 2	PLLSEL	CKSEL	NO USE	P3MODE 0	P3MODE 1
出荷時の設定	ON	ON	ON	OFF	ON	OFF	OFF	OFF

- 9 . フラッシュ ROM に書き込んだプログラムを動作させたい場合は、CPU をシングル・チップモードに設定します。( MODE<sub>[0,1,2]</sub> = [ON,OFF,ON] : シングルチップモード 1 )
- 10 . RTE-V854-PC の電源を投入します。

#### 12.4. 注意事項

- フラッシュ ROM の書き込み / 消去などの際には、V<sub>pp</sub> に高い電圧(7.5V)がかかります。操作ミスをしてないように十分注意して作業してください。

## 13. バス・サイクル

### 13.1. タイムオーバ・レディー

ベース・ボードは、CPU が外部バス・サイクルを発生させ、そのサイクルがある一定時間以内に終了しなかった場合は、タイムオーバ・レディーを発生させ、強制的にサイクルを終了させています。タイムオーバ・レディーが発生するまでの時間は、バス・サイクルが 1024 クロック (33MHz 動作で約 30.7  $\mu$ S) 以上継続した場合です。

タイムオーバ・レディーが発生すると、ベースボード上の TOVER-LED が点灯し、NMI および INT1(P26/INTP53)の割り込み要因が発生します。NMI/INT1 要求クリア・ポートへ書き込むと、TOVER-LED が消灯し、NMI および INT1(P26/INTP53)の割り込み要因がクリアされます。

「3.20LED[ ベースボード ]」, 「6.9NMI セレクト・ポート(3F-F140H ~ 3F-F150H)」, 「6.12NMI/INT1 要求クリア・ポート(3F-F190H,3F-F1A0H [Write Only])」, 「6.14INT1(P26/INTP53)セレクト・ポート(3F-F210H)」を参照してください。

### 13.2. DRAM インターフェース

#### 13.2.1. 概要

DRAM のアクセスは、ノーマル・モードとページ・モードをサポートします。

ページ・モードでは、同じ Row アドレスへのアクセスが続く限り DRAM への RAS 信号をアクティブに保ち続け、CAS 信号のみ操作してアクセスを行います。これにより、同じ Row アドレスに対して連続的にアクセスする場合のアクセス・タイムの短縮が行えます。ただし、異なる Row アドレスへのアクセスが発生した場合は、サイクルが開始してから RAS 信号をインアクティブにし、RAS プリチャージ時間を取ってからアクセスを開始するため、連続アクセスが崩れた場合は逆にアクセスが遅くなります。

したがって、DRAM に対してどの程度連続アクセスが発生するかで、ノーマル・モードとページ・モードのどちらの方がパフォーマンスが上がるかが決まります。

ノーマル・モードかページ・モードなのかは、プログラマブルに設定することができます(「6.7BIC (Bus-Interface-Control) (3F-F080H ~ 3F-F0F0H)」参照)。

#### 13.2.2. 信号の説明

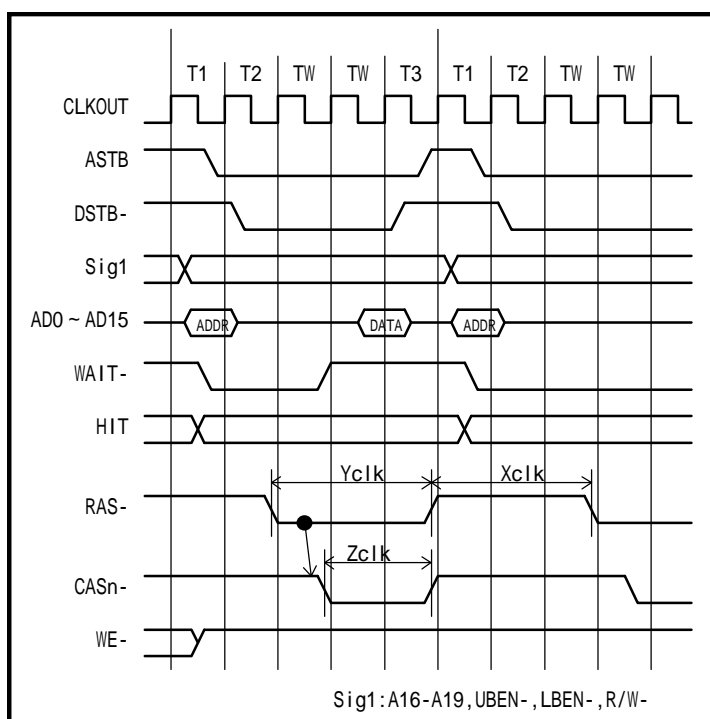
本章で説明する波形に用いられる信号名を以下に説明します。

- CLKOUT : CPU が出力するシステム・クロック。
- ASTB : CPU が出力する外部アドレス・ストロブ信号。
- DSTB- : CPU が出力する外部データ・ストロブ信号。
- WAIT- : CPU に入力されるウェイト信号。
- HIT : DRAM をページモードで使用するために、Row アドレスが前のサイクルと一致しているかどうかを示す信号。DRAM のコントロール回路が生成している。
- RAS- : DRAM に入力される RAS 信号。
- CASn- : DRAM に入力される CAS 信号。実際には各バイト単位に 1 本ずつ存在する(CAS0- ~ CAS3-)。
- WE- : DRAM に入力される WE 信号。

### 13.2.3. シングル・リード(ノーマル・モード)

ノーマル・モードのリード・サイクルは常にシングル・リード・サイクルで行われます。この様子を図に示します。

- 図では、前のサイクルの RAS プリチャージが終了している状態でリード・サイクルが 2 つ連続で発生し、2 サイクル目は RAS プリチャージの間待たされています。
- Xclk, Yclk, Zclk で示されているのは、それぞれプログラムで設定された「RAS プリチャージ」、「RAS の Low 幅」、「リード・アクセスの CAS の Low 幅」のクロック数です(「6.7BIC (Bus-Interface-Control) (3F-F080H ~ 3F-F0F0H)」参照)
- 「RAS の最低 Low 幅」の設定が「リード・アクセスの CAS の Low 幅」より 2 以上大きい場合、Zclk は(Yclk - 1)になります。

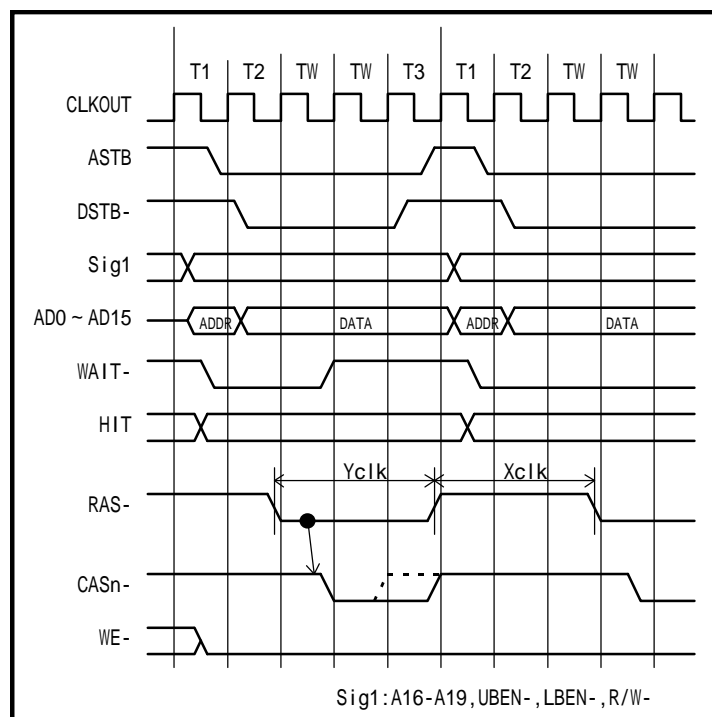




### 13.2.4. シングル・ライト(ノーマル・モード)

ノーマル・モードのライト・サイクルは常にシングル・ライト・サイクルで行われます。この様子を図に示します。

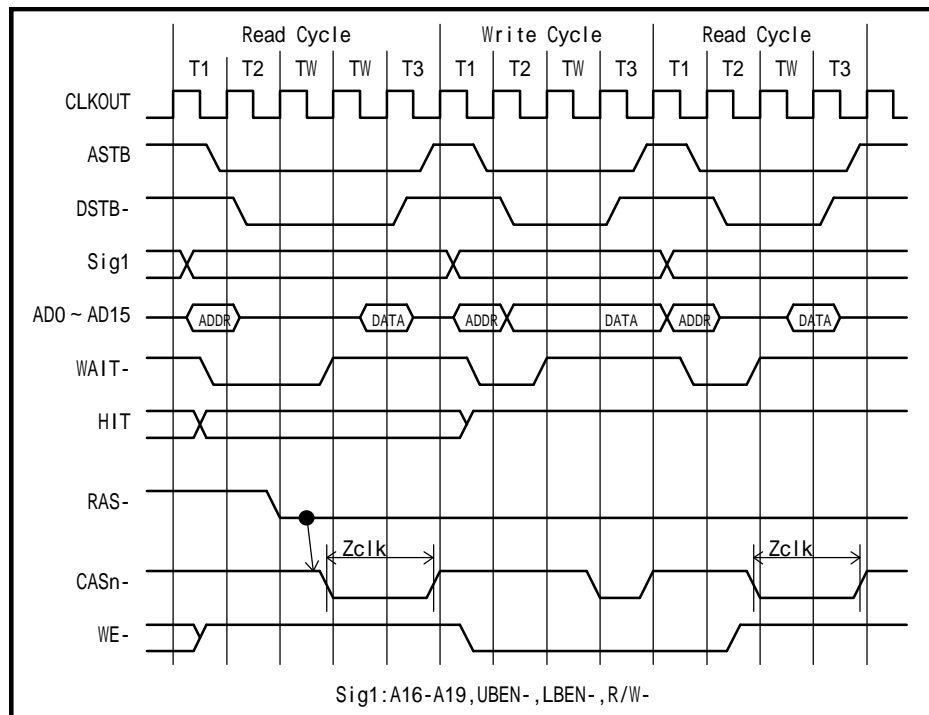
- 図では、前のサイクルの RAS プリチャージが終了している状態でライト・サイクルが 2 つ連続で発生し、2 サイクル目は RAS プリチャージの間待たされています。
- Xclk, Yclk で示されているのは、それぞれプログラムで設定された「RAS プリチャージ」、「RAS の Low 幅」のクロック数です(「6.7BIC ( Bus-Interface-Control ) (3F-F080H ~ 3F-F0F0H)」参照)。「ライト・アクセスの CAS の Low 幅」は常に 1clk です。
- 「RAS の最低 Low 幅」の設定が 2clk より大きい場合、「ライト・アクセスの CAS の Low 幅」は(Yclk - 1)になります。



### 13.2.5. ページ・アクセス(ページ・モード、同一Rowアドレス)

ページ・モードのサイクルでは、同一 Row アドレスへの連続アクセスであれば、RAS 信号をアクティブにしたままで CAS 信号だけを操作してアクセスします。この様子を図に示します。

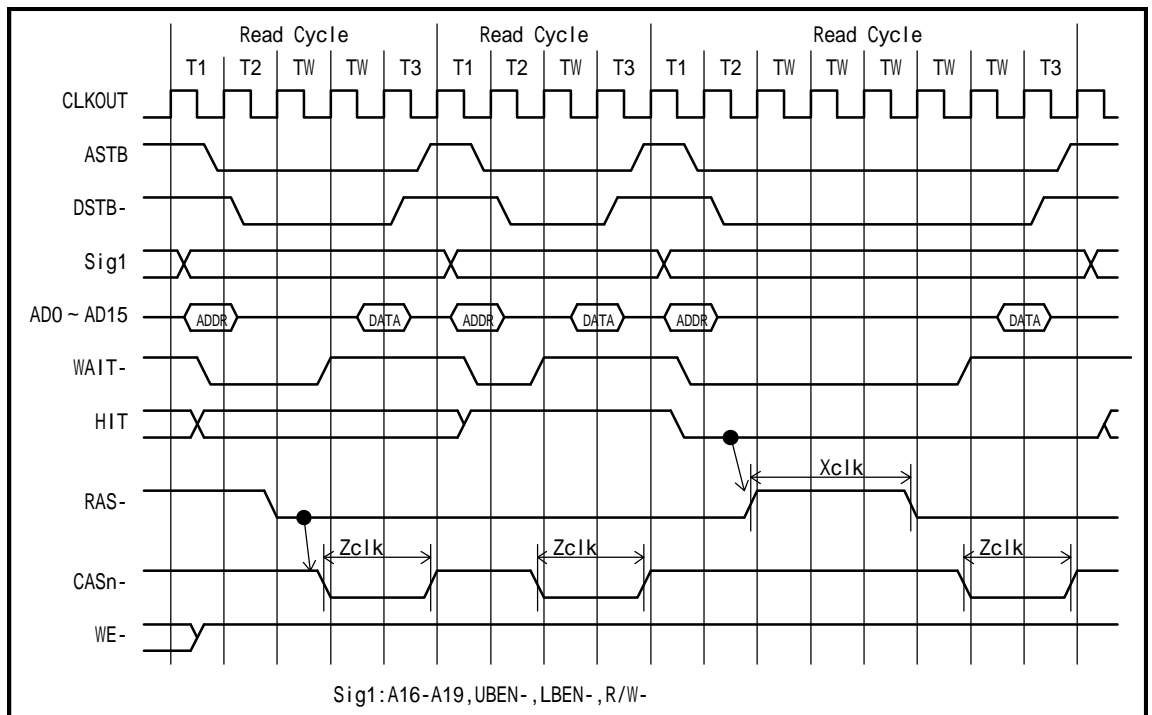
- 図では、前のサイクルの RAS プリチャージが終了している状態で、同一 Row アドレスへサイクルが、リード/ライト/リードの順で発生しています。
- Zclk で示されているのは、「リード・アクセスの CAS の Low 幅」のクロック数です(「6.7BIC (Bus-Interface-Control)(3F-F080H~3F-F0F0H)」参照)。「ライト・アクセスの CAS の Low 幅」は常に 1clk です。
- 「RAS の最低 Low 幅」(Yclk)の設定が「リード・アクセスの CAS の Low 幅」より 2 以上大きい場合、同一 Row アドレス・アクセスの最初のサイクルの Zclk は(Yclk - 1)になります。
- ページ・モードで同一 Row アドレスへのアクセスの場合、ページ・モードを用いなかった場合に比較し、最低でも 1Wait 分高速にアクセスできます。「RAS プリチャージ」のクロック数が 2CLK より大きい場合は、更に高速にアクセスできます。



### 13.2.6. ページ・アクセス(ページ・モード、異なるRowアドレス)

ページ・モードで、前のサイクルと異なる Row アドレスへのアクセスでは、サイクル開始から RAS 信号をインアクティブにし、その後 RAS 信号のプリチャージ時間を待ってから再び RAS 信号をアクティブにします。この様子を図に示します。

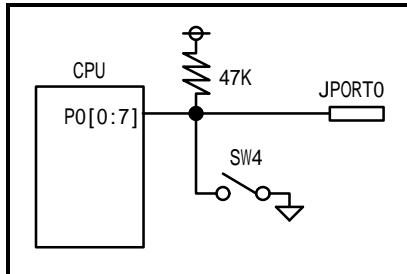
- 図では、前のサイクルの RAS プリチャージが終了している状態で、同一 Row アドレスへリード・サイクルが2回連続で発生した後、異なる Row アドレスへのリード・サイクルが発生しています。
- Xclk,Zclk で示されているのは、それぞれプログラムで設定された「RAS プリチャージ」、「リード・アクセスの CAS の Low 幅」のクロック数です(「6.7BIC( Bus-Interface-Control )(3F-F080H ~ 3F-F0F0H)」参照)
- 「RAS の最低 Low 幅」(Yclk)の設定が「リード・アクセスの CAS の Low 幅」より2以上大きい場合、同一 Row アドレス・アクセスの最初のサイクルの Zclk は(Yclk - 1)になります。



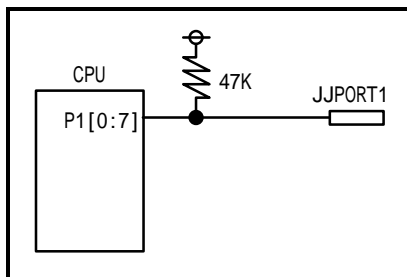
## 14. CPU ポート接続

本章では、ソケット・ボード上のコネクタに出力されている CPU ポートの接続状態を示します。

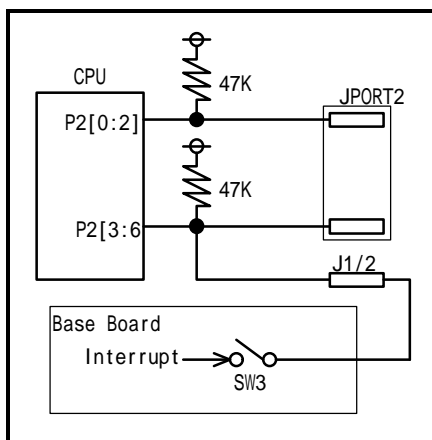
### 14.1. P00 ~ P07



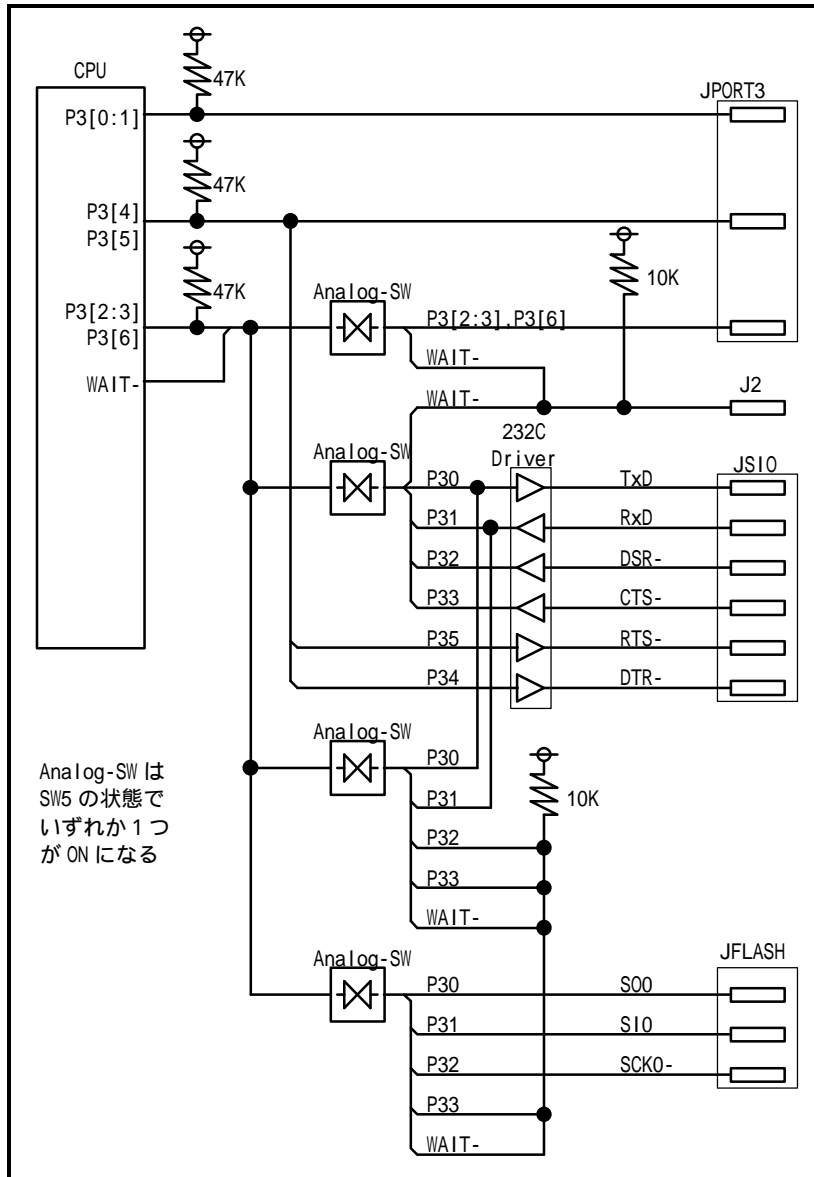
### 14.2. P10 ~ P17



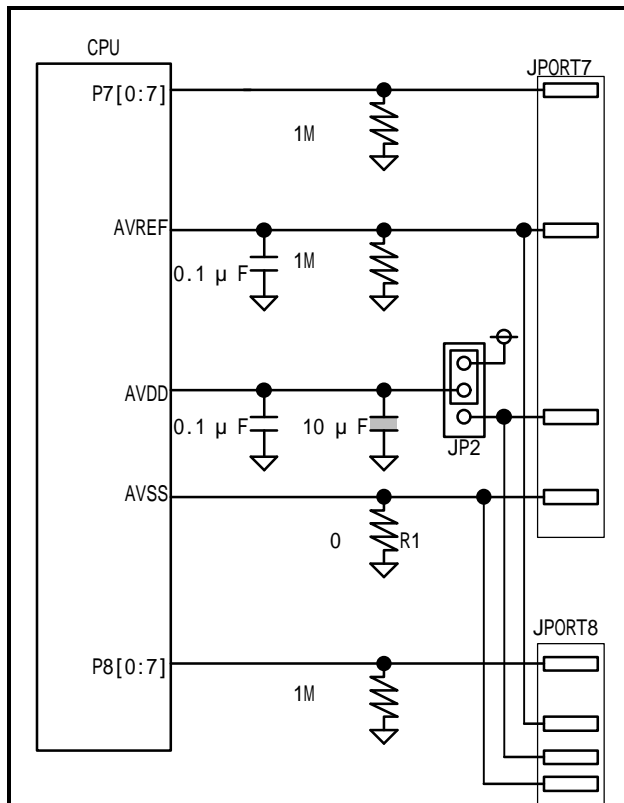
### 14.3. P20 ~ P26



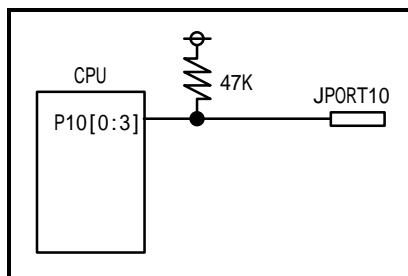
14.4. P30 ~ P36, WAIT-



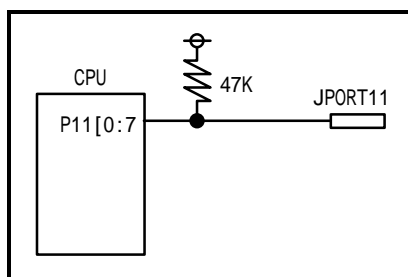
14.5. P70~P77, ANO0~ANO1, AVREF1~AVREF3, AVDD, AVSS



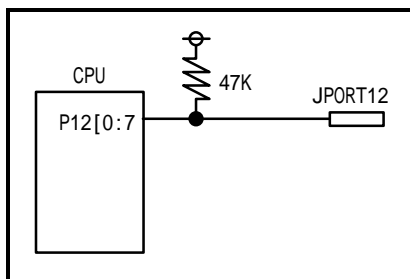
14.6. P100~P103



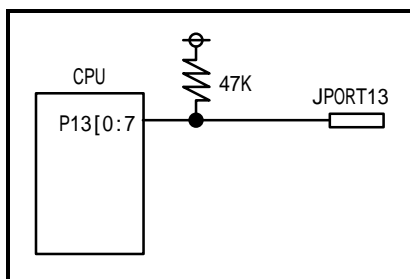
14.7. P110~P117



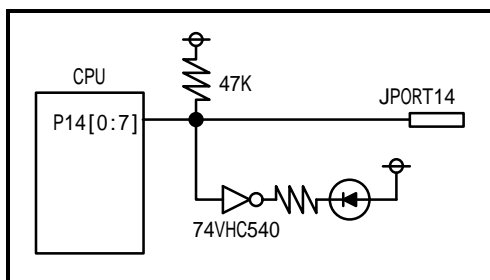
14.8. P120 ~ P127



14.9. P130 ~ P137



14.10. P140 ~ P147



## 15. マスカブル割り込みを使用したアプリケーション

本章では、RTE-V854-PC 上でマスカブル割り込みを使用したアプリケーションの開発を行う場合の方法と制限事項について説明します。

### 15.1. 割り込みベクタ

V854 の割り込みベクタ領域である 0000H~07FFH 番地は、ROM により固定されていて書き換えることができません。そこで Multi 用モニタ ROM では、SRAM 上に代替のベクタ領域を用意し、0000H~07FFH 番地のベクタには、その代替ベクタ領域への分岐命令が置かれています。

例えば、例外コード 0080H の割り込みが発生すると、CPU の割り込み機能により 0080H 番地に分岐します。そこには代替ベクタ領域のオフセット 0080H 番地への分岐命令があります。したがって、ユーザ・プログラムでは、この代替ベクタ領域を本来のベクタ領域と同じように書き換えることにより、割り込み発生時にユーザ・プログラムの割り込み処理ルーチンに分岐するようにできます。通常の V854 のプログラムと異なるのは、通常はベクタ領域は ROM 化の時点で固定されており、プログラムで設定する（書き換える）必要はありません。しかし、RTE-V854-PC 上で Multi を使用したプログラムの場合、プログラムでベクタを書き換えてから、割り込みを許可する必要があります。

代替ベクタ領域は、SRAM 上の 1F-8000H~1F-87FFH にあります。したがって、前述の例外コード 0080H の割り込みの場合、目的の割り込み処理に分岐する命令を 1F-8080H 番地に書き込みます。

CPU がキャッシュ・メモリを内蔵している場合、ベクタを書き換えた後にキャッシュ・フラッシュ操作が必要となりますが、V854 の場合内蔵キャッシュ・メモリがないためその必要はありません。

代替ベクタを書き換えるためのプログラム例を下記に示します（割り込み処理ルーチンから代替ベクタ領域への相対アドレスが 22Bit 以内の場合）。

```
void SetAJump(int addr, int jmpdest) /* ベクタ設定ルーチン */
/* int addr;                          address where we're storing the 'jr' */
/* int jmpdest;                        address where the 'jr' jumps to */
{
    int offset;
    unsigned inst;
    unsigned int *p;

    offset = jmpdest - addr;
    inst = 0x07800000 /* 'jr' opcode */ | (offset & 0x003ffff);
    *((UINT16 *) (addr + 0)) = (inst >> 16) & 0xffff;
    *((UINT16 *) (addr + 2)) = (inst & 0xffff);
}
.....
void __interrupt IntEntry() /* 割り込み処理ルーチン */
{
    .....
}
.....
main()
{
    .....
    SetAJump((int)(0x080 + 0x1f8000), (int)IntEntry);
    /* 目的の割り込みの例外コードに書き換える */
}
```



## 15.2. 一般的な制限事項 / 注意事項

マスカブル割り込みを使用したアプリケーションをデバッグする上での制限事項と注意事項を下記に示します。

- 1) 代替ベクタの設定の設定前に割り込みが発生した場合や、代替ベクタを正しく設定しないで割り込みが発生した場合には、割り込みの発生時点でのプログラム位置でブレークします。これは、代替ベクタの初期値がモニタ ROM のブレーク処理ルーチンへの分岐命令になっているためです。
- 2) 代替ベクタ領域から割り込み処理ルーチンまでの相対アドレスが 22Bit を超える場合、割り込み処理ルーチンへの分岐のために、少なくとも 1 つ以上のレジスタの値を壊すか、分岐の中継点を作る必要があります。
- 3) 代替ベクタ領域は、ROM モニタの管理領域として保護されているため、プログラムのダウンロードで書き換えることはできません。したがって、ソース・プログラム上でベクタ領域を独立したセクションとして定義し、リンク時のパラメータによりそのセクションを代替ベクタ領域に割り付ける方法も考えられますが、この方法はダウンロードに失敗してしまうため使用できません。
- 4) 割り込み関係を含む全てのペリフェラルは、ボード上のリセット・スイッチによってのみ初期化されます。したがって、一端プログラムを実行した後に、プログラムを再ロードして動作させる場合、前のプログラム実行による影響がペリフェラル上に残ってしまいます。したがって、ペリフェラルを使用するプログラムの場合、一端プログラムを動作させ、再度プログラムを始めから動作させる場合は、rteserv をディスコネクトし、RTE-V854-PC のリセット・ボタンを押し、rteserv を再コネクトする、という手順を踏んでください。
- 5) プログラムの先頭で一端 DI ( 割り込み禁止 ) 状態にしてから、ペリフェラルやベクタの設定をした後、EI ( 割り込み許可 ) 状態にするようにしてください。

## 15.3. ブレーク・ポイント使用に関する制限事項 / 注意事項

ブレーク・ポイントを割り込み処理ルーチン内に設定しブレークさせることもできますし、その後割り込み処理ルーチン内をシングル・ステップすることも可能です。しかしその場合、下記に示す制限事項 / 注意事項がありますのでご注意ください。

- 1) ブレーク中は全てのマスカブル割り込みは受け付けません。
- 2) シングル・ステップ機能は、次の命令にテンポラリ・ブレーク・ポイントを設定する方式を取っています。この結果、EI ( 割り込み許可 ) 状態のユーザ・プログラムをシングル・ステップする場合、シングル・ステップ中にも割り込みを受け付けます。  
したがって、シングル・ステップでも、ブレーク・ポイントに関する注意事項に気をつけなければなりません。
- 3) シングルステップによって割り込み処理ルーチンから抜けることはできません ( 具体的には、割り込みルーチンの最後の "}" でのシングルステップができません )。同様に、iret 命令のシングルステップもできません。
- 4) デバッガの "Return" 機能で、割り込み処理ルーチンから元のルーチンへ戻ることはできません。

- 5) RTE-V854-PC では、プログラムの実行がブレーク・ポイントに達してから、実際にブレークするまでに時間がかかります（「16ブレーク・ポイント」参照）。このため、EI（割り込み許可）状態の位置に設定されたブレーク・ポイントにプログラムの実行が達した場合、実際にブレークする前に割り込みを受け付けてしまうことがあります。
- この受け付けた割り込み処理ルーチン内にもブレーク・ポイントが設定されていた場合、こちらのブレーク・ポイントでブレークします。同様に、このブレーク・ポイント位置が EI 状態の場合、より優先順位の高い割り込みを受け付けることもあります。

## 16. ブレーク・ポイント

本章では、RTE-V854-PC でのブレーク・ポイント機能の実現方法とその制限事項について説明します。

### 16.1. ブレーク・ポイントの実現方法

一般的な CPU には、ブレーク・ポイントに使用できる、最小命令長と同じ命令長を持つ命令があります。このような命令は、ブレーク・ポイント命令とか Trap 命令と呼ばれています。

しかし、V850 系の CPU にはブレーク・ポイントに使用できる命令がありません。Trap 命令はありますが、命令長が 4 バイトのため、最小命令長の 2 バイトより長くなってしまっています。

このように最小命令長より長い命令をブレーク・ポイント用の命令として使用した場合、不具合が発生する可能性があります。例えばブレーク・ポイントを設定する番地に 2 バイト命令があり、その番地の次の命令に JMP してくる可能性がある場合などが考えられます。

RTE-V854-PC では、より安全なブレーク・ポイントを実現するために、次のような手法でブレーク・ポイントを実現しています。

- 1) ブレーク・ポイント用の命令として、Branch-myself 命令 (バイナリで 0x8505 の相対で  $\pm 0$  番地への分岐命令) を使用する。
- 2) Multi 用 ROM モニタで使用しているインターバル・タイマ割り込みが発生した時の戻り番地の命令が 0x8505 であり、その番地がブレーク・ポイント・リストにある場合、ブレークしたもものとして扱う。

インターバル・タイマの割り込みは、プロファイラ周期を決定するために用いられているものであり、その割り込み間隔はベースボード上の SW1 で設定できます。デフォルトでは、60Hz になっています。

### 16.2. 制限事項

前節で説明したブレーク・ポイント方式を採用しているため、次のような制限事項があります。

- 1) インターバル・タイマ割り込みを停止 (禁止) できません。
- 2) プログラムがブレーク・ポイントに達してから、実際にブレークするまでに時間がかかります。この間の時間は最大でインターバル・タイマの割り込み周期になります。通常この時間は問題になりませんが、マスクブル割り込みを使用したアプリケーションの場合に 3) のような問題が発生する事が考えられます。
- 3) ブレーク・ポイントに達してから、実際にブレークするまでの間に、受け付け可能なマスクブル割り込みが発生すると、その割り込みを受け付けてしまいます。

また、その割り込みの処理ルーチン内にもブレーク・ポイントが設定されている場合、このブレーク・ポイントでブレークします。更にこのブレーク・ポイントでブレークを待っている間に、より高い優先順位の割り込みが入る場合もあります。

- Memo -

RTE-V854-PC ユーザズ・マニュアル  
作成 1997年2月8日 Rev1.00

M663MNL01

*Midas lab*