

RTE-VR4100-PC

ユーザース・マニュアル

Midas lab

改定履歴

日付		Rev	内容
Y	M D		
96	10 15	1.0	初版 (基板変更により旧マニュアルから修正)
98	1 9	1.1	改訂 3.9ROMSEL ジャンパ (JP4) p.9の図表修正 5.5.割り込み p.27 の図表修正

目次

1. はじめに.....	5
1.1. マニュアル表記について.....	5
2. 特徴と機能.....	6
3. ボードの構成.....	7
3.1. リセット・スイッチ (SWRESET).....	7
3.2. 電源コネクタ (JPOWER).....	7
3.3. クロック・ソケット (OSC1).....	7
3.4. CPU スイッチ (SW1).....	8
3.5. CONFIG スイッチ (SW2).....	8
3.6. ISA-PORT スイッチ (SW3).....	8
3.7. LED-POWER, LED-8 ~ LED-1.....	8
3.8. ROMEMU ジャンパ (JP3).....	9
3.9. ROMSEL ジャンパ (JP4).....	9
3.10. シリアル・コネクタ (JSIO).....	10
3.11. JEXT コネクタ.....	10
3.12. CPU テストピン (J1, J2).....	10
3.13. DRAM-SIMM ソケット.....	12
3.14. ROM ソケット.....	12
4. インストールと使用方法.....	13
4.1. ボードの設定.....	13
4.2. ISA バスに実装する場合.....	15
4.3. ボード単体で使用する場合.....	15
5. ハードウェア・リファレンス.....	16
5.1. メモリ・マップ.....	16
5.2. SYSTEM-I/O.....	17
5.2.1. UART/TIMER(SCC2691).....	18
5.2.2. PIO (uPD71055).....	18
5.2.3. SWITCH / LED (汎用入 / 出力) ポート.....	20
5.3. パス・サイクル.....	21
5.3.1. SRAM アクセス.....	21
5.3.2. DRAM アクセス.....	22
5.3.3. ローカルバス・アクセス.....	26
5.4. リセット.....	27
5.5. 割り込み.....	27
5.6. EXT-BUS 仕様.....	28
6. Multi モニタ.....	30
6.1. モニタ・ワーク RAM.....	30
6.2. 割り込み.....	30
6.3. _INIT_SP の設定.....	30
6.4. リモート接続.....	30
7. RTE コマンド.....	31

7.1. HELP(?).....	31
7.2. INIT.....	31
7.3. VER.....	31
7.4. CACHEFLUSH.....	32
7.5. SHOWTLB.....	32
7.6. IOREAD.....	32
7.7. IOWRITE.....	32
8. 付録.....	33
8.1. スイッチ一覧.....	33
8.2. ジャンパー一覧.....	34

1. はじめに

このマニュアルでは、日本電気社製 CPU の VR4100 用の評価ボード「RTE-VR4100-PC」について説明します。RTE-VR4100-PC では、GreenHills 社の Multi デバッガを利用してプログラムの開発 / デバッグや CPU のパフォーマンス評価などができます。このデバッガとの通信には、IBM-PC/AT の ISA バスか RS-232C シリアル・インターフェースが使用できます。またボードに設けられたローカル・バス用のコネクタを使用してメモリや I/O を拡張することもできます。

1.1. マニュアル表記について

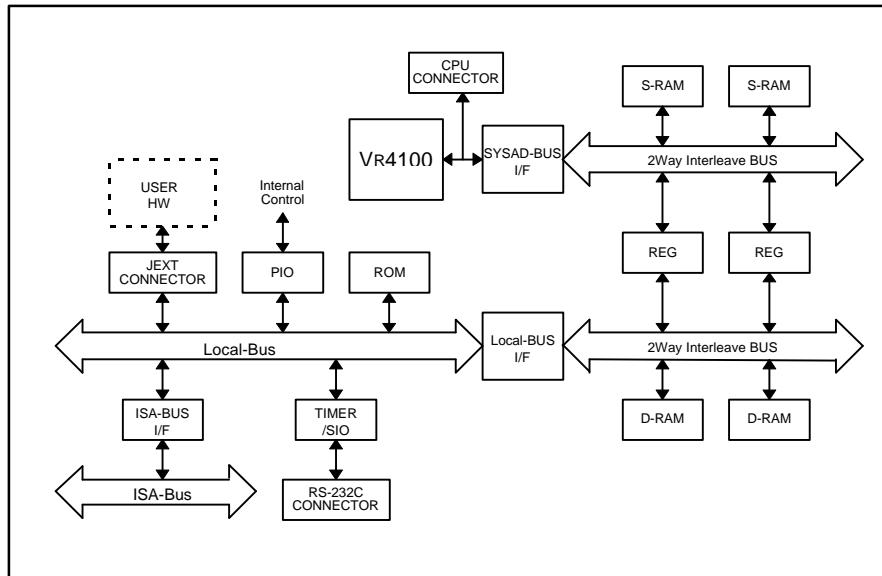
本書では、数字の表記については表の表記を用います。16 進数や 2 進数の表記では、桁数が多くて読みにくい場合は、4 桁ごとに“-”（ハイフン）を入れてあります。また、数値で任意を示す場合には、“1FxxH”のように“x”で示します。

進数	表記規則	例
10 進数	数字のみを示します	“10” は 10 進数の“10”を示します
16 進数	数字の末尾に“H”を記します	“10H” は 10 進数の“16”を示します
2 進数	数字の末尾に“B”を記します	“10B” は 10 進数の“2”を示します

数字表記規則

2. 特徴と機能

RTE-VR4100-PC の機能ブロックの概要を図に示します。



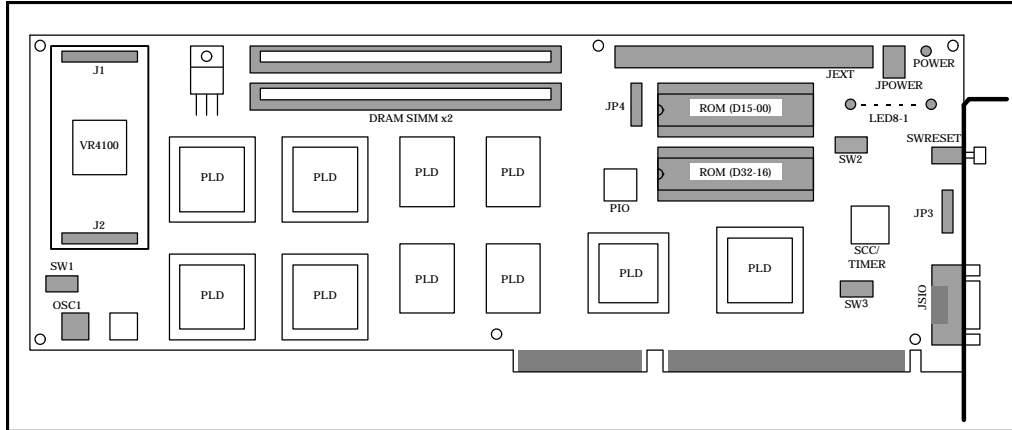
RTE-VR4100-PC ブロック図

特徴

- ROM 256K バイト (64K×16 ビット ×2)
- SRAM 512K バイト (64K×16 ビット ×4)
- DRAM SIMM72 ピン・ソケットにより 8M,16M,32M (標準 8M バイト)
- RS-232C ポート (D-SUB 9 ピン)
- PC/AT 互換機の ISA バスによる通信機能
- ユーザー拡張用のローカル・バスのコネクタ
- CPU の全ての信号を計測できるプロセッサ・ピンコネクタ
- 外部リセット・スイッチをリアパネルに用意
- ROM インサーキット・デバッガ用の接続ピン

3. ボードの構成

図は RTE-VR4100-PC ボード上の主要な部品の物理的な配置です。ここでは、それぞれの部品について説明します。



RTE-VR4100-PC 概観

3.1. リセット・スイッチ (SWRESET)

SWRESET はリセット・スイッチです。このスイッチを押すと CPU がリセットされます。

3.2. 電源コネクタ (JPOWER)

本ボードを ISA バス・スロットに挿さずに単体で使用する場合に、JPOWER コネクタに外部電源を接続して電源を供給します。

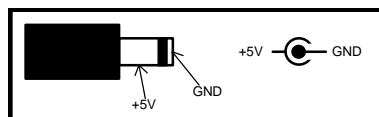
JPOWER コネクタに供給する電源は、下記の通りです。

電圧：5 V

電流：最大 2.5A (ただし、JEXT コネクタへの供給分は含みません)

適合コネクタ：Type A (5.5)

極性：



【注意】 接続の際には、コネクタの極性に注意してください。また、ISA バス・スロットに挿して使用する場合には、JPOWER に電源を接続しないでください。

3.3. クロック・ソケット (OSC1)

OSC1 は、CPU に供給するクロックのためにオシレータ (8 ピンタイプ) ソケットで、出荷時には 10MHz のオシレータが実装されています。変更する際は、オシレータの実装方向に注意してください。

【注意】 オシレータの足を切って実装する場合、足が短かすぎるとフレーム (外装) 部分が、ソケットの端子とショートしてしまいますのでご注意願います。

3.4. CPU スイッチ (SW1)

SW1 は、VR4100 の動作モードを決定するためのスイッチで、設定は以下の通りです。

SW1 番号	機能
1	ON: BIGENDIAN = 0 (Low) リトル・エンディアン OFF: BIGENDIAN = 1 (High) (デフォルト) ビッグ・エンディアン
2	ON: HIZPARITY = 0 (Low) OFF: HIZPARITY = 1 (High) (デフォルト)
3	ON: DIV2- = 0 (Low) OFF: DIV2- = 1 (High) (デフォルト)
4, 5, 6, 7	未使用 (OFF 固定)
8	ON: 64Bit モニタ OFF: 32Bit モニタ (デフォルト)

SW1 設定

3.5. CONFIG スイッチ (SW2)

SW2 は、汎用の入力ポートのスイッチです。スイッチは OFF で 1, ON で 0 の値となります。詳細は、「5.2.2. PIO (uPD71055)」を参照してください。

3.6. ISA-PORT スイッチ (SW3)

SW3 は、ISA バスの I/O アドレス選択のスイッチです。スイッチの番号 1~8 が ISA バスのアドレス A4~A11 に対応しています(A12~A15 は 0 固定)。したがって、I/O アドレスとして 000xH ~ 0FFxH が選択できます。スイッチは OFF で 1, ON で 0 の値となります。

SW3 番号	1	2	3	4	5	6	7	8
ISA アドレス	A4	A5	A6	A7	A8	A9	A10	A11

SW3 アドレス対応

3.7. LED-POWER, LED-8~LED-1

LED-POWER は電源が供給されると点灯し、LED8~LED1 は汎用の出力ポートからの制御で点灯 / 消灯させることができます。詳細は、「5.2.3. SWITCH / LED (汎用入 / 出力) ポート」を参照してください。

3.8. ROMEMU ジャンパ (JP3)

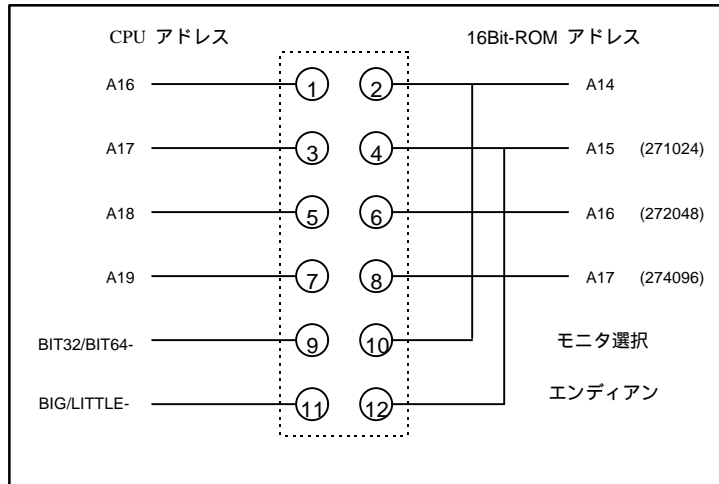
JP3 は主に ROM インサーキット・デバッガを使用する際に接続するジャンパです。ROM インサーキット・デバッガからのリセットや割り込みが入力できます。

JP3 ピン	機能	JP3 ピン	機能
1	RESET-入力 (Low アクティブ) 47K プルアップ	2	INT0-入力 (Low アクティブ) 47K プルアップ
3	NMI-入力 (Low アクティブ) 47K プルアップ	4	INT1-入力 (Low アクティブ) 47K プルアップ
5	未使用 (NC)	6	INT2-入力 (Low アクティブ) 47K プルアップ
7	未使用 (NC)	8	INT3-入力 (Low アクティブ) 47K プルアップ
9	未使用 (NC)	10	INT4-入力 (Low アクティブ) 47K プルアップ
11	GND	12	GND

JP3 機能

3.9. ROMSEL ジャンパ (JP4)

JP4 は、ROM ソケットに実装する ROM の種類を選択するためのジャンパです。図のように ROM のアドレスと対応しています。ROM はシステム・エンディアンに対応するため、最上位アドレスを切り替えて 4 つのバンクを持たせています。



JP4 接続図

ROM の種類とショートするジャンパ・ピンの関係を下表に示します。

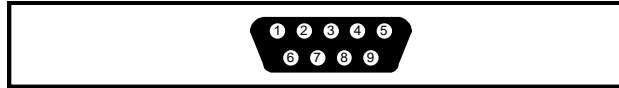
ROM 種類	ピン接続 (バンクあり)	ピン接続 (バンクなし)
271024 (64Kx16Bit)	9-10, 11-12 (出荷時の設定)	1-2, 3-4
272048 (128Kx16Bit)	-	1-2, 3-4, 5-6
274096 (256Kx16Bit)	-	1-2, 3-4, 5-6, 7-8

JP4 ピン接続

3.10. シリアル・コネクタ (JSIO)

JSIO コネクタは、シリアル・コントローラ (SCC2691) によって制御される RS-232C 用のコネクタです。コネクタの形状は、PC/AT で用いられる一般的な D-SUB9 ピンの RS-232C コネクタで、全ての信号は RS-232C レベルに変換されています。コネクタのピン番号と内容は図と表の通りです。

また表には、ホストと接続する場合の接続信号について、ホスト側が D-SUB9 ピンの場合と D-SUB25 ピンの場合の布線をそれぞれ示してあります (一般的なクロスケーブルの布線です)。



JSIO ピン配置図

JSIO ピン	信号名	入出力	ホストの接続ピン番号	
			D-SUB9	D-SUB25
1	NC			
2	RxD(RD)	入力	3	2
3	TxD(SD)	出力	2	3
4	DTR(DR)	出力	1, 6	6, 8
5	GND		5	7
6	DSR(ER)	入力	4	20
7	RTS(RS)	出力	8	5
8	CTS(CS)	入力	7	4
9	NC			

JSIO コネクタ信号表

3.11. JEXT コネクタ

ユーザ拡張用の EXT-BUS コネクタです。EXT-BUS についての詳細は「5.6. EXT-BUS 仕様」を参照してください。

3.12. CPU テストピン (J1, J2)

J1, J2 コネクタは、CPU の信号線が接続されています。テストピンまたは回路拡張時に、信号引出用のコネクタとして使用できます。

【メモ】 J1, J2 の適合コネクタは、1.27mm ピッチの表面実装コネクタ : FX4B1-40S-1.27SV (HIROSE) です。

J1 ピン	信号名	J1 ピン	信号名
1	SYSAD[0]	2	SYSAD[1]
3	SYSAD[2]	4	SYSAD[3]
5	SYSAD[4]	6	SYSAD[5]
7	SYSAD[6]	8	SYSAD[7]
9	GND	10	SYSADC[0]
11	SYSAD[8]	12	SYSAD[9]
13	SYSAD[10]	14	SYSAD[11]
15	SYSAD[12]	16	SYSAD[13]
17	SYSAD[14]	18	SYSAD[15]
19	GND	20	SYSADC[1]
21	SYSAD[16]	22	SYSAD[17]
23	SYSAD[18]	24	SYSAD[19]
25	SYSAD[20]	26	SYSAD[21]
27	SYSAD[22]	28	SYSAD[23]
29	GND	30	SYSADC[2]
31	SYSAD[24]	32	SYSAD[25]
33	SYSAD[26]	34	SYSAD[27]
35	SYSAD[28]	36	SYSAD[29]
37	SYSAD[30]	38	SYSAD[31]
39	+3.3V	40	SYSADC[3]

J1 ピン配置表

J2 ピン	信号名	J2 ピン	信号名
1	SYSCMD[0]	2	SYSCMD[1]
3	SYSCMD[2]	4	SYSCMD[3]
5	SYSCMD[4]	6	SYSCMDP
7	GND	8	GND
9	PMASER-	10	ERDY-
11	PVALID-	12	EVALID-
13	PREQ-	14	EREQ-
15	FAULT-	16	MasterCLOCK
17	GND	18	GND
19	INT[0]-	20	INT[1]-
21	INT[2]-	22	INT[3]-
23	INT[4]-	24	NMI-
25	RESET-	26	ColdRESET-
27	+3.3V	28	+3.3V
29	BIGENDIAN (SW1-1)	30	DIV2- (SW1-3)
31	HIZPARITY (SW1-2)	32	- (SW1-4)
33	GND	34	+5V
35	-	36	GND
37	GND	38	TCLOCK
39	+3.3V	40	+3.3V

J2 ピン配置表

3.13. DRAM-SIMM ソケット

2つの DRAM-SIMM ソケットには、標準で 4M バイトの SIMM が実装されています。このソケットには 4M,8M,16M バイトの 72 ピン SIMM(いわゆる DOS/V 機用と言われるもの)が実装できますので、DRAM の容量の増設が可能です。

また、実装されている SIMM の容量は PIO ポートから読み出すことができます(「5.2.2.PIO (uPD71055)」参照)。

3.14. ROM ソケット

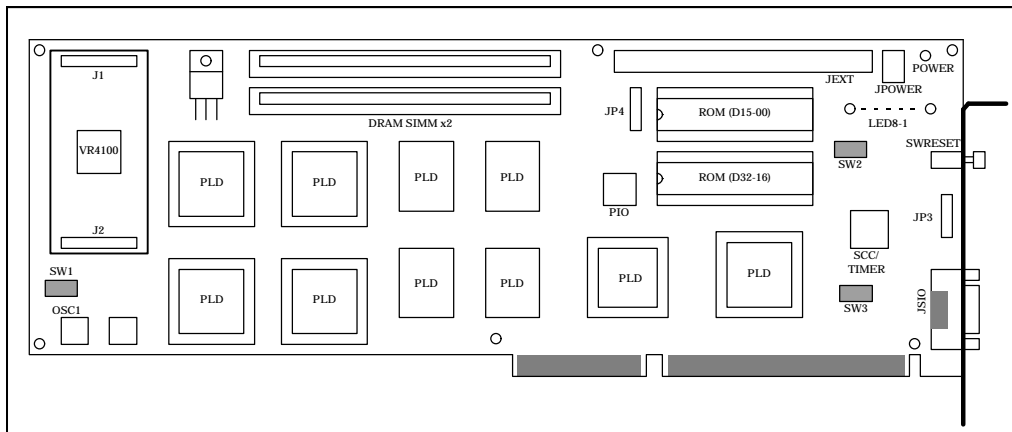
ROM ソケットには、標準で 128K バイト(64K×16 ビット)の 40 ピン ROM が 2 つ実装されています。アクセス・タイムが 150ns 以下のものをご使用ください。ROM は、エンディアンや動作モードのスイッチ切り替えにより 4 つのバンクを持たせることができます。バンクの設定に関しては、「3.9. ROMSEL ジャンパ (JP4)」を参照してください。

4. インストールと使用方法

ボードのインストールは、PC/AT 互換機（以下 PC）の ISA バス・スロットに組み込んで使用することを想定していますが、外部電源を用意して単体で使用することもできます。また、動作確認のテストや Multi デバッガを使用する場合には、PC に通信用のソフトウェア（RTE for Windows）をインストールする必要があります。ソフトウェアのインストールとテストについては、「RTE for Windows インストール・マニュアル」を参照してください。

4.1. ボードの設定

ボードには、いくつかの設定用ディップ・スイッチが設けられています。スイッチの箇所を図に示します。



ボードのスイッチ

SW1 は、CPU の動作モードでエンディアンや内部クロックを設定します。

SW1 番号	機能
1	ON: BIGENDIAN = 0 (Low) リトル・エンディアン OFF: BIGENDIAN = 1 (High) (デフォルト) ビッグ・エンディアン
2	ON: HIZPARITY = 0 (Low) OFF: HIZPARITY = 1 (High) (デフォルト)
3	ON: DIV2- = 0 (Low) OFF: DIV2- = 1 (High) (デフォルト)
4, 5, 6, 7	未使用 (OFF 固定)
8	ON: 64Bit モニタ OFF: 32Bit モニタ (デフォルト)

SW1 設定

SW2 は、汎用の入力ポートのスイッチです。実装されている ROM の Multi モニタでは、RS-232C のボーレートとプロファイラのタイマ周期の設定と、VR4100 のデータ・レートなどの設定に使用しています。

SW2 番号	1	2	ボーレート
設定	ON	ON	未使用
	OFF	ON	38400 baud
	ON	OFF	19200 baud
	OFF	OFF	9600 baud (出荷時の設定)

ボーレートの設定

SW2 番号	3	4	プロファイラ周期
設定	ON	ON	タイマ割り込みを使用しない
	OFF	ON	200 Hz 5ms
	ON	OFF	100 Hz 10ms
	OFF	OFF	60 Hz 16.67ms (出荷時の設定)

プロファイラ周期の設定

SW2 番号	5	6	データ・レート
設定	ON	ON	Dxxx
	OFF	ON	Dxx
	ON	OFF	Dx
	OFF	OFF	D (出荷時の設定)

データ・レートの設定

SW2 番号	7	Config AD ビット
設定	ON	AD = 1 (Fast mode)
	OFF	AD = 0 (Compat) (出荷時の設定)

Config AD ビットの設定

SW2-8 は、Multi モニタでは使用していません (常時 OFF)。

SW3 は、ISA バスの I/O アドレス選択のスイッチです。スイッチの番号 1 ~ 8 が ISA バスのアドレス A4 ~ A11 に対応しています (A12 ~ A15 は 0 固定)。したがって、I/O アドレスとして 000xH ~ 0FFxH が選択できます。なおスイッチは、OFF で "1"、ON で "0" の値となります。一般的には、20xH ~ 3FxH の間で設定します。

SW3 番号	1	2	3	4	5	6	7	8	I/O アドレス
アドレス	A4	A5	A6	A7	A8	A9	A10	A11	
ON/ OFF	0	0	0	0	0	1	0	0	020xH (出荷時の設定)

SW3 ISA-I/O アドレスの対応

【注意】ISA バスの I/O アドレスは、使用する PC のマニュアルや他にインストールされているアダプタ・ボードのマニュアルを参照して、空いているアドレスに割り当ててください。

4.2. ISA バスに実装する場合

ボードを PC の ISA バス・スロットに実装すると、ISA バスからボードへ電源 (+5V) が供給されます。また、デバッガとの通信に ISA バス経由が使用できるため、プログラムの高速ダウンロードなどが実現できます。

ISA バス・スロットへの実装は、以下の手順となります。

ボード上のディップ・スイッチにより、PC の I/O アドレスを設定します。I/O アドレスは他の I/O と重ならないように注意してください。スイッチの設定については「4.1. ボードの設定」を参照ください。

PC の電源を切って筐体をあけ、ボードを実装する ISA バス・スロットを確認します。実装するスロットにリアパネルが付いている場合は、そのリアパネルを外します。

ボードを ISA バス・スロットに差し込み、ボードが隣接の他のボードなどと接触していないかを確認し、ボードに付いているリアパネルを PC の筐体にネジで固定します。

PC の電源を入れ、ボードの POWER-LED が点灯することを確認します。**LED が点灯しない場合は、すぐに PC の電源を切り接続を確認してください。**システムが正常に立ち上がらない (デバイス・ドライバの組み込みでエラーが発生するなど) 場合は、設定した I/O アドレスが他の I/O と重なっている可能性があります。PC のマニュアルや他に実装されているボードのマニュアルなどを参照して、ボードの I/O アドレスを再確認してください。システムが正常と判断できたら、再度 PC の電源を切ってから筐体を元に戻します。

4.3. ボード単体で使用する場合

PC に組み込まず、ボード単体で使用する場合は、外部からの電源供給が必要となります。また、デバッガとの通信も RS-232C 経由のみとなります。PC/AT 互換機以外のホスト・デバッガを使用する場合や、ハードウェアの確認や拡張を目的とする場合に便利です。

ボードを単体で使用する場合は以下の通りです。

ホストと接続するための RS-232C ケーブルと、電源供給のための外部電源 (+5V 2.5A) を用意してください。特に電源については、電圧とコネクタの極性に注意してください。また、ボードの 4 隅にスペーサを取り付けるなど、設置場所にも問題がないようにしてください。RS-232C ケーブルの結線は「3.10. シリアル・コネクタ (JSIO)」、電源コネクタについては、「3.2. 電源コネクタ」を参照してください。

ボード上のディップ・スイッチで、RS-232C のボーレートを設定します。スイッチの設定については「4.1. ボードの設定」を参照ください。

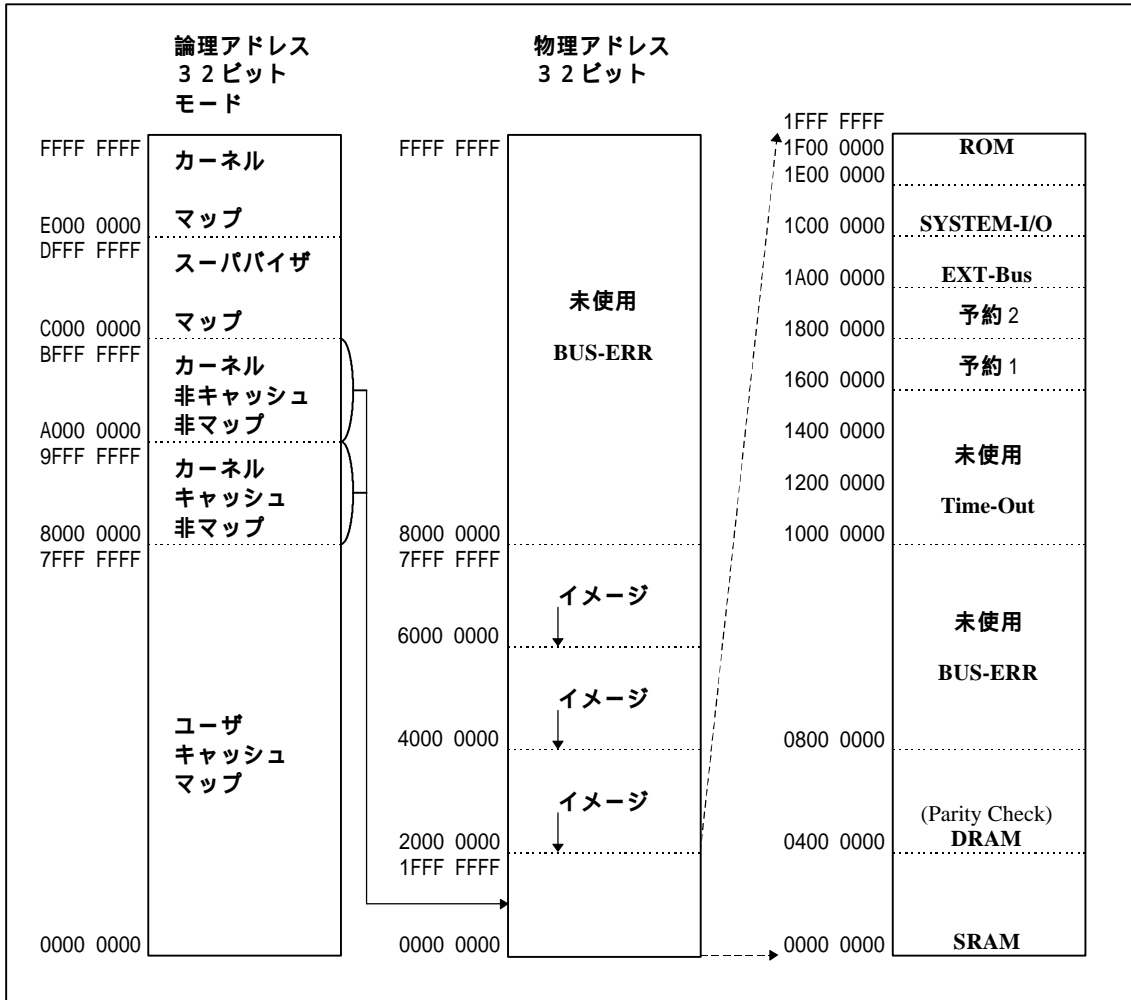
ホストと RS-232C ケーブルで接続して、JPOWER コネクタに電源を接続し、ボードの POWER-LED が点灯することを確認します。**LED が点灯しない場合は、すぐに電源を切り接続を確認してください。**

5. ハードウェア・リファレンス

ここでは、RTE-VR4100-PC ボードのハードウェアについて記述します。

5.1. メモリ・マップ

ボードのメモリ割り付けは、以下の通りです。



メモリ・マップ

VR4100にはメモリ管理機構があり、論理アドレスから物理アドレスの変換が行われます。Multi モニタを使用してプログラム実行する場合には、TLB マップを使用しないカーネル空間 8000-0000H ~ BFFF-FFFFH で行ないます。キャッシュを使用する場合には 8000-0000H，使用しない場合には A000-0000H を、物理アドレスに加算して論理アドレスを決定します。

未使用 BUS-ERR (0800-0000H ~ 0FFF-FFFFH, 8000-0000H ~ FFFF-FFFFH)

この空間をアクセスするとバス・エラーが発生します。

未使用 TIME-OUT (1000-0000H ~ 15FF-FFFFH)

この空間をアクセスするとタイムアウト (約 8μs) 割り込みが発生します。

予約空間1 (1600-0000H ~ 17FF-FFFFH)**予約空間2 (1800-0000H ~ 19FF-FFFFH)**

これらの空間は、将来使用を予定していますので、アクセスを行なわないでください。

SRAM 空間 (0000-0000H ~ 0007-FFFFH)

ボード上に実装された SRAM で 512K バイトの容量があります。SRAM は 0wait でアクセスできます。キャッシュ / 非キャッシュ空間でアクセスできます。

DRAM 空間 (0400-0000H ~ 07FF-FFFFH)

ボードに実装する 72 ピンの SIMM の空間です。標準では 4M バイトの SIMM が実装されていますので 8M バイトの容量があります。8M や 16M バイトの SIMM に交換してメモリを拡張できます。キャッシュ / 非キャッシュ空間でアクセスできます。

また、この空間は、パリティ・チェックが有効となります。パリティを使用する場合には、SIMM をパリティ付きのものとして、SW1-2 でパリティを有効にしてください。

EXT-BUS (1A00-0000H ~ 1AFF-FFFFH)

ボード上の JEXT コネクタに接続するハードウェア拡張ボードのための空間です。EXT-BUS についての詳細は「5.6. EXT-BUS 仕様」を参照してください。非キャッシュ空間でハーフ・ワード (16 ビット) でのアクセスのみ保証されます。

SYSTEM-I/O (1C00-0000H ~ 1CFF-FFFFH)

ボード上の各機能を制御するための I/O デバイスが割り付けられている空間です。これは、メモリ・マップド I/O となっています。詳細については「5.2. SYSTEM-I/O」を参照してください。非キャッシュ空間でアクセスします。

ROM (1F00-0000H ~ 1FFF-FFFFH)

ボード上に実装された ROM で 256K バイトの空間があります。アクセス・タイムが 150ns 以下の ROM を使用します。キャッシュ / 非キャッシュ空間でアクセスできます。

実装されている ROM には、標準で Multi 用のモニタが組み込まれています。

5.2. SYSTEM-I/O

SYSTEM-I/O は、メモリ空間にマップされた I/O デバイスで UART/TIMER, PIO, ISA バス・インターフェースなどがあります。

SYSTEM-I/O 空間はカーネル非キャッシュ空間でのアクセスを前提としているため、説明では論理アドレスを用います。また、データ・バスとして D[7..0]と接続されていますので、バイト・アクセス時にはエンディアンを考慮する必要があります。ビッグ・エンディアンでバイトアクセスする場合には、バイト・オフセットとして 3 が加算されます。

論理アドレス	I/O デバイス
BC00-00xxH	UART/TIMER (SCC2691)
BC00-01xxH	PIO (uPD71055)
BC00-02xxH	LED/SWITCH
BC00-03xxH	ISA-BUS I/F

SYSTEM-I/O デバイス・マップ

ISA バス・インターフェースについては、基本的に専用モニタ・プログラムで使用するため、説明を省略します (ユーザ・プログラムからのアクセスは禁止)。

5.2.1. UART/TIMER(SCC2691)

UART/TIMERとしてPHILIPS Signetics製のSCC2691UARTレシーバ/トランスミッタLSIを使用しています。SCC2691は受信部に3キャラクタ分のバッファを内蔵しているため、受信時のオーバーラン・エラーの可能性を最小限に押さえられます。また、X1,X2端子には3.6864MHzが接続されており、SCC2691内の16ビット・カウンタを使用することにより、約271nS～17.8mSまで測定できます。

SCC2691の各レジスタは、表のように割り付けられています。各レジスタの機能については、SCC2691のマニュアルを参照ください。

論理アドレス	読み出し	書き込み
BC00-0000H	MR1,MR2	MR1,MR2
BC00-0008H	SR	CSR
BC00-0010H	Reserved	CR
BC00-0018H	RHR	THR
BC00-0020H	Reserved	ACR
BC00-0028H	ISR	IMR
BC00-0030H	CTU	CTUR
BC00-0038H	(CTL)	CTLR

SCC2691 レジスタ・マップ

汎用出力端子(MPO)はRTS(RS)として、汎用入力端子(MPI)はCTS(CS)として使用しています。なおDTR(DR),DSR(ER)はPIOによって制御されていますので、「5.2.2.PIO(uPD71055)」を参照してください。

5.2.2. PIO (uPD71055)

PIOはNEC製のuPD71055が実装されています。uPD71055はIntel製のi8255と互換であり、3つのパラレル・ポートを持っています。このポートにより、各種の制御を行なっています。PIOの各レジスタは、表の通りに割りあてられています。

論理アドレス	読み出し	書き込み
BC00-0100H	PORT0	PORT0
BC00-0108H	PORT1	PORT1
BC00-0110H	PORT2	PORT2
BC00-0118H	-----	CMD REG

PIOのレジスタ・マップ

PIOはリセット時に全てのポートが入力になるため、出力として使用しているビットの信号状態はプルアップ抵抗によりHighレベルになっています。各ポートのビットの使用状況を表に示します。

ポート	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PORT0	Out							
			Lwid[1]	Lwid[0]	1 (固定)	1 (固定)	1 (固定)	1 (固定)
PORT1	Out							
	-	-	Swait[1]	Swait[0]	NOILV	NOHIT	Dwid[1]	Dwid[0]
PORT2	In				Out			
	PD2	PD1	TOVF-	DSR-	DTR-	IRQ MASK	TOVF CLR-	1 (固定)
CMD (Init)	1	0	0	0	1	0	0	0

PIO ビット・マップ

以下に各ビットの意味について説明します。

Lwid[1..0] : ローカルバス・アクセスの最少サイクル数を設定します。サイクル数は、TCLOCKを1/2分周したLBCLKを基準とします。タイミングは、「5.3.3. ローカルバス・アクセス」を参照してください。

Lwid[1]	Lwid[0]	サイクル数
0	0	4
0	1	1
1	0	2
1	1	3

Lwid[1..0]の設定

Swait[1..0] : SRAM リード・サイクルでのウェイト数を設定します。タイミングは、「5.3.1. SRAM アクセス」を参照してください。

Swait[1]	Swait[0]	ウェイト数
0	0	0
0	1	1
1	0	2
1	1	3

Swait[1..0]の設定

Dwid[1..0] : DRAM アクセス・サイクルでのRAS/CAS幅を設定します。タイミングは、「5.3.2. DRAM アクセス」を参照してください。

Dwid[1]	Dwid[0]	RAS プリチャージ	RAS (Min) アクティブ	CAS (Read) アクティブ	CAS (Write) アクティブ
0	0	2	3	1	1
0	1	3	4	2	1
1	0	4	5	3	2
1	1	5	6	4	3

Dwid[1..0]の設定

NOILV : DRAM アクセスでのインターリーブ・モードを設定します。0 でインターリーブ有効となり、1 で禁止です。

NOHIT : DRAM アクセスでのページ・ヒット使用を設定します。0 でページ・ヒットを有効にし、1 で禁止します。

TOVF- : ローカルバス・サイクルが $8\mu\text{s}$ 以上となり、タイムアウトが発生すると 0 になります。フラグをクリア(1)するには、PORT2 の Bit1(TOVFCLR-)を使います。

TOVFCLR- : PORT2 の Bit5 にある TOVF-をクリア(1)するための制御ビットです。初期化時と通常は 1 に設定してください。TOVF-をクリアする時のみ、0 として 1 に戻します。

IRQMASK : CPU への割り込み (INT0~2) のマスクを制御するビットです。1 に設定するとはゲートにより割り込みがマスクされます。初期化時は 1 として、割り込みを受けられる状態になったら 0 に設定します。

DTR- : JSIO コネクタから出力されている DTR 信号を制御するビットです。このビットの設定状態が反転され RS232C レベルに変換されて JSIO コネクタから出力されます。

DSR- : JSIO コネクタから入力される DSR 信号の状態を示すビットです。このビットの状態は JSIO コネクタの DSR 信号の状態が反転したものです。

PD[2..1] : ボードに実装されている DRAM (72 ピン SIMM) の PD[2..1]が読みとれます。このビットの状態によって、実装されている DRAM のサイズを確認できます。PD[2..1]と DRAM の容量の関係を表に示します。

PD[2]	PD[1]	DRAM の容量
0	0	4M バイト
0	1	予約
1	0	16M バイト
1	1	8M バイト

PD[2..1]と DRAM の容量

5.2.3. SWITCH / LED (汎用入/出力) ポート

SWITCH/LED ポートは、ボード上に設けられた 8 ビットの入出力ポートです。ディップ・スイッチ (SW2-CONFIG) の読みだしと LED (LED[8..1]) の点灯を行ないます。

論理アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	機能
BC00-0200H 入力	SW2- 8	SW2- 7	SW2- 6	SW2- 5	SW2- 4	SW2- 3	SW2- 2	SW2- 1	0=ON 1=OFF
BC00-0200H 出力	LED- 8	LED- 7	LED- 6	LED- 5	LED- 4	LED- 3	LED- 2	LED- 1	0=点灯 1=消灯

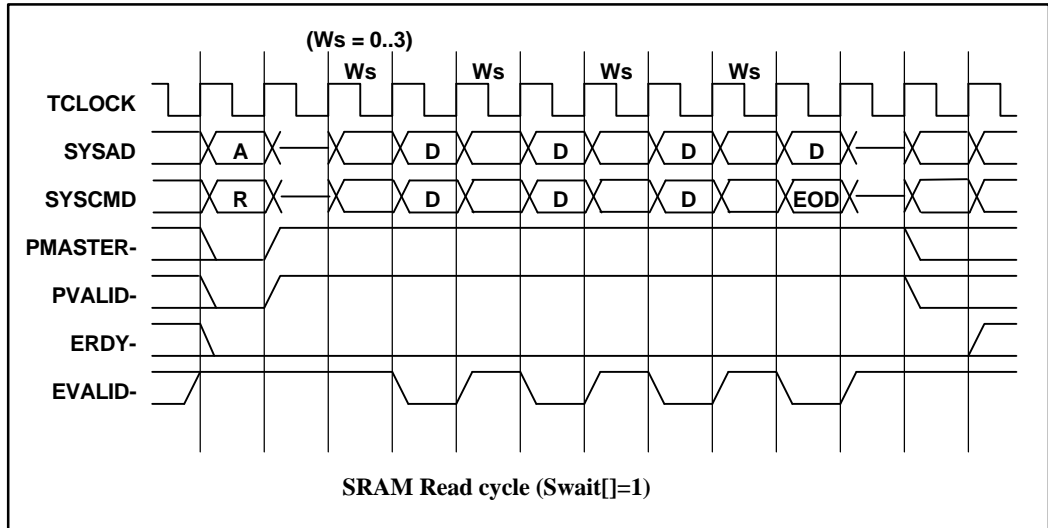
SWITCH/LED ポート ビット・マップ

5.3. バス・サイクル

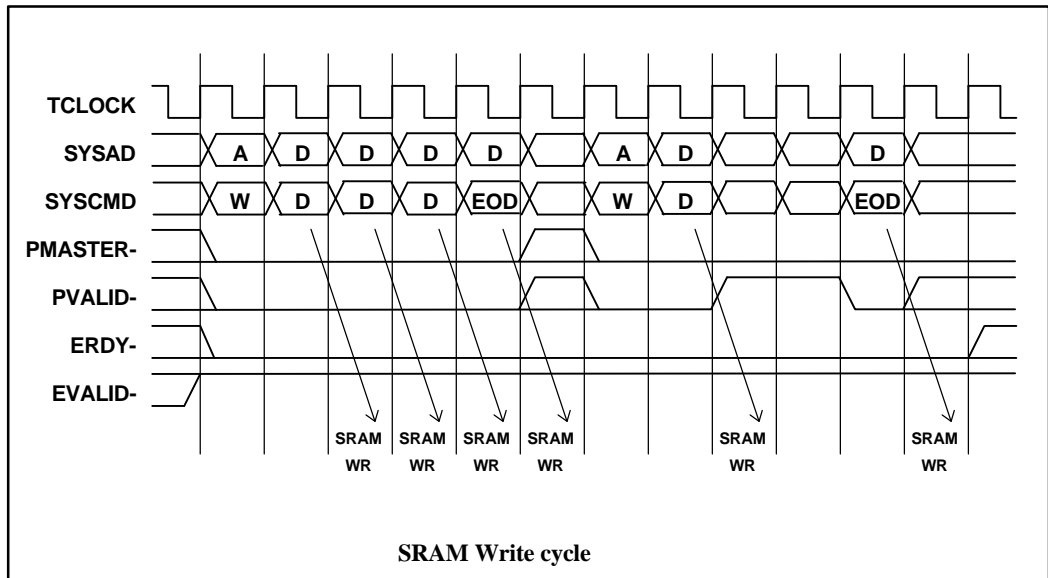
RTE-VR4100-PC では、SRAM, DRAM, ROM, I/O などの各デバイスに合わせてバス・サイクルを制御しています。ここでは、各アクセス・サイクルのタイミングについて説明します。

5.3.1. SRAM アクセス

SRAM は、PIO の設定により 0~3 ウェイトのアクセスとなります(「5.2.2. PIO (uPD71055)」参照)。ただし、ウェイトはリード・サイクルのみ有効です。



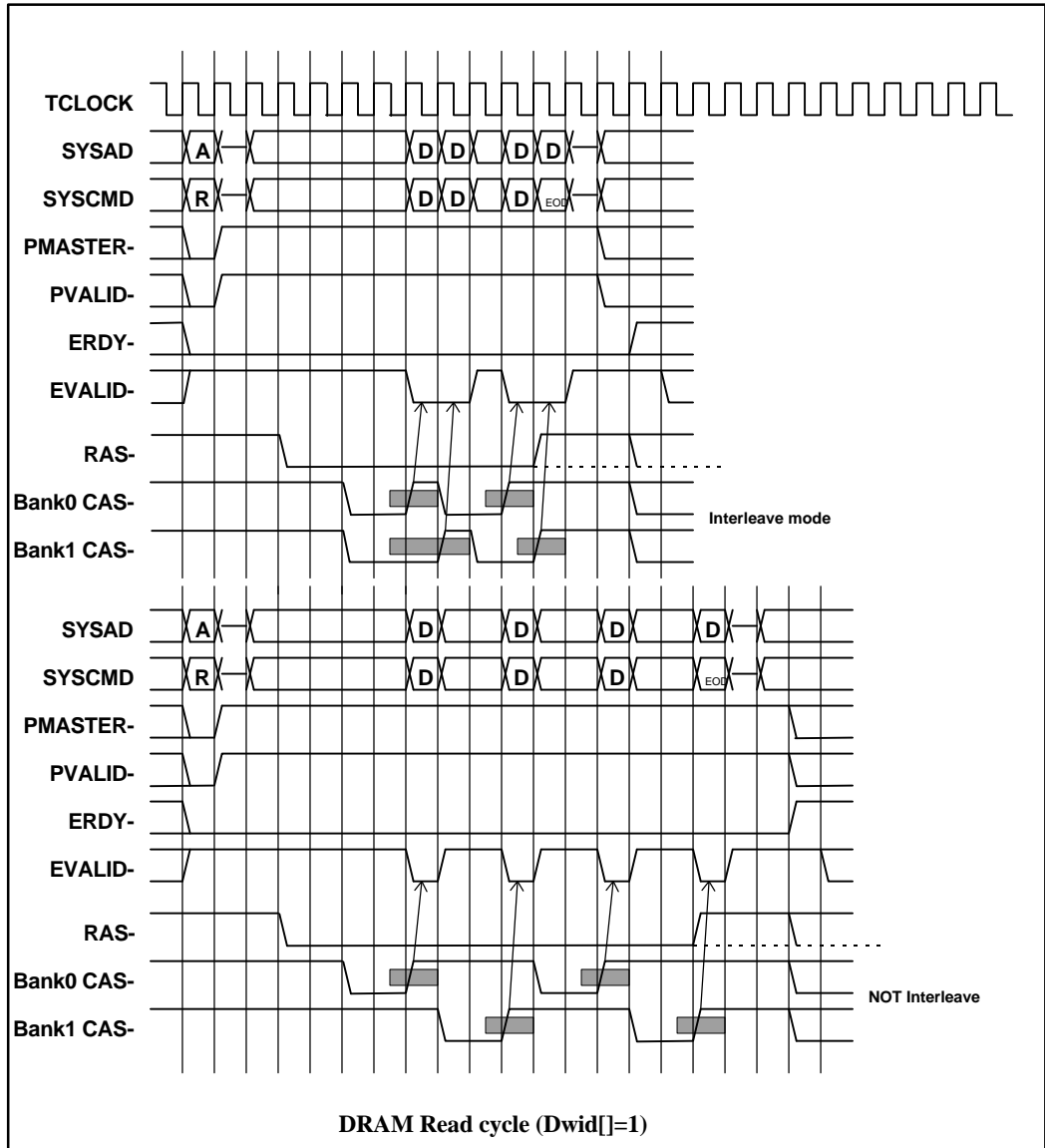
ライト・サイクルは、常に CPU のデータ・レートの設定により、ラッチ後のデータを SRAM に書き込みます。



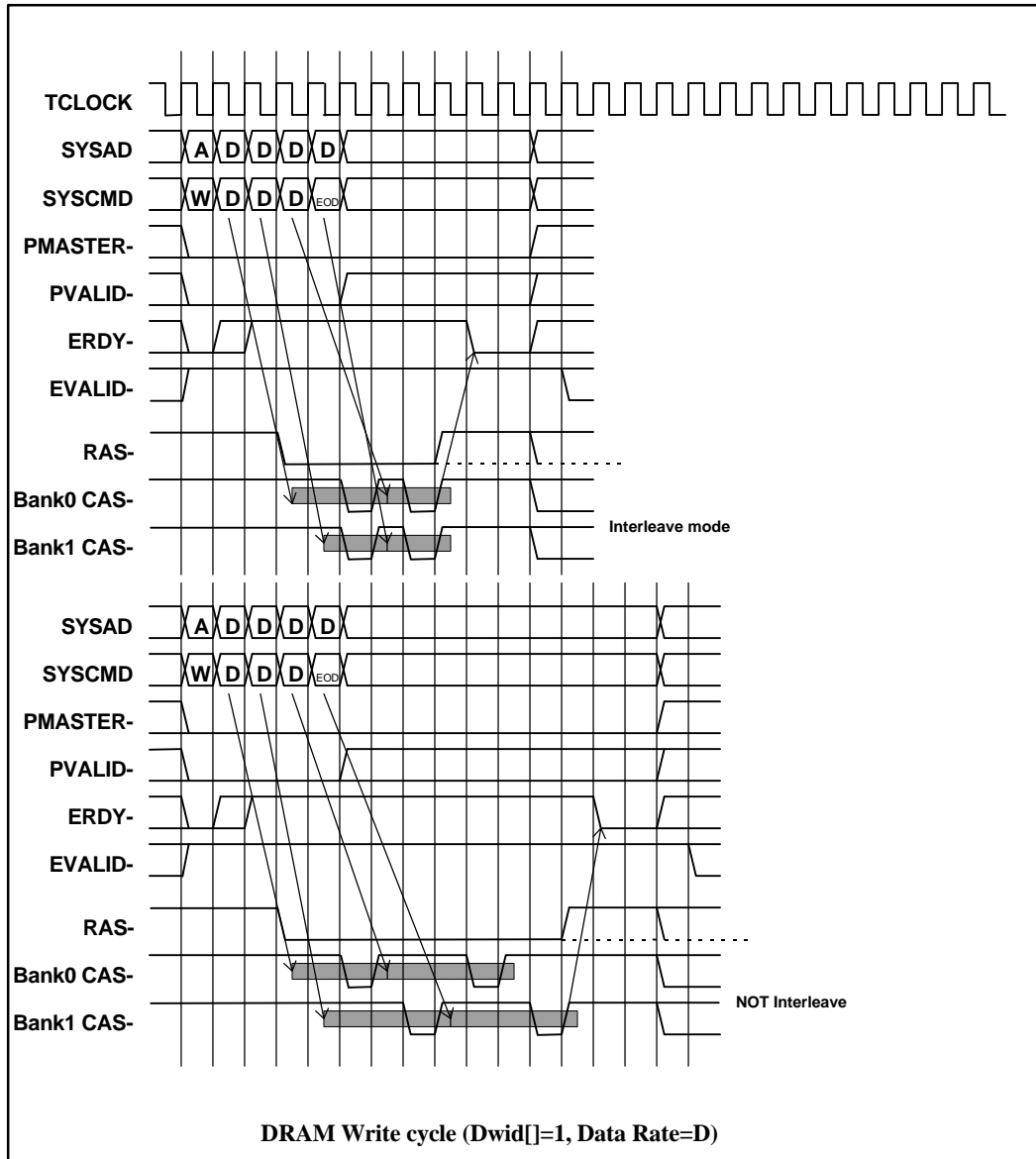
5.3.2. DRAM アクセス

DRAM は、PIO の設定により RAS/CAS 幅とインターリーブ/ページヒットの制御ができます (「5.2.2. PIO (uPD71055)」参照)

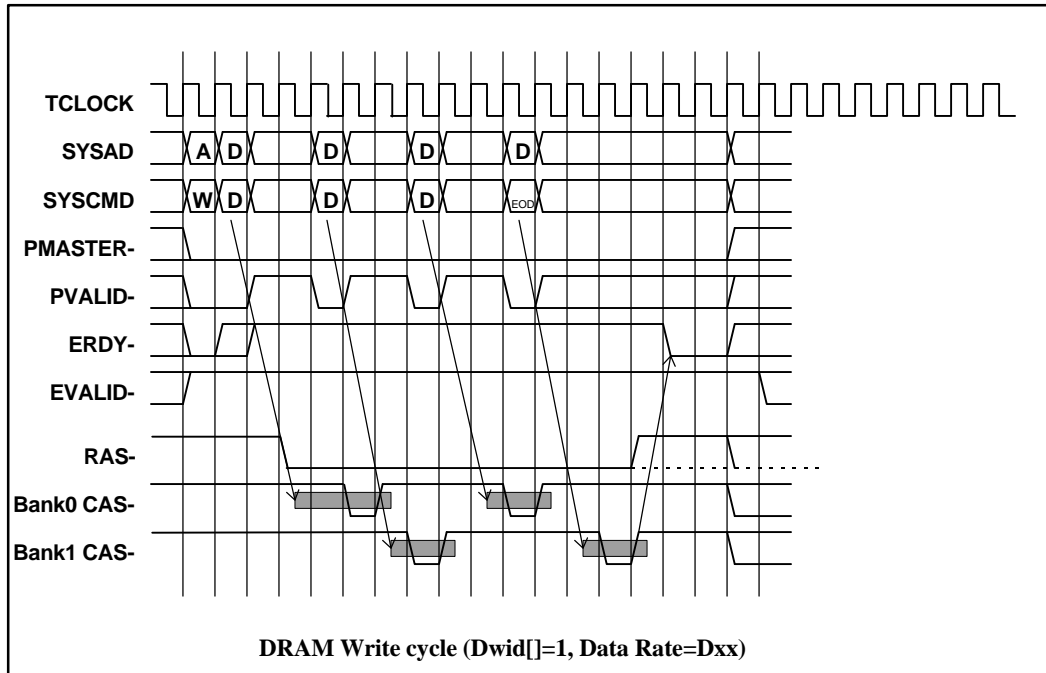
リード・サイクルでは、CAS の立ち上がりでデータをラッチし、その次のサイクルで EVALID- を返します。



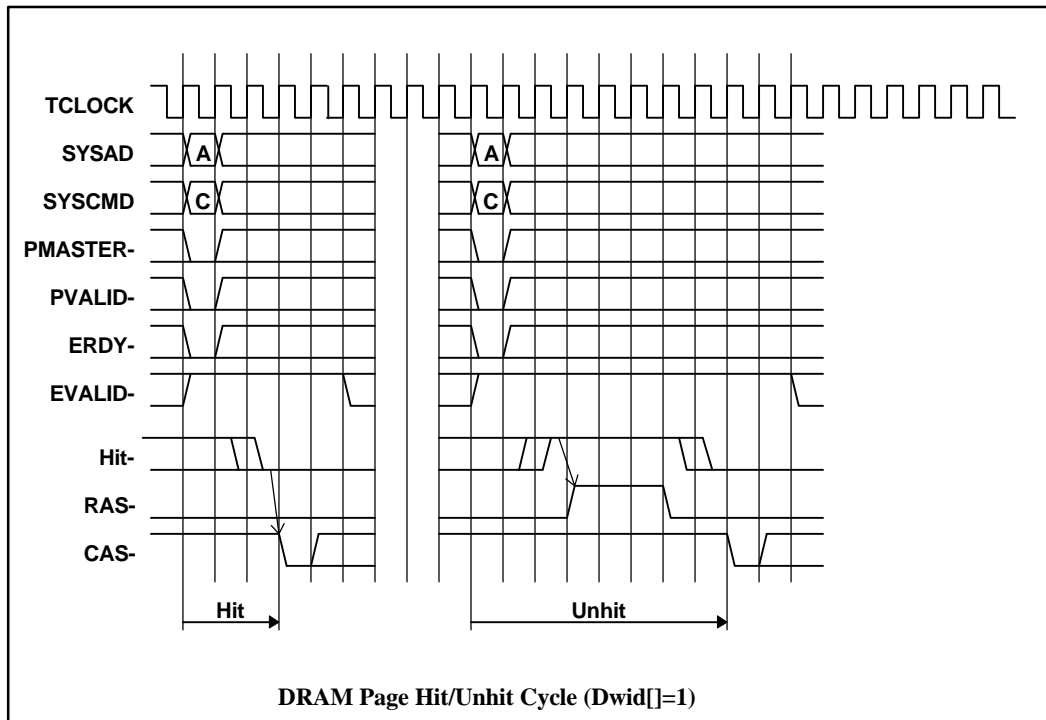
ライト・サイクルでは、ERDY-をネガティブにし、CPUからのライト・データをレジスタに保存しDRAMへライトします。すべてのデータをライト後、ERDY-をアクティブに戻します。



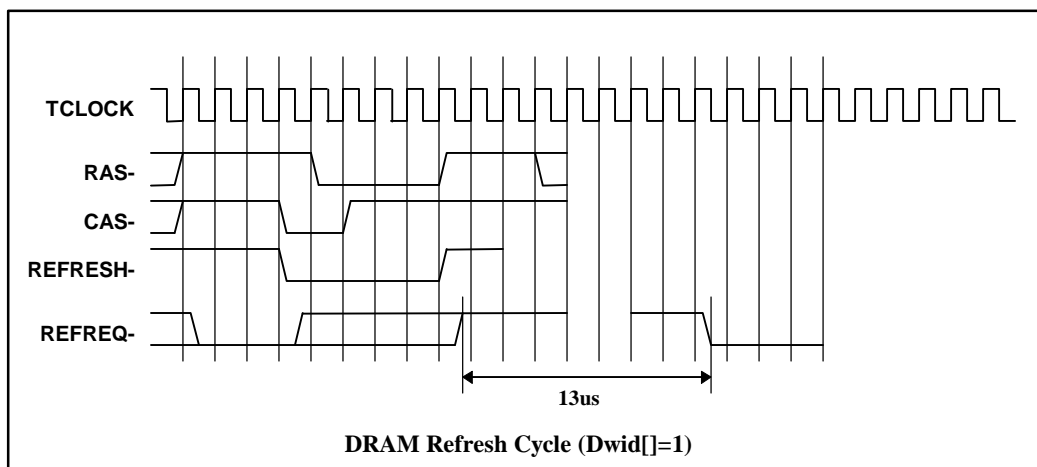
ライト・サイクルでデータ・レートがD以外の場合 (Dxx など) には、CAS が待たされることがあります。



ページヒット使用時には、DRAM アクセス後に RAS をホールドし、次のアクセスでロウ・アドレスが一致した場合 (Hit) は、すぐに CAS サイクルが実行されるため、アクセス・サイクル数が減少します。しかし、不一致の場合 (Unhit) には、RAS プリチャージを行った後、通常の RAS/CAS サイクルでのアクセスとなるため、オーバーヘッドが多くなります。



DRAM のリフレッシュ・サイクルは、約 13 μ 秒ごとに、CAS ビフォア RAS リフレッシュを行ないます。

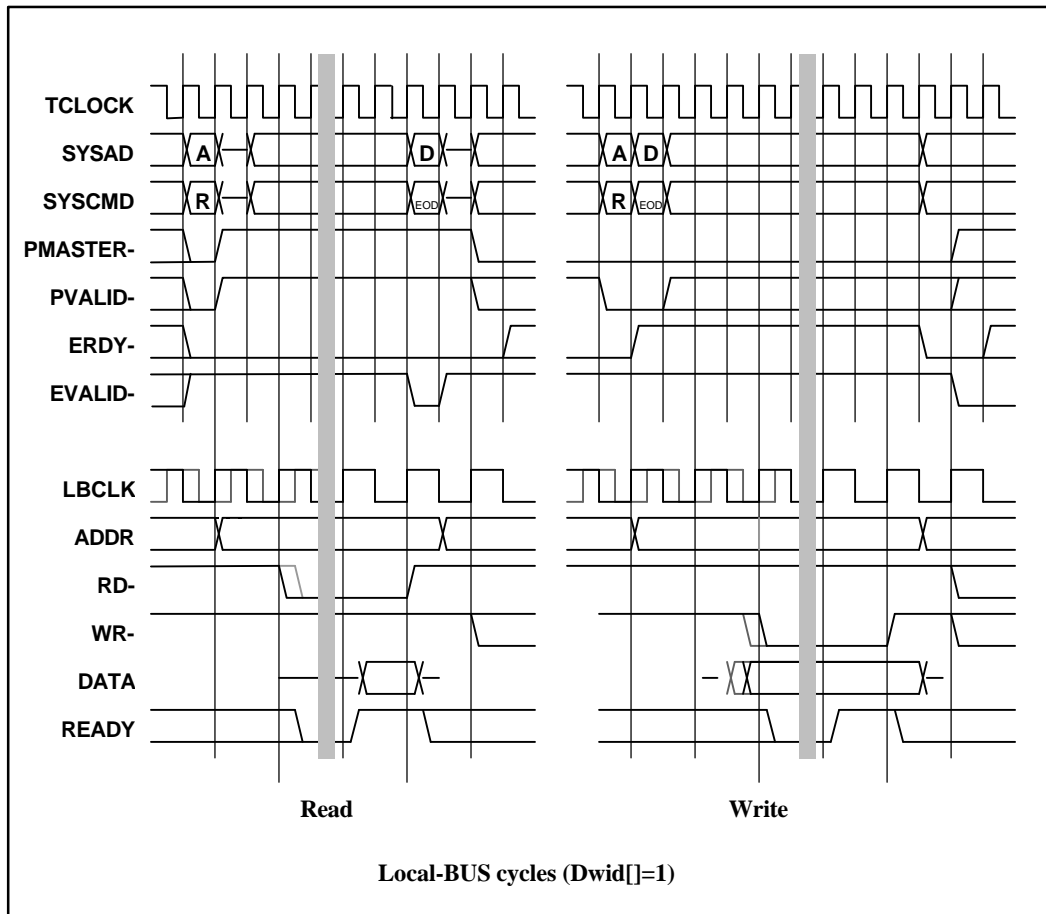


5.3.3. ローカルバス・アクセス

ローカル・バスは、CPU が出力する TCLOCK の 1/2 クロックをバス・クロックとし、ROM, I/O, EXT-BUS のアクセスで使用されます。PIO の設定により、サイクルの最少クロック数が設定できます (「5.2.2. PIO (uPD71055)」参照)。

リード・サイクルでは、RD-の立ち上がりでデータをラッチして、その次のサイクルで EVALID-を返します。

ライト・サイクルでは、ERDY-をネガティブにし、CPU のライト・データをレジスタに保存して、ローカルバスへのライトを実行します。すべてのデータをライト後、ERDY-をアクティブに戻します。



* LBCLK,RD-,WR-の薄線は、TCLOCK と LBCLK の同期関係によるタイミングのズレを示す。

バス・サイクル数は、下表の通りです。

ローカルバス・デバイス	バス・サイクル数 (LBCLK)
ROM	4
SYSTEM-I/O	5
EXT-BUS	(READY による)
TIMEOUT	256

ローカルバス・サイクル数

5.4. リセット

CPU へのリセットは下記に示した要因で発生します。これは CPU のコールド・リセットと共に、ボード制御回路のシステム・リセットとなります。

- **パワーオン・リセット**: ボードの電源 ON 時に発生します。
- **JP3(ROMEM)-1**: JP3 の RESET-端子からの入力です (「3.8. ROMEMU ジャンパ (JP3)」を参照)。
- **リセット・スイッチ**: ボードのリアパネル部分に用意されているリセット・スイッチ (SWRESET)により発生します。
- **ホストからのリセット**: ISA バス経由でホスト PC からの要求により発生します。

5.5. 割り込み

CPU 外部からの割り込み要因は、以下の通りです。

割り込み	要因
NMI-	JP3-3
INT0-	JP3-2, SCC2691 (シリアル/タイマ), ISA 通信, TIMEOVER
INT1-	JP3-4
INT2-	JP3-6, EXT-BUS (INT-)
INT3-	JP3-8
INT4-	JP3-10

外部割り込み一覧

また、割り込みの中で INT0 はハード的にマスクすることができます。マスク方法については、「5.2.2.PI0 (uPD71055)」の IRQMASK に関する記述を参照してください。

INT0 割り込みが発生した場合は、下記の手順で処理します。

PIO の IRQMASK に 1 を設定して、割り込みをハード的にマスクする。

INT の要求元 (SCC2691 の ISR、PIO の TOVF-など) を検査する。

要求元のための割り込み処理を行ない、その要求をクリアする。

PIO の IRQMASK に 0 を設定して、割り込みマスクを解除する。

割り込み処理から復帰する。

5.6. EXT-BUS 仕様

EXT-BUS は、メモリや I/O などを拡張できるように用意されたバスです。JEXT コネクタには、本ボードの内部のローカル・バスが接続されています。

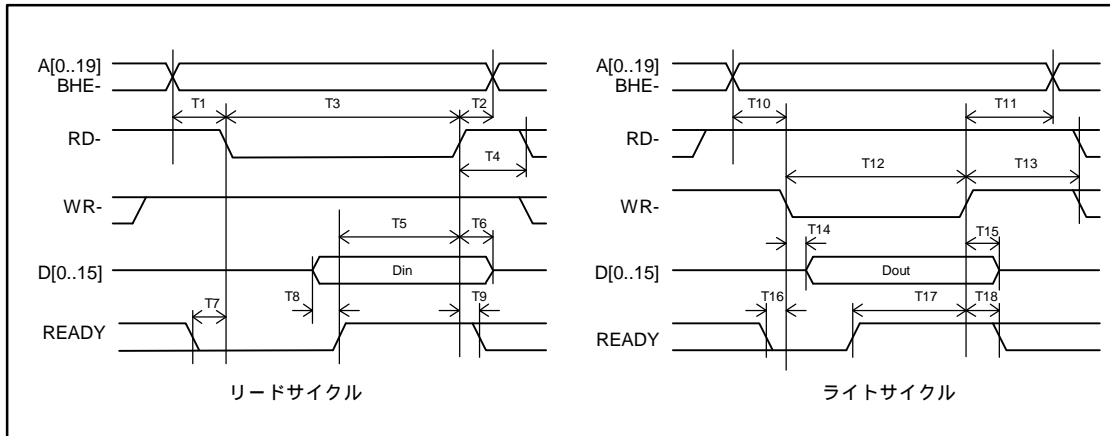
以下に JEXT コネクタのピン配置、信号およびタイミングを示します。

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+5V	2	+5V	31	GND	32	GND
3	D0	4	D1	33	A8	34	A9
5	D2	6	D3	35	A10	36	A11
7	D4	8	D5	37	A12	38	A13
9	D6	10	D7	39	A14	40	A15
11	GND	12	GND	41	+5V	42	+5V
13	D8	14	D9	43	A16	44	A17
15	D10	16	D11	45	A18	46	A19
17	D12	18	D13	47	BHE-	48	GND
19	D14	20	D15	49	GND	50	RD-
21	+5V	22	+5V	51	WR-	52	RESET-
23	A0	24	A1	53	GND	54	GND
25	A2	26	A3	55	READY	56	INT-
27	A4	28	A5	57	GND	58	GND
29	A6	30	A7	59	LBCLK	60	GND

JEXT コネクタピン配置

信号名	入出力	機能
+5V	-	電源 +5V
GND	-	グランド
A[0..19]	出力	アドレス・バス信号
BHE-	出力	バイトハイ・イネーブル信号。D[8..15]が有効な場合にアクティブ
D[0..15]	入出力	データ・バス信号。CPU のデータ・バス信号をバッファして接続。また、ボード上で 47K プルアップ
RD-	出力	リード・サイクルのタイミング信号。EXT-BUS 空間のアクセス時のみ、アクティブになる。
WR-	出力	ライト・サイクルのタイミング信号。EXT-BUS 空間のアクセス時のみ、アクティブになる
READY	入力	サイクルの終了を通知する信号。EXT-BUS 空間のみで有効。確実に CPU に READY を認識させるためには、RD-もしくは WR-がインアクティブになるまで READY をアクティブに保つことが必要。また、ボード上で 10K プルアップ
INT-	入力	Low アクティブの割り込み要求信号。バッファ後 CPU の INT2-端子に接続されている。また、ボード上で 10K プルアップ
RESET-	出力	Low アクティブのシステム・リセット信号
LBCLK	出力	クロック信号。VR4100 の TCLOCK の 1/2 分周クロック

JEXT コネクタ信号



EXT-BUS バス・サイクル

記号	内容	MIN(ns)	MAX(ns)
T1	RD アドレス セットアップ時間	0	
T2	RD アドレス ホールド時間	0	
T3	RD サイクル時間	50	
T4	RD サイクル間隔	20	
T5	RD データ セットアップ時間	15	
T6	RD データ ホールド時間	0	
T7	RD READY WAIT セットアップ時間	0	
T8	RD READY セットアップ時間	0	
T9	RD READY ホールド時間	0	
T10	WR アドレス セットアップ時間	0	
T11	WR アドレス ホールド時間	20	
T12	WR サイクル時間	50	
T13	WR サイクル間隔	20	
T14	WR データ 遅延時間		20
T15	WR データ ホールド時間	20	
T16	WR READY WAIT セットアップ時間	0	
T17	WR READY セットアップ時間	0	
T18	WR READY ホールド時間	0	

EXT-BUS AC スペック

6. Multi モニタ

ボードに実装されている ROM には、Multi 用のモニタが組み込まれています。ホストの Multi サーバと接続して使用する場合の注意点について説明します。

6.1. モニタ・ワーク RAM

モニタでは、SRAM の先頭から 10000H(64KB)をワーク用の RAM として使用しています。すなわち、論理アドレス 8000-0000H ~ 8000-FFFFH , A000-0000H ~ A000-FFFFH はユーザ・プログラムでは使用できません。

6.2. 割り込み

現在 Multi モニタを使用して、ユーザ・プログラムで割り込み処理はできません。

6.3. _INIT_SP の設定

モニタで_INIT_SP (スタック・ポインタの初期値) は、8007-FFFCH (SRAM の最上位) に設定されています (Multi の環境で_INIT_SP を変更することもできます)。

6.4. リモート接続

Multi のサーバとの接続は、シリアル接続と ISA バス接続が選択できますが、一度接続した方から他方に切り替える場合には、モニタをリセット (リアパネルのリセット・スイッチを押す) してから RTE for Windows のユーティリティ Check RTE で接続を変更してください。

7. RTE コマンド

Multi デバッガでモニタと MIDAS サーバ (RTESERV) と接続すると TARGET ウィンドウが開かれ、ここから RTE コマンドを発行することができます。表に RTE コマンドの一覧を示します。

コマンド名	内容
HELP, ?	ヘルプ表示
INIT	イニシャライズ
VER	バージョン表示

RTE コマンド一覧

各コマンドには、パラメータを必要とするものがあります。アドレスやデータなど、数値のパラメータは、全て 16 進数とみなされます。以下の数値指定は誤りです。

0x1234 1234H \$1234

7.1. HELP(?)

<書式> HELP [コマンド名]

HELP は、RTE コマンドの一覧や書式を表示します。また、” HELP” と入力するかわりに” ?”としても同様です。コマンド名を省略すると、使用できるコマンド一覧を表示します。

<例> HELP INIT

INIT コマンドのヘルプを表示します。

7.2. INIT

<書式> INIT

INIT は、RTE 環境の初期化を行ないます。通常、このコマンドを使用しないでください。

7.3. VER

<書式> VER

VER は、RTE 環境のバージョンを表示します。

7.4. CACHEFLUSH

<書式> CACHEFLUSH

CACHEFLUSH は、CPU のキャッシュ内容をフラッシュします。

7.5. SHOWTLB

<書式> SHOWTLB

SHOWTLB は、CPU の TLB 内容の一覧を表示します。

7.6. IOREAD

<書式> IOREAD [BYTE|SHORT|LONG] [アドレス]

IOREAD コマンドは、指定されたサイズでアドレスのメモリをリードし、そのデータを表示します。サイズは、BYTE, SHORT, LONG で、8, 16, 32 ビットを指定します。このコマンドは、メモリマップド I/O のアクセスに使用します。

<例> IOREAD BYTE BC000100
BC000100: 1A

7.7. IOWRITE

<書式> IOWRITE [BYTE|SHORT|LONG] [データ] [アドレス]

IOWRITE コマンドは、指定されたサイズでアドレスのメモリにデータを書き込みます。サイズは、BYTE, SHORT, LONG で、8, 16, 32 ビットを指定します。このコマンドは、メモリマップド I/O のアクセスに使用します。

<例> IOWRITE SHORT 30F0 BC00F000

8. 付録

8.1. スイッチ一覧

・SW1

SW1 番号	機能
1	ON: BIGENDIAN = 0 (Low) リトル・エンディアン OFF: BIGENDIAN = 1 (High) (デフォルト) ビッグ・エンディアン
2	ON: HIZPARITY = 0 (Low) OFF: HIZPARITY = 1 (High) (デフォルト)
3	ON: DIV2- = 0 (Low) OFF: DIV2- = 1 (High) (デフォルト)
4, 5, 6, 7	未使用 (OFF 固定)
8	ON: 64Bit モニタ OFF: 32Bit モニタ (デフォルト)

SW1 設定

・SW2

SW2 番号	1	2	ポーレート
設定	ON	ON	未使用
	OFF	ON	38400 baud
	ON	OFF	19200 baud
	OFF	OFF	9600 baud (出荷時の設定)

ポーレートの設定

SW2 番号	3	4	プロファイラ周期
設定	ON	ON	タイマ割り込みを使用しない
	OFF	ON	200 Hz 5ms
	ON	OFF	100 Hz 10ms
	OFF	OFF	60 Hz 16.67ms (出荷時の設定)

プロファイラ周期の設定

SW2 番号	5	6	データ・レート
設定	ON	ON	Dxxx
	OFF	ON	Dxx
	ON	OFF	Dx
	OFF	OFF	D (出荷時の設定)

データ・レートの設定

SW2 番号	7	Config AD ビット
設定	ON	AD = 1 (Fast mode)
	OFF	AD = 0 (Compat) (出荷時の設定)

Config AD ビットの設定

・SW3

SW3 番号	1	2	3	4	5	6	7	8	I/O アドレス
アドレス	A4	A5	A6	A7	A8	A9	A10	A11	
ON/ OFF	0	0	0	0	0	1	0	0	020xH (出荷時の設定)

ISA-I/O アドレスの対応

8.2. ジャンパー一覧

・JP3(ROMEMU)

JP3 ピン	機能	JP3 ピン	機能
1	RESET-入力 (Low アクティブ) 47K プルアップ	2	INT0-入力 (Low アクティブ) 47K プルアップ
3	NMI-入力 (Low アクティブ) 47K プルアップ	4	INT1-入力 (Low アクティブ) 47K プルアップ
5	未使用 (NC)	6	INT2-入力 (Low アクティブ) 47K プルアップ
7	未使用 (NC)	8	INT3-入力 (Low アクティブ) 47K プルアップ
9	未使用 (NC)	10	INT4-入力 (Low アクティブ) 47K プルアップ
11	GND	12	GND

JP3 機能

・JP4(ROMSEL)

ROM 種類	ピン接続 (バンクあり)	ピン接続 (バンクなし)
271024 (64Kx16Bit)	9-10, 11-12 (出荷時の設定)	1-2 3-4
272048 (128Kx16Bit)	-	1-2, 3-4, 5-6
274096 (256Kx16Bit)	-	1-2, 3-4, 5-6, 7-8

JP4 ピン接続

- Memo -

RTE-VR4100-PC ユーザズ・マニュアル

M643MNL04

作成 1996年10月15日 Rev1.0

改訂 1998年1月9日 Rev1.1

Midas lab