

RTE-1000-TP

ハードウェア・ユーザース・マニュアル

RealTimeEvaluator

■ ご注意

- 本書に関する著作権は株式会社マイダス・ラボが所有します。
- 本書は著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- 本製品は、万全の注意を持って作製されていますが、ご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いかねますのでご了承ください。
- 本マニュアルに記載されている事柄は、予告なく変更されることがあります。

■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

改訂履歴

Rev.1.0	2000-2-26	初版
---------	-----------	----

目次

1 . はじめに.....	4
2 . 主な特徴.....	5
3 . ハードウェア仕様.....	6
エミュレーション部.....	6
ホスト& I F 部.....	6
4 . システム構成.....	7
5 . 各部の名称と働き.....	8
6 . 設置手順.....	10
7 . ユーザシステムとの接続.....	11
N-WIREケーブルの接続.....	11
ROMプローブの接続.....	11
DIP-32-ROMプローブについて.....	11
8 . 電源投入 / 切断順序.....	12
電源投入順序.....	12
電源切断順序.....	12
9 . インターフェース仕様.....	13
基板レイアウト図.....	14
10 . EXTコネクタ.....	15
11 . ROMプローブの仕様.....	16
DIP-32-ROMプローブ.....	16
DIP-40-ROM用アダプタ.....	17
DIP-42-ROM用アダプタ.....	17
拡張16BIT-標準ROMプローブ.....	18
APPENDIX.A ROMプローブの外形寸法図.....	20
DIP-32ROMプローブ.....	20
拡張16BIT-標準ROMプローブ.....	20
DIP-40/42-ROM用アダプタ.....	21
APPENDIX.B 電気的条件.....	22
JTAG/N-WIRE インターフェース.....	22
ROMインターフェース.....	23
ROMタイミング特性：READサイクル.....	24

1. はじめに

RTE-1000-TPは、NEC製のデバッグ用の制御回路(DCU)を搭載したプロセッサ用のインサーキットエミュレータです。JTAG/N-Wireインターフェースを介した、プロセッサ・オンボード・デバッグ方式により、透過性の高いエミュレーション機能を提供します。

デバッガは、Windows95/98/NTの環境で動作するGHS社のMultiと自社製のPARTNERが用意されています。Windows環境で動作するPC98シリーズやDOS/V機等のPCと、一部のUNIX-WSがホストシステムとして使用できます。

ホストシステムとRTE-1000-TPとの接続は、専用のPC-Cardやバス接続ホストカード、イーサネット経由で接続する為のLAN-BOX等が環境に応じて選択できます。

本製品には下記のものが付属します。最初に付属品の確認を行なってください。

1.RTE-1000-TP本体	1
2.ユーザーズマニュアル(本書)	1冊
3.N-Wireケーブル	1
4.電源(RTE-PS03:+5V 3.5A)	1個

以下は本製品を使用する上で必要なものですが、標準付属品ではありません。別途購入してください。

5.KIT-xxxx-TP	1式 <必要>
---------------	---------

対象プロセッサに依存したキットです。以下が含まれます。

- ・ RTE for Win32 Set Up CD
- ・ ユーザーズマニュアル
- ・ ライセンス設定シート

6. ROMエミュレータ用プローブ	<必要に応じてご用意ください>
-------------------	-----------------

以下のプローブやアダプタが用意されています。

- ・ DIP-32-ROMプローブ
- ・ 拡張16bit標準ROMプローブ
- ・ DIP-40-ROM用アダプタ：拡張16bit標準ROMプローブの先端に接続して使用
- ・ DIP-42-ROM用アダプタ：拡張16bit標準ROMプローブの先端に接続して使用

7.ホスト・インターフェース	<いずれか1種が必要>
----------------	-------------

以下のいずれかが必要です。

- ・ PC Card用インターフェイスキット
- ・ PC98 DeskTopPC 用インターフェイスキット
- ・ DOS/V DeskTopPC ISAバス用インターフェイスキット
- ・ DOS/V DeskTopPC PCIバス用インターフェイスキット
- ・ LAN-BOX

8.デバッガ	<いずれか1種が必要>
--------	-------------

- ・ GHS Multi
- ・ PARTNER/Win

2. 主な特徴

高級言語デバグ

Multi、及びPARTNERは共に、プログラム実行、ブレークポイントの設定、変数のインスペクト等の操作が全てソース上で行える高機能な高級言語デバグです。

容易な接続

ユーザシステムは指定したコネクタを用意するだけで、プロセッサを基板に実装した状態で、従来のインサーキットエミュレータと同等のデバグ機能を提供します。

透過性の高いエミュレーション機能

プロセッサに搭載されたデバグ用の制御回路(DCU)を外部から制御する方式を用いることで、電氣的なインターフェース上の問題を一掃した、透過性の高いエミュレーション機能が提供されます。

ROMエミュレーション機能

最大32MバイトまでのROMがエミュレーションできます。(標準実装: 8Mバイト)

32ピンから42ピンまでのDIP形状のROMと、フラッシュROM等、ROMを基板に搭載した状態でエミュレーションする為の拡張16bit-標準ROMコネクタに対応したプローブやアダプタが用意されています。

リアルタイムトレース機能

組み込みシステムのデバグで重宝するリアルタイムトレース機能を搭載しています。

この機能は、N-Wireの仕様に合致したトレース情報をメモリに取り込む手法を用い、キャッシュ内のプログラム実行もトレースできます。

ホストとの通信は専用のカードまたは、LAN-BOXを使用

各種のインターフェース・カードとLAN-BOXを用意しています。

- ・ PC-CardはPCMCIA Ver2.1/JEIDA Ver4.2で規定されているType2のロットを持つノート用
- ・ ホストカードはPC98のCバス、PCのISAまたは、PCIのバスを装備しているデスクトップ用
- ・ LAN-BOXは、LAN経由で接続する為のもので、10Base-Tのインターフェース

3. ハードウェア仕様

エミュレーション部

対象デバイス	NB85E, V831/2, VR5432, VR4122 (*1)
エミュレーション機能	
CPU動作周波数	対象プロセッサに依存(KIT-xxxx-TP参照)
インターフェース	JTAG/N-Wire
*2 JTAG-CLK	100K - 25MHz
ブレーク機能	
H/Wブレークポイント(実行アドレス)	対象プロセッサに依存(KIT-xxxx-TP参照)
S/Wブレークポイント	1 0 0
アクセスイベントによるブレーク設定	対象プロセッサに依存(KIT-xxxx-TP参照)
ステップブレーク	可
マニュアルブレーク	可
*2 外部信号によるブレーク	対象プロセッサに依存(KIT-xxxx-TP参照)
トレース機能	
トレースデータバス幅	4bit
トレースメモリ容量	128K-word
*2 トレースクロック周波数	77MHz(max)
トレースディレイサイクル数	0 - 1FFFFh
*2 タイムタグ(時間計測)	100nS - 30h
実行アドレスによるトリガ設定	対象プロセッサに依存(KIT-xxxx-TP参照)
*2 データアクセスによるトリガ設定	対象プロセッサに依存(KIT-xxxx-TP参照)
外部信号の取り込みとトリガ設定	可
実行アドレスによる開始・終了設定	対象プロセッサに依存(KIT-xxxx-TP参照)
データトレース条件設定	対象プロセッサに依存(KIT-xxxx-TP参照)
逆アセンブルトレース表示	可
ROMエミュレーション機能	
*2 メモリ容量	8M - 32M ¹ /1 ¹
*2 アクセスタイム	40nS(1 ¹ -ストライク:35nS) (*3)
*2 動作電圧	1.8V - 5V (*4)
*2 電氣的条件	LV-TTL,5Vトランシエント
エミュレーション可能なROM数	
DIP-32pin-ROM(8bit-ROM)	4 (max)
DIP-40/42pin-ROM(16bit-ROM)	2 (max)
拡張16bit-標準ROMコネクタ	2 (max)
エミュレーション可能なROMの容量(bit)	
DIP-32pin-ROM(8bit-bus)	1M,2M,4M,8M(27C010/020/040/080)
DIP-40pin-ROM(16bit-bus)	1M,2M,4M(27C1028/2048/4096)
DIP-42pin-ROM(16bit-bus)	8M,16M(27C8000/16000)
*2 拡張16bit-標準ROM(16bit-bus)	1M,2M,4M,8M,16M,32M,64M,128M,256M
バス幅指定(bit)	8/16/32
端子マスク機能	対象プロセッサに依存(KIT-xxxx-TP参照)

*1.一部、開発中の製品を含みます。 RTE-1000-TPは、RTE-100-TP,RTE-200-TPの両方のKITに対応しています。今後も順次、新しいプロセッサに対応していきませんが、将来のプロセッサ全てが対象になることを保証するものではありません。

*2.RTE-100/200-TPから、機能拡張された項目です。

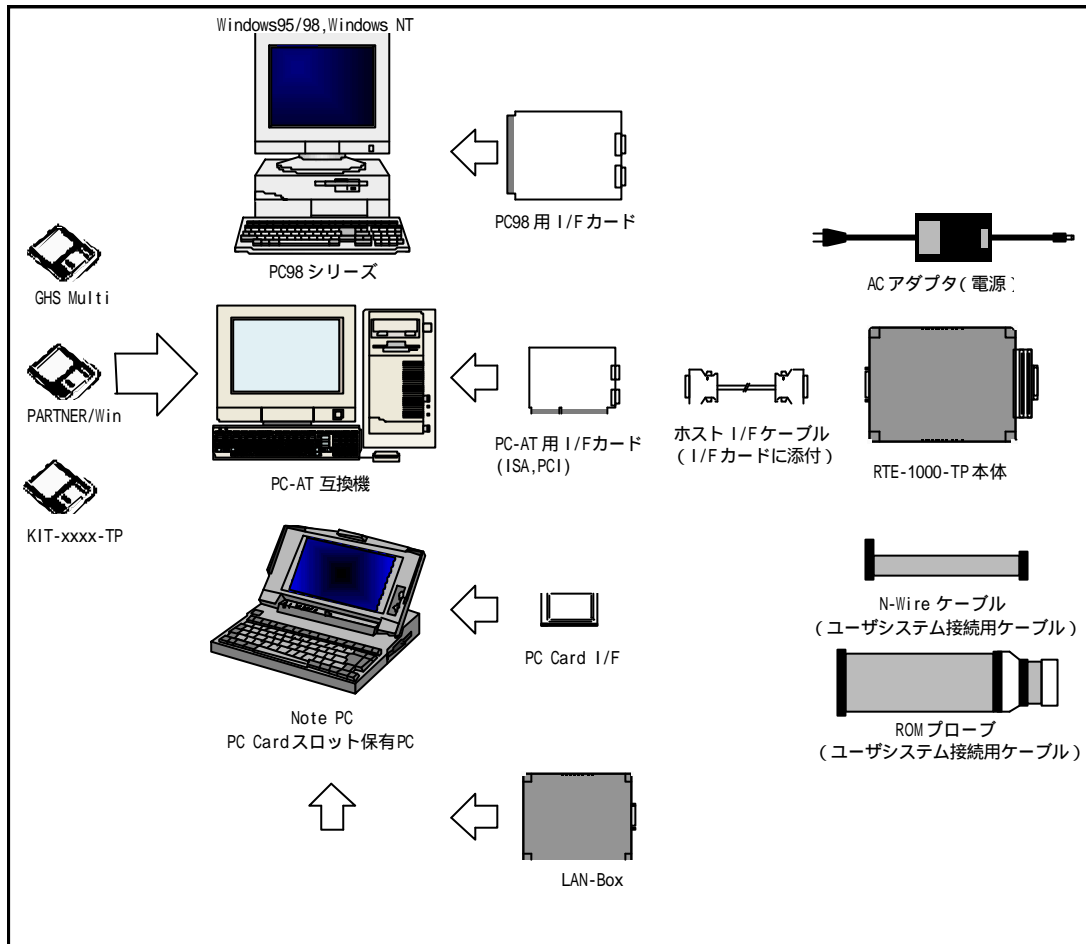
*3,4,5.拡張16bit標準 ROMケーブル:CBL-STD16-32M + DIP40/42アダプタを使用した場合の値です。

ホスト& I F 部

項目	内容
対象ホストマシン	PC-98シリーズ DOS/V機
ディバツガ	GHS Multi (Windows95/98/NT) PARTNER/Win (Windows95/98/NT)
インターフェース	PCカード Type2(PCMCIA Ver2.1/JEIDA Ver4.2以上) PC98(C ¹ ス),PCAT(IS ¹ ス,PC ¹ ス),LAN-BOX
電源	A C アダプタ:RTE-PS03 (in :100V out :+5V, 3.5A)

4. システム構成

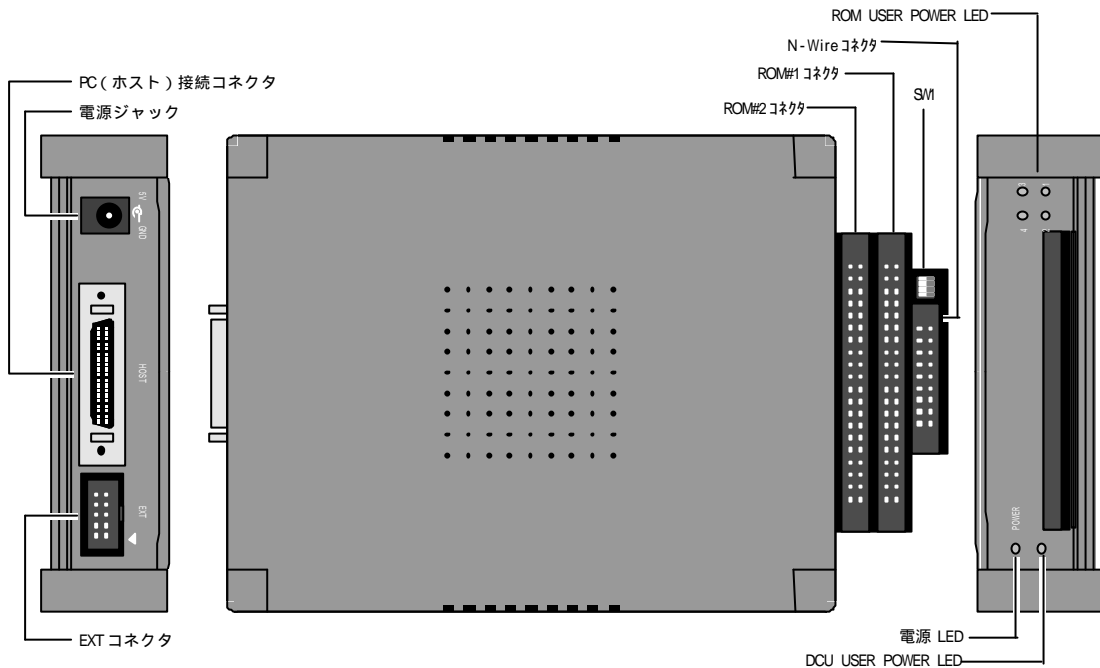
本製品のシステム構成を以下に示します。



- GHS-Multi, PARTNER/Win :本機用の高級言語デバッガ
- KIT-xxxx-TP :プロセッサ依存制御ソフト
- PC :Windows95/98/NTに対応したPC
- PC98用I/Fカード :PC98-Cバスに対応したカード
- PC-AT用I/Fカード :PC-AT互換機-ISAバスまたは、PCIバスに対応したカード
- PC-Card I/F :Type2カード(PCMCIA Ver2.1/JEIDA Ver4.2以上)
- LAN-Box :イーサネット(10base-T IF)経由ボックス
- ホストI/Fケーブル :ホストカードと本機を接続するケーブル
- ACアダプタ :専用の電源
- RTE-1000-TP :本体
- N-Wireケーブル :デバッグ対象のユーザシステムとの接続ケーブル
- ROMプローブ :ROMをエミュレーションする為のプローブ

5 . 各部の名称と働き

この章では、RTE-1000-TPの概観を示し、各部の名称と機能について説明します。



電源ジャック

電源供給用のコネクタです。付属の電源のプラグを挿入することで、通電します。



付属のACアダプタ(RTE-PS03)以外を電源ジャックに接続しないでください。

PC (ホスト) 接続コネクタ (HOST)

PC (ホスト) へ接続するためのコネクタです。ホストI/Fケーブルを接続します。

EXTコネクタ (EXT)

外部信号の入力、および内部信号を出力するためのコネクタです。

JTAG/N-Wire 接続コネクタ (JTAG/N-Wire コネクタ: JDCU1)

JTAG/N-Wireでユーザシステムと接続するためのコネクタです。

ROMエミュレータ接続コネクタ # 1 (ROM # 1 コネクタ: JROM1)

ROMをエミュレーションするためにユーザシステムと接続するための1番目のコネクタです。1本だけ使用する場合は、必ず、こちらのコネクタを使用してください。

ROMエミュレータ接続コネクタ# 2 (ROM#2 コネクタ: JROM2)

ROMをエミュレーションするためにユーザシステムと接続するための2番目のコネクタです。



JROM1, JROM2には、異なる種類のROMケーブルは接続できません。必ず、同一のケーブルを使用してください。

モード設定用スイッチ(SW1)

ICE本体のモード設定用のスイッチです。特に指定がない限り、通常、全て"OFF"の状態でご使用ください。

電源LED (POWER)

本機に電源が入っている時に点灯します。

DCUユーザシステム電源LED (DCU USER POWER LED: DCU POWER)

N-Wire接続コネクタを介し接続されているユーザシステムに電源が入っている時に点灯します。

ROMユーザシステム電源LED (ROM USER POWER LED: ROM POWER 1/2/3/4)

ROMエミュレータ接続コネクタを介し接続されているROMソケットの電源ピンに電気が入っている時に点灯します。4つのLEDは、以下の意味を持ちます。

8bit系のROMプローブを使用している場合

LED1/2/3/4は、ROMプローブの先端のソケットの番号ROM1/2/3/4に応じ、そのソケットの電源ピンに電気が入っている時に点灯します。

16bit系のROMプローブを使用している場合

LED1とLED2は、以下の条件で同時に点灯します。

ROM#1コネクタを介し接続されているROMソケット#1に電気が入っている時。

LED3とLED4は、以下の条件で同時に点灯します。

ROM#2コネクタを介し接続されているROMソケット#2に電気が入っている時。

6. 設置手順

以下にRTE-1000-TPの設置手順を示します。

1. インターフェースカードのインストール

各インターフェースカードのマニュアルを参照してください。

2. 『RTE for WIN32』のインストール

『RTE for WIN32』のマニュアルを参照してください。



この時、ChkRTE2.EXEはまだ起動しないでください。

3. RTE-1000-TPの接続

RTE-1000-TPとホストとインターフェースするカード（または、LAN-BOX）をホストインターフェースケーブルで接続してください。また、ACアダプタを接続できる状態にしておいてください。

4. ユーザシステムとの接続

7章を参照してください。

5. 電源の投入

8章を参照してください。

6. 『RTE for WIN32』の設定

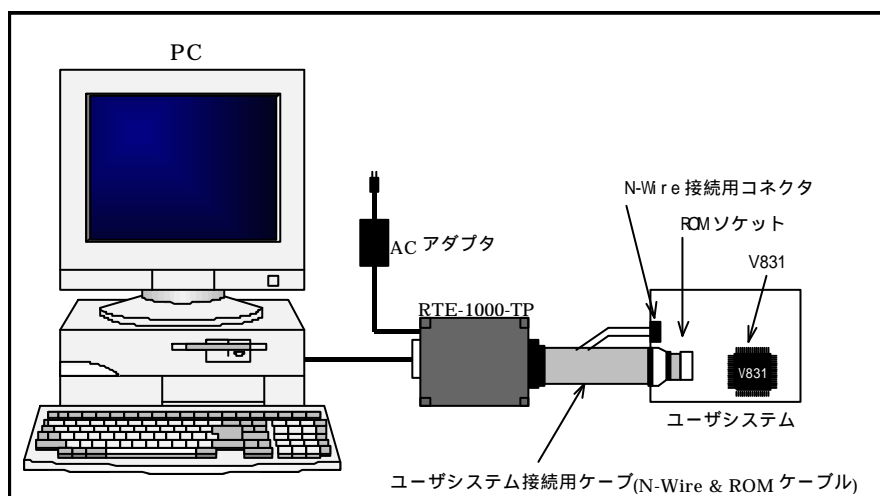
ChkRTE2.EXEを起動して、パラメータを設定します。

『RTE for Win32』のマニュアルと個別のKIT-xxxx-TPのマニュアルを参照してください。

7. デバッガの起動

デバッガのマニュアルを参照してください。

接続例を以下に示します。



7. ユーザシステムとの接続

ユーザシステムとの接続は、下記の通り行ってください。

N-Wireケーブルの接続

本機に添付しているN-Wireケーブルで本機のN-Wireコネクタとユーザシステムを接続します。

ROMプロープの接続

ユーザシステムのROMに適合した種類のROMプロープを使用して本機のJROM1または、JROM2コネクタとユーザシステムのROMソケットに接続します。(ROMプロープはオプションです)

ROMプロープには、以下の種類があります。

< DIP-32-ROMプロープ >

8bitのROMを最大4個までエミュレーションできます。

本機との接続は、JROM1にROM1/ROM2と貼付しているプロープを、JROM2にROM3,ROM4と貼付しているプロープをそれぞれ接続します。

ユーザシステムとの接続は、8ビットバスで使用する場合、ROM1,ROM2,ROM3,ROM4の順番で下位のアドレスのROMソケットから順番に接続します。16ビットバスで使用する場合は、ROM1/ROM2を下位アドレスのD0-D7/D8-D15に対応するROMソケットに、ROM3/ROM4を上位アドレスのD0-D7/D8-D15に対応するROMソケットにそれぞれ接続します。

< 拡張16BIT-標準ROMプロープ (DIP-40,DIP42アダプタ使用時も同様です) >

16bitバス幅のROMを最大2個までエミュレーションできます。

ユーザシステムとの接続は、16ビットバスで使用する場合、JROM1,JROM2の順番で下位のアドレスのROMソケットから順番に接続します。32ビットバスで使用する場合、JROM1をD0-15に対応するROMソケットに、JROM2をD16-31に対応するROMソケットにそれぞれ接続します。



ROMソケットの接続にあたっては、ROMの方向に注意してください。ドットマークの位置が1ピンを示しています。

DIP-32-ROMプロープについて

1M以上の32pinROMでは、ピン・アサインが2種類あります。使用するROMに合わせてROMケーブルの基板上のジャンパを設定してください。

OE-:24pin,A16:2pin : 1-2 ショート (出荷時の設定)

OE-:2pin,A16:24pin : 2-3 ショート

8 . 電源投入 / 切断順序

電源の投入 / 切断は、全ての設置（ケーブルの接続等）が完了した後、下記の順番で行ってください。

電源投入順序

- 1 . ホストシステムの電源を入れます。
- 2 . RTE-1000-TPの電源を入れます（RTE-1000-TPの電源ジャックにRTE専用のACアダプタを接続します）。
- 3 . ユーザシステムの電源を入れます。
- 4 . デバッグを起動します。

電源切断順序

- 1 . デバッグを終了します。
- 2 . ユーザシステムの電源を切ります。
- 3 . RTE-1000-TPの電源を切ります（RTE-1000-TPからACアダプタを抜きます）。
- 4 . ホストシステムの電源を切ります。



RTE-1000-TPの電源が切れている状態で、ユーザシステムの電源を入れないでください。故障の原因となります。

9. インターフェース仕様

ユーザシステム上の制御の為にコネクタの標準的な仕様を以下に示します。対象プロセッサによって異なりますので、実際にコネクタを用意する場合は、キットの資料を必ず参照下さい。

ピン配置表

Pin番号	信号名	入出力 (User Side)	標準的な処理(User Side)
A1	TRCCLK	Output	22-33 シリーズ抵抗、KIT依存あり
A2	TRCDATA 0	Output	22-33 シリーズ抵抗、KIT依存あり
A3	TRCDATA 1	Output	22-33 シリーズ抵抗、KIT依存あり
A4	TRCDATA 2	Output	22-33 シリーズ抵抗、KIT依存あり
A5	TRCDATA 3	Output	22-33 シリーズ抵抗、KIT依存あり
A6	TRCEND	Output	22-33 シリーズ抵抗、KIT依存あり
A7	DDI	Input	10K プルアップ
A8	DCK	Input	10K プルアップまたは、プルダウン
A9	DMS	Input	10K プルアップまたは、プルダウン
A10	DDO	Output	22-33 シリーズ抵抗
A11	DRST-	Input	10K プルダウン、KIT依存あり
A12	Reserve	-----	(KIT依存)
A13	Reserve	-----	(KIT依存)

Pin番号	信号名	入出力 (User Side)	処理(User Side)
B1-B10	GND	-----	GNDに接続
B11	Reserve	-----	(KIT依存)
B12	Reserve	-----	(KIT依存)
B13	VDD	-----	CPUの外部バス用電源に接続

コネクタの型番

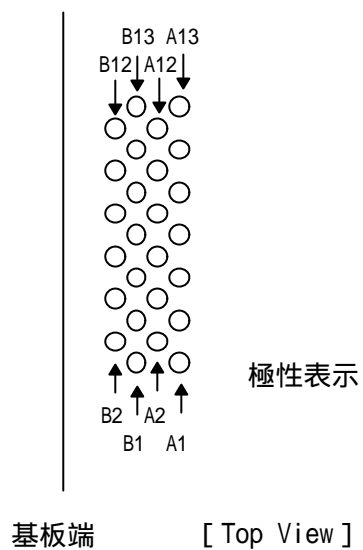
- メーカー : KEL
 型番 : 8830E-026-170S (ストレート)
 8830E-026-170L (ライト・アングル)
 8831E-026-170L (ライト・アングル、固定金具付き)

配線と配線長

- 1.CPUからコネクタまでの配線は極力短くなるようにしてください。
(100mm以下を推奨します)
- 2.CPUからの出力信号は、CPUのIOと同一電源を供給した高速CMOSバッファを介し、コネクタへ接続すること推奨します。

基板レイアウト図

基板上的コネクタの物理的なレイアウトを以下に示します。



注意：実際に配置する場合は、コネクタの寸法資料に基づき、設計してください。

10. EXTコネクタ

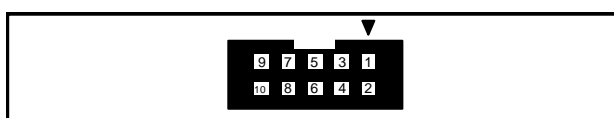
EXTコネクタの仕様を以下に示します。

ピン番号	信号名	入出力	内容
1	RSV-IN0	入力	KITに依存します。
2	EXI0	入力	外部入力信号#0 (1K でプルアップ) エッジ検出可能
3	RSV-IN1	入力	KITに依存します。
4	EXI1	入力	外部入力信号#1 (1K でプルアップ)
5	RSV-OUT	出力	KITに依存します。
6	EXI2	入力	外部入力信号#2 (1K でプルアップ)
7	RESETOUT-	出力	リセット出力。RESETコマンドで約50mSのローパルスを出力します。(オープンコレクタ出力、1K でプルアップ)
8	EXI3	入力	外部入力信号#3 (1K でプルアップ)
9	GND	--	シグナルグランド
10	TRG-	出力	トリガ出力。トレーストリガを検出するとローレベルになります。(オープンコレクタ出力、1K でプルアップ)

補足事項：

1. EXI0/1/2/3の入力は、LV-TTLレベルです。
2. EXI0は、トレースのトリガとして、エッジ検出の指定ができます。
3. EXI0 - 3は、トレース情報としてメモリに取り込みます。
4. プルアップは、JTAG-VCCと同電位に対し接続されています。

ピン配置：



JEXTピン配置

適合コネクタ：

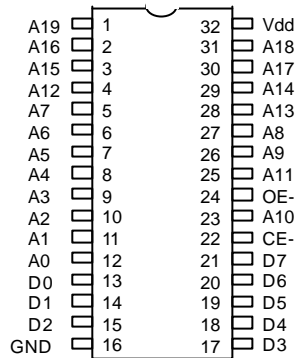
オムロン株式会社 XG4M-1031 (相当品可)

1 1 . ROMプローブの仕様

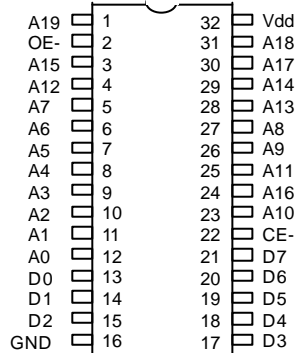
DIP-32-ROMプローブ

DIP-32-ROMプローブは、以下の2種類のピン配置に対応するようになっています。切り替えは、JP1のジャンパーで行います。

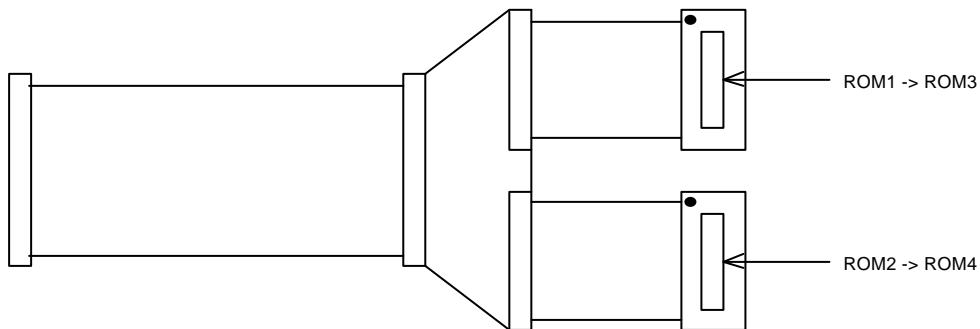
JP1 1-2 ショート



JP1 2-3 ショート

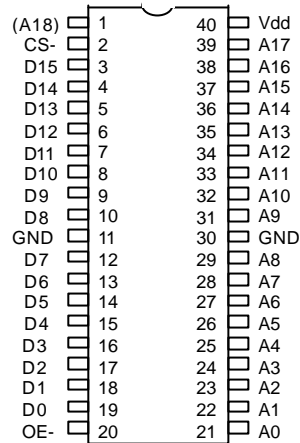


先端のシールは出荷時ROM1,ROM2と貼付されています。2本目のプローブをご購入された場合、以下の通り添付のシールを用い、張り替えて区別できるようにしてご使用ください。



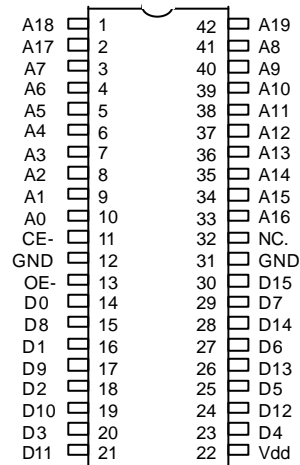
DIP-40-ROM用アダプタ

DIP-40-ROM用アダプタのピン配置を以下に示します。



DIP-42-ROM用アダプタ

DIP-42-ROM用アダプタのピン配置を以下に示します。



拡張16BIT-標準ROMプローブ

本プローブに対応したコネクタを基板上に用意することによって、ROMを実装したままの状態、ROMに対するエミュレーションが可能になります。

信号線の種類

signal	IN/OUT	name	comment
A0 - A23	IN	ADDRESS BUS	ROMと等価なアドレス信号を接続してください。未使用の上位アドレスはGNDに接続してください。
D0 - D15	OUT	DATA BUS	ROMと等価なデータ信号を接続してください。
CE-	IN	CHIP ENABLE	LOWレベルでROMエミュレータが選択されます。
OE-	IN	OUTPUT ENABLE	CE-がLOWで、本信号がLOWレベルの時にROMエミュレータのデータバスが出力されます。
WRL- WRH-	IN	Write low-byte Write High-byte	LOWアクティブのライト信号を接続してください。必須ではありませんが、今後の互換性の為に接続しておくことを推奨します。
PSENSE	IN	POWER SENSE	ROMの電源を接続して下さい。
INH-	OUT	INHBIT-	ROMエミュレータ側で常にLOWレベルをドライブしています。本信号を基板側でプルアップしておくことで、ROMエミュレータの接続状態が分かります。ROMエミュレータが接続された状態では必ずオンボードのROMをディゼーブルにしてください。
GND	----	GND	基板のGNDに接続して下さい。

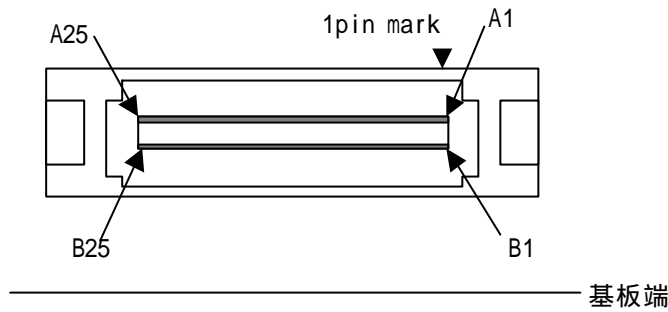
ピンの配置

A side	signal	B side	signal
A1	GND	B1	A0
A2	A1	B2	A2
A3	A3	B3	A4
A4	A5	B4	A6
A5	A7	B5	A8
A6	A9	B6	A10
A7	A11	B7	A12
A8	A13	B8	A14
A9	A15	B9	A16
A10	A17	B10	A18
A11	A19	B11	A20
A12	A21	B12	A22
A13	NC.(WRH-)	B13	INH-(GND)
A14	NC.(WRL-)	B14	A23
A15	CE-	B15	GND
A16	OE-	B16	PSENSE(VCC IN)
A17	D0	B17	D1
A18	D2	B18	D3
A19	D4	B19	D5
A20	D6	B20	D7
A21	D8	B21	D9
A22	D10	B22	D11
A23	D12	B23	D13
A24	D14	B24	D15
A25	GND	B25	GND

基板側のコネクタの種類

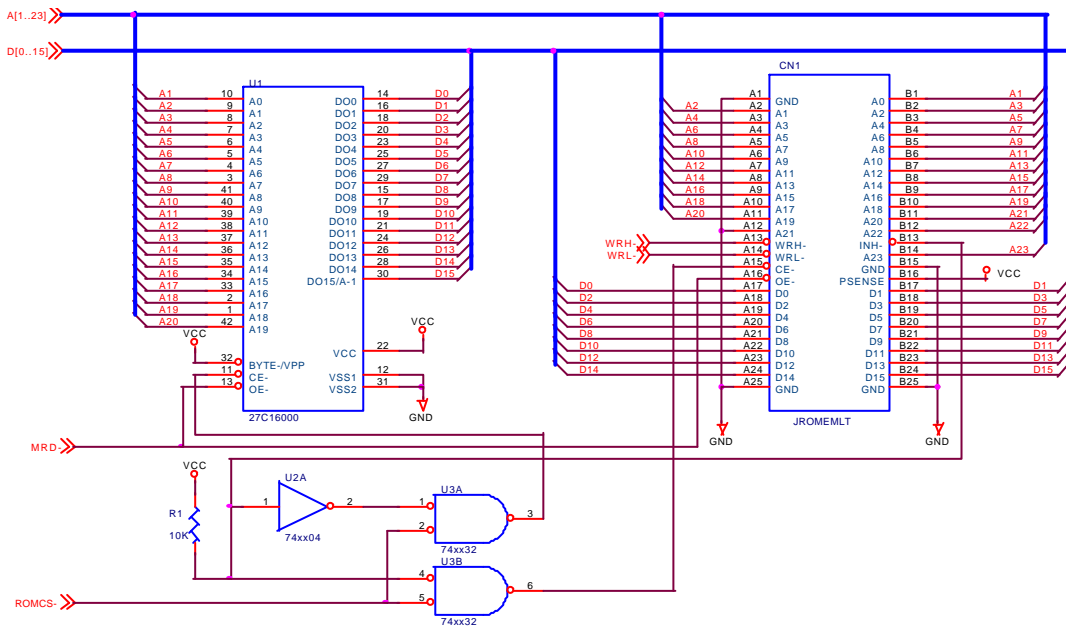
- メーカー : KEL
- 型番 : 8931E-050-178S (ストレート)
- 8931E-050-178L (アングル)
- 8930E-050-178MS (SMTストレート)

物理的な配置 (基板側)



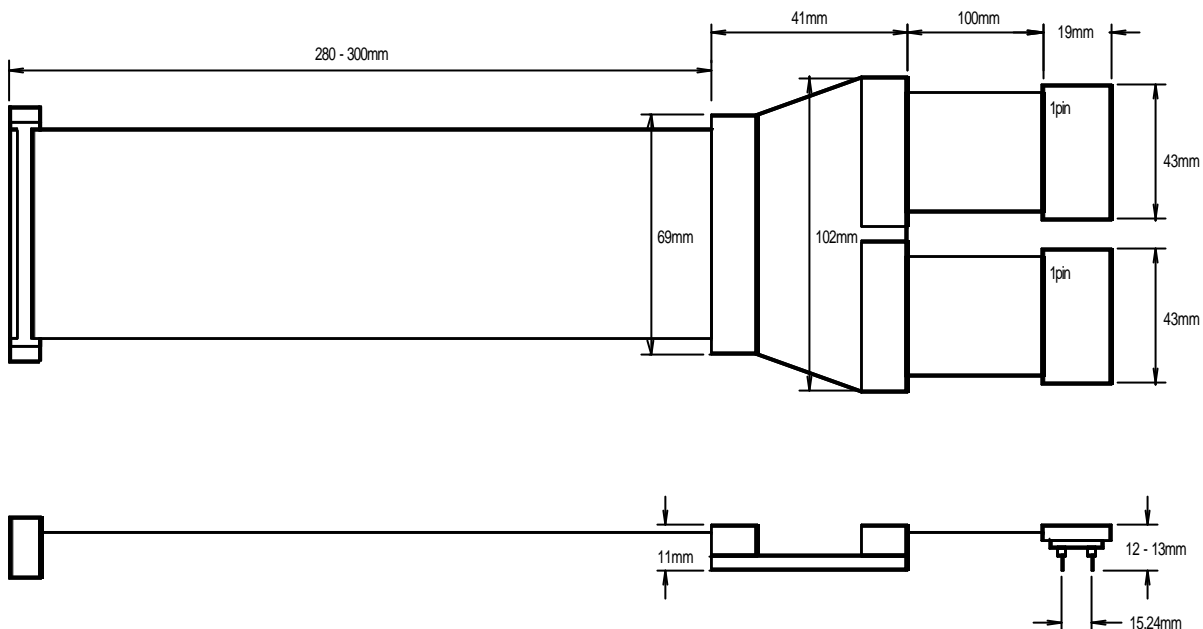
参考回路

以下に16bitのROMに併設した本コネクタの参考回路を示します。

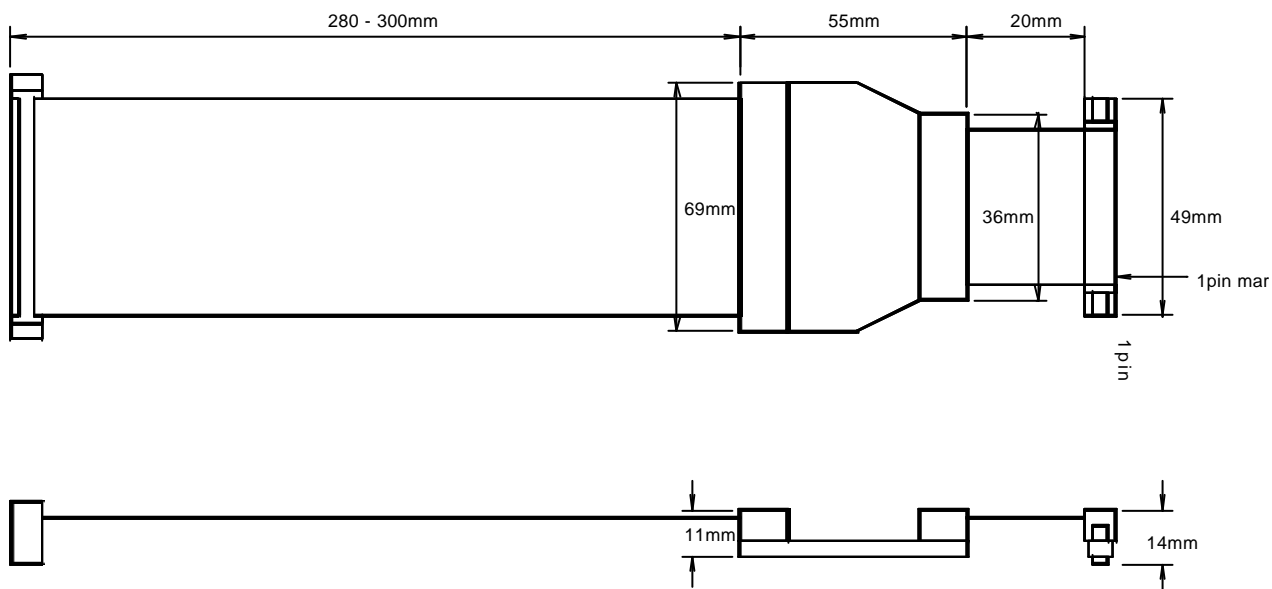


APPENDIX.A ROMプローブの外形寸法図

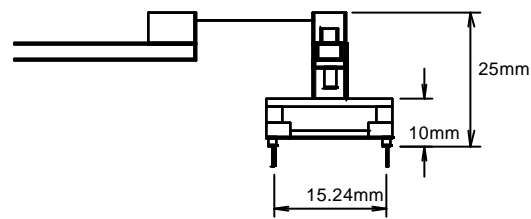
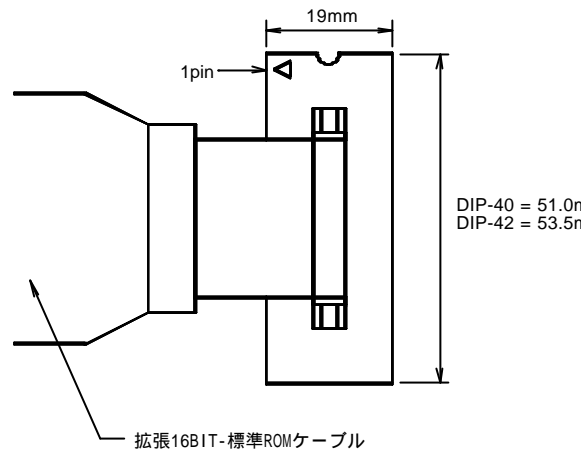
DIP-32ROMプローブ



拡張16BIT-標準ROMプローブ



DIP-40/42-ROM用アダプタ



APPENDIX.B 電気的条件

JTAG/N-Wire インターフェース

DC特性 (2.7V < Vj <= 5.0V) :Vj=VDDjtag(B13)

項目		記号	測定条件		最小	最大	単位
				Vj(V)			
入力電圧	"H"レベル	VIH		2.7-5.0	1.6	5.5	V
	"L"レベル	VIL		2.7-5.0		0.8	V
出力電圧	"H"レベル	VOH	VIN=VIH	IOH=-100uA	3.3-5.0	3.1	V
					2.7-3.3	Vj-0.2	
				IOH=-12mA	2.7	2.2	
		IOH=-18mA	3.0	2.4			
	"L"レベル	VOL	VIN=VIL	IOL=30uA	2.7-5.0		0.2
				IOL=12mA	2.7		0.4
IOL=18mA				3.0		0.4	

DC特性 (2.3V <= Vj <= 2.7V) :Vj=VDDjtag(B13)

項目		記号	測定条件		最小	最大	単位	
				Vj(V)				
入力電圧	"H"レベル	VIH		2.3-2.7	1.6	5.5	V	
	"L"レベル	VIL		2.3-2.7		0.8	V	
出力電圧	"H"レベル	VOH	VIN=VIH	IOH=-100uA	2.3-2.7	Vj-0.2	V	
					IOH=-12mA	2.3		2.0
					IOH=-18mA	2.3		1.8
	"L"レベル	VOL	VIN=VIL	IOL=40uA	2.3-2.7		0.2	
				IOL=12mA	2.3		0.4	
				IOL=18mA	2.3		0.6	

DC特性 (1.8V <= Vj < 2.3V) :Vj=VDDjtag(B13)

項目		記号	測定条件		最小	最大	単位
				Vj(V)			
入力電圧	"H"レベル	VIH		1.8-2.3	1.6	5.5	V
	"L"レベル	VIL		1.8-2.3		0.8	V
出力電圧	"H"レベル	VOH	VIN=VIH	IOH=-100uA	1.8-2.3	Vj-0.2	V
					IOH=-6mA	1.8	
	"L"レベル	VOL	VIN=VIL	IOL=60uA	1.8		0.2
				IOL=6mA	1.8-2.3		0.3

ROMインターフェース

DC特性 (2.7V < Vrom <= 5.0V) :Vrom=ROMのVDD端子

項目	記号	測定条件		最小	最大	単位	
			Vrom(V)				
入力電圧	"H"レベル	VIH		2.7-5.0	1.6	5.5	V
	"L"レベル	VIL		2.7-5.0		0.8	V
出力電圧	"H"レベル	VOH	VIN=VIH	IOH=-100uA	3.3-5.0	3.1	V
					2.7-3.3	Vrom-0.2	
				IOH=-12mA	2.7	2.2	
		IOH=-18mA	3.0	2.4			
	"L"レベル	VOL	VIN=VIL	IOL=30uA	2.7-5.0		0.2
				IOL=12mA	2.7		0.4
IOL=18mA				3.0		0.4	

DC特性 (2.3V <= Vrom <= 2.7V) :Vrom=ROMのVDD端子

項目	記号	測定条件		最小	最大	単位		
			Vrom(V)					
入力電圧	"H"レベル	VIH		2.3-2.7	1.6	5.5	V	
	"L"レベル	VIL		2.3-2.7		0.8	V	
出力電圧	"H"レベル	VOH	VIN=VIH	IOH=-100uA	2.3-2.7	Vrom-0.2	V	
					IOH=-12mA	2.3		2.0
					IOH=-18mA	2.3		1.8
	"L"レベル	VOL	VIN=VIL	IOL=40uA	2.3-2.7		0.2	
				IOL=12mA	2.3		0.4	
				IOL=18mA	2.3		0.6	

DC特性 (1.8V <= Vrom < 2.3V) :Vrom=ROMのVDD端子

項目	記号	測定条件		最小	最大	単位	
			Vrom(V)				
入力電圧	"H"レベル	VIH		1.8-2.3	1.6	5.5	V
	"L"レベル	VIL		1.8-2.3		0.8	V
出力電圧	"H"レベル	VOH	VIN=VIH	IOH=-100uA	1.8-2.3	Vrom-0.2	V
					IOH=-6mA	1.8	
	"L"レベル	VOL	VIN=VIL	IOL=60uA	1.8		0.2
				IOL=6mA	1.8-2.3		0.3

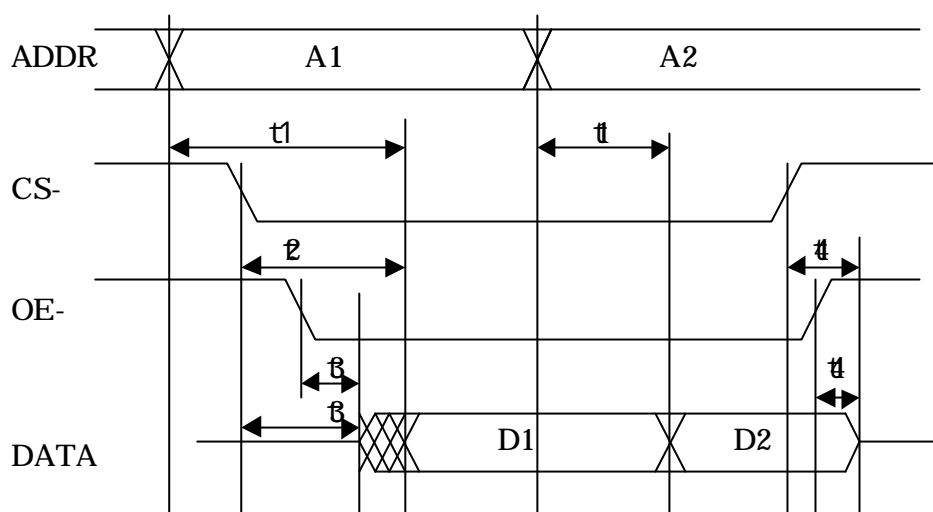
補足：本仕様は、RTE-1000-TP用の拡張16BIT標準ROMケーブル(CBL-STD16-32M)を単体または、DIP40/42アダプタと併用してを使用した時のものです。RTE-100-TP用のケーブル (CBL-ROM32, CBL-ROM40, CBL-ROM42, CBL-STD16ROM) を使用した場合の特性は、以下の通りです。

Vrom の範囲：3.3 - 5.0V

VIL/VIH = TTLレベル

VOH/VOL = 3.3VのCMOSレベル

ROMタイミング特性：READサイクル



項目	記号	最小	最大	単位	備考
ADDR -> DATA	t1		35	nS	A0..A15のアドレスに対するアクセスタイム
			40	nS	A16以上のアドレスに対するアクセスタイム
CS- -> DATA	t2		40	nS	CS-アクティブからのアクセスタイム
CS-/OE- -> DATA	t3	8	24	nS	CS-/OE-アクティブからのDATA出力
CS-/OE- -> DATA	t4		22	nS	CS-/OE-インアクティブからのDATA-Hiz

補足：本仕様は、RTE-1000-TP用の拡張16BIT標準ROMケーブル(CBL-STD16-32M)を単体または、DIP40/42アダプタと併用してを使用した時のものです。RTE-100-TP用のケーブル(CBL-ROM32, CBL-ROM40, CBL-ROM42, CBL-STD16ROM)を使用した場合の特性は、以下の通りです。

項目	記号	最小	最大	単位	備考
ADDR -> DATA	t1		50	nS	A0..A15のアドレスに対するアクセスタイム
			50	nS	A16以上のアドレスに対するアクセスタイム
CS- -> DATA	t2		50	nS	CS-アクティブからのアクセスタイム
CS-/OE- -> DATA	t3	10	40	nS	CS-/OE-アクティブからのDATA出力
CS-/OE- -> DATA	t4		40	nS	CS-/OE-インアクティブからのDATA-Hiz

