

KIT-V831/2-TP

ユーザース・マニュアル(Rev.3.01)

RealTimeEvaluator

■ ソフトウェアのバージョンアップ

- 最新のRTE for Win32 (Rte4win32)は、以下のサイトよりダウンロードできます。

http://www.midas.co.jp/products/download/program/rte4win_32.htm

■ ご注意

- KIT-V831/2-TP(プログラム及びマニュアル)に関する著作権は株式会社マイダス・ラボが所有します。
- 本プログラム及びマニュアルは著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- お客様に設定される使用権は、1ライセンスにつき、1台のシステムにおいてのみ使用できるものです。1ライセンスで同時に2台以上のシステムでのご利用はできません。
- 本製品は、万全の注意を持って作製されていますが、ご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いかねますのでご了承ください。
- 本プログラム及びマニュアルに記載されている事柄は、予告なく変更されることがあります。

■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

改訂履歴

Rev.1.00	1999-4-21	初版
Rev.1.01	1999-7-19	修正:5インターフェース仕様
Rev.1.02	1999-7-25	誤記訂正
Rev.1.03	1999-9-24	JTAG CLKの初期値変更 -> 12.5MHz
Rev.2.00	2000-3-4	2版: RTE-1000-TP本体への対応に伴う、改版
Rev.2.10	2000-3-23	NSPB/NSBPD, NROM/NROMDコマンドの追加
Rev.2.11	2001-5-20	download site 情報の変更
Rev.3.00	2002-4-27	3版: RTE-2000-TPの対応に伴う追記
Rev.3.01	2002-11-15	5章 インタフェース仕様のユーザ処理変更

目次

1.	はじめに.....	4
2.	ハードウェア仕様.....	5
	エミュレーション部.....	5
3.	RTE FOR WIN32の設定.....	6
	CHKRTE2.EXEの起動.....	6
4.	初期設定コマンド.....	8
	MULTIを使用する場合.....	8
	PARTNERを使用する場合.....	8
5.	インターフェース仕様.....	9
	ピン配置表.....	9
	コネクタの型番.....	9
	配線長.....	9
	基板レイアウト図.....	10
6.	注意事項.....	11
	操作上の注意.....	11
	機能上の注意.....	11

1. はじめに

KIT-V831/2-TPは、NEC製のRISCプロセッサNx85E(ASIC-Core)を搭載したシステムをインサートキット・エミュレーション・デバッグするためのソフトウェアです。使用できるハードウェアはRTE-100-TP, RTE-1000-TP, RTE-2000-TPです。

本マニュアルは、当KITのご使用方法について記述したものです。ご使用にあたりましては、本体となります RTE-100-TP、RTE-1000-TPのマニュアルと合わせてお読みください。

本製品には下記のものが付属します。最初に付属品の確認を行なってください。

- ・ RTE for Win32 (Rte4win32) Set Up CD
- ・ ユーザズマニュアル(本書)
- ・ ライセンス設定シート

2. ハードウェア仕様

エミュレーション部

対象デバイス	V831, V832	
使用するRTE-TPの形式	RTE-1000-TP	RTE-2000-TP
JTAG-IFケーブル	標準ケーブル	RTE-NEC/MICTOR38
エミュレーション機能		
CPU動作周波数	制限なし	
インターフェース	JTAG/N-Wire	
*4 動作電圧	1.8V - 5V (*2)	
*4 JTAG CLK	100KHz - 25MHz	
ブレーク機能		
H/Wブレークポイント	2	
S/Wブレークポイント	1 0 0	
アクセスイベントによるブレーク設定	4	
ステップブレーク	可	
マニュアルブレーク	可	
トレース機能		
トレースデータバス	4bit	
トレースメモリ	4bit x 128Kword	4bit x 256Kword
トリガ設定		
実行アドレスによるトリガ設定	1	
データアクセスによるトリガ設定	2	
外部入力によるトリガ設定	可	
実行アドレスによる開始指定	可	
実行アドレスによる停止指定	1 (V831のみ)	
*4 トレースディレイ	0 - 1FFFFh	0 - 3FFFF
*4 トレースクロック	77MHz(max)	133MHz(max)
*4 タイムタグ	100nS - 30h	
データトレース条件設定	2	
逆アセンブルトレース表示機能	有	
完全トレースモード指定機能(no real time)	有	
ROMエミュレーション機能(*5)		
*4 ブロック内マップ機能(USER/EMEM)	なし	64K-Word
*4 RAMとして使用	不可	可
*4 メモリ容量	8M - 32M ¹ 1つ	8M - 128M/バイト
*4 アクセスタイム、()内は ¹ - スサイクル時	40nS(35nS) (*1)	35nS(30nS) (*1)
*4 動作電圧	1.8V - 5V (*2)	
*4 電気的条件	LV-TTL, 5Vトリアント (*3)	
エミュレーション可能なROM数		
DIP-32pin-ROM(8bit-ROM)	4 (max)	
DIP-40/42pin-ROM(16bit-ROM)	2 (max)	4 (max)
*4 拡張16BIT-標準ROMコネクタ	2 (max)	4 (max)
エミュレーション可能なROMの容量(bit)		
DIP-32-ROM(8-bit bus)	1M, 2M, 4M, 8M(27C010/020/040/080)	
DIP-40-ROM(16bit-bus)	1M, 2M, 4M(27C1024/2048/4096)	
DIP-42-ROM(16bit-bus)	8M, 16M(27C8000/16000)	
*4 拡張16bit-標準ROM(16bit-bus)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M(32M ¹ 1つ)	
バス幅指定(bit)	8/16/32	8/16/32
端子マスク機能	RESET, STOP, NMIx, VAREQ, WAIT-, INTxx	

*1, 2, 3. RTE-1000-TP+CBL-STD16-32M, RTE-2000-TP+CBL-STD16-2Kを使用した場合の値です。

*2. 2.3V以下で使用する場合は各ケーブルのDC特性に注意ください。電氣的に整合しない場合があります。

*4. RTE-100-TPの仕様はこれらと異なります。RTE-100-TPのマニュアルを参照ください。

*5. RTE-2000-TPでは、E.MEM基板を最大4枚まで実装でき、その時の最大容量は128M¹ 1つです。

32-bit幅では2枚、64-bit幅では4枚必要です。8-bit幅のROMでは、ROM 1個に1枚必要です。

3. RTE for WIN32の設定

『RTE for WIN32』の設定について説明します。

ChkRTE2.exeの起動

ユーザシステムとの接続を完了し、全ての機器の電源が投入された状態で ChkRTE2.exe を起動し、『RTE for WIN32』の環境設定を実施してください。『RTE for WIN32』の環境設定は、新規にハードウェアを設置した時に必ず1回は実施してください。

< RTEの設定 >



< RTEの選択 >

プロダクト一覧より、TPの下層にある"V831-TP"、または"V832-TP"をエミュレーション対象のCPUに応じて指定してください。

< I/F-1, I/F-2の選択 >

使用するホストインターフェースに合ったものをプルダウンメニューから選んで指定してください。(画面は、RTE-PCATを200hに割り付けた場合です)

< ライセンス >

ボタンをクリックして、KITに添付のライセンス設定シートを見て、ライセンスの設定を行ってください。詳細は、『RTE for WIN32』のマニュアルを参照してください。

<機能テスト>

機能テストは、ユーザシステムとの接続が正しく行われ、デバッグ可能な状態になっている必要があります。RTEの設定後、画面の指示に従い機能テストを実施すると、正常終了時に下記のダイアログが表示されます。この状態になれば、デバッガからの制御が可能です。



途中でエラーになる場合は、ユーザシステムに障害があるか、JTAG/N-Wireケーブルが正しく接続できていない可能性がありますので、それらの確認を行ってください。



CHKRTE2.EXEの機能テストは、RTE-xxxx-TPとユーザシステムが接続され、両方に電源が入っている状態で行ってください。

4. 初期設定コマンド

デバッグを開始する前に、ユーザシステムのハードウェアに依存した初期設定が必要です。初期設定のためのコマンドとして以下が用意されていますので、必ず、正しく設定してからご使用ください。

Multiを使用する場合

ターゲットウインドウ内で以下の内部コマンドを使用します。

ENVコマンド

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・CPU内蔵命令RAMに対しアクセスする為に必要なワーク領域の指定
- ・その他

ROMコマンド

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

PARTNERを使用する場合

設定用のダイアログを使用します。

CPU環境設定ダイアログ

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・CPU内蔵命令RAMに対しアクセスする為に必要なワーク領域の指定
- ・その他

エミュレーションROM設定ダイアログ

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

5. インターフェース仕様

JTAG/N-Wireインターフェースのコネクタの仕様を以下に説明します。

ピン配置表

Pin番号	信号名	入出力 (User Side)	処理 (User Side)
A1	CLKOUT	Output	バッファ + 22-33 シリーズ抵抗 (推奨)
A2	TRCDATA0	Output	バッファ + 22-33 シリーズ抵抗 (推奨)
A3	TRCDATA1	Output	バッファ + 22-33 シリーズ抵抗 (推奨)
A4	TRCDATA2	Output	バッファ + 22-33 シリーズ抵抗 (推奨)
A5	TRCDATA3	Output	バッファ + 22-33 シリーズ抵抗 (推奨)
A6	TRCEND	Output	オープン
A7	DDI	Input	10K プルアップ
A8	DCK	Input	10K プルアップ
A9	DMS	Input	10K プルアップ
A10	DDO	Output	22-33 シリーズ抵抗 (推奨)
A11	DRST-	Input	10K プルダウン
A12	NC.	-----	オープン
A13	NC.	-----	オープン

Pin番号	信号名	入出力 (User Side)	処理 (User Side)
B1-B10	GND	-----	GNDに接続
B11	NC.	-----	オープン
B12	NC.	-----	オープン
B13	+3.3V	-----	+3.3Vに接続

コネクタの型番

メーカー : KEL
 型番 : 8830E-026-170S (ストレート)
 8830E-026-170L (ライト・アングル)
 8831E-026-170L (ライト・アングル、固定金具付き)

配線長

V831/2からコネクタまでの配線は、極力短くなるようにしてください。
 > > 100mm以下を推奨します。

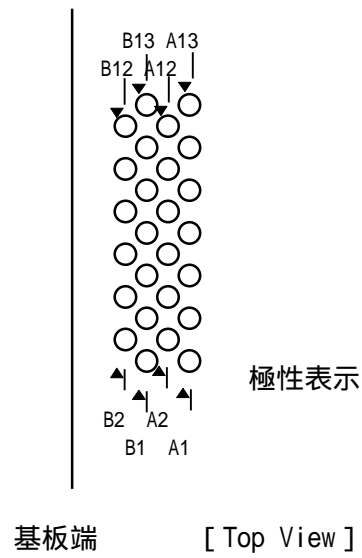
バッファ

以下の信号は、CPUと同一電源を供給した高速CMOSバッファを介し、コネクタへ接続することを強く推奨します。

・ CLKOUT, TRCDATA[0..3], TRCEND

基板レイアウト図

基板上的コネクタの物理的なレイアウトを以下に示します。



6. 注意事項

KIT-V831/2-TPを使用する上での注意事項を以下にまとめます。

操作上の注意

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れないでください。故障の原因となります。
- 2) 本機は、V831/2内部のデバッグ制御回路を外部から制御するものです。その為、以下の条件が満たされない場合、正しく動作しません。
 - * ユーザシステムとN-Wireケーブルが接続されていること。
 - * ユーザシステムの電源が投入され、V831/2が正しく動作できる状態にあること。

機能上の注意

- 1) リアルタイムトレースの逆アセンブル表示は、V831/2からの分岐情報をもとに、トレース表示のコマンドを発行した時点でメモリの内容を読み出して行っています。その結果、ユーザシステムのRAM上に配置されたプログラムの逆アセンブル表示は、実行後にRAMの内容が変更（暴走等による誤った書き込みを含む）された場合、正しくありません。また、以下の機能的な制限があります。
 - a . 分岐情報は、CPUから出力される段階で、オーバフローする場合があります。このような状態になった場合、正しく解析表示することはできません。
 - b . トレースイベントの出力を制限した場合は、正しく解析表示することはできません。ユーザプログラムで致命的例外が発生した場合は、ブレイクします。その後の実行はできません。
- 2) 完全トレースモードでトレース中の実行は、ブレイクが頻繁に介入しますので実行速度は10倍以上遅くなる場合があります。
- 3) その他、KITのリリースノートを必ず参照ください。