

***KIT-ARM9xx-TP(-H)***

**ユーザース・マニュアル(Rev.1.00)**

***RealTimeEvaluator***

## ■ ソフトウェアのバージョンアップ

- 最新のRTE for Win32 (Rte4win32)は、以下のサイトよりダウンロードできます。

[http://www.midas.co.jp/products/download/program/rte4win\\_32.htm](http://www.midas.co.jp/products/download/program/rte4win_32.htm)

## ■ ご注意

- 本製品(プログラム及びマニュアル)に関する著作権は株式会社マイダス・ラボが所有します。
- 本プログラム及びマニュアルは著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- お客様に設定される使用権は、1ライセンスにつき、1台のシステムにおいてのみ使用できるものです。1ライセンスで同時に2台以上のシステムでのご利用はできません。
- 本製品は、万全の注意を持って作製されていますが、ご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いかねますのでご了承ください。
- 本プログラム及びマニュアルに記載されている事柄は、予告なく変更されることがあります。

## ■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

**改訂履歴**

Rev.1.00 2006/01/05 初版 ( RTE-2000H-TP対応版 )

## 目次

1.	はじめに .....	4
2.	ハードウェア仕様.....	5
	エミュレーション部 .....	5
3.	RTE for WIN32の設定 .....	7
	ChkRTE2.exeの起動 .....	7
4.	初期設定コマンド.....	9
	Multiを使用する場合.....	9
	PARTNER(MPT-ARM)を使用する場合 .....	9
5.	インターフェース仕様.....	10
6.	SW1, SW2の設定.....	11
	RTE-2000(H) -TP .....	11
7.	注意事項 .....	12
	KIT-ARM922T-TP(-H) .....	12
	KIT-ARM926EJS-TP(-H).....	13
	KIT-ARM946ES-TP(-H) .....	15
	KIT-OMAP_ARM-TP(-H) .....	16
	KIT-OMAP161x_ARM-TP(-H) .....	17
	KIT-MP211-TP(-H) .....	19
	<b>付録.A トレース機能の詳細.....</b>	<b>22</b>
	トレースの概要.....	22
	ディレイカウンタ .....	23
	トレースの実行モード.....	23
	トレースイネーブル .....	24
	ビューデータ .....	24
	F I F O F U L L .....	24
	トレースの開始.....	25
	トリガ条件.....	25
	トレースの停止.....	26
	トレースの終了.....	26
	強制ディレイモード .....	27

## 1. はじめに

本書はARM9系のKITの共通説明書です。以下のKITに関する説明が記述されています。

- KIT-ARM922T-TP(-H)
- KIT-ARM926EJS-TP(-H)
- KIT-ARM946ES-TP(-H)
- KIT-OMAP\_ARM-TP(-H) ... OMAP15xx(ARM925)向け
- KIT-OMAP161x\_ARM-TP(-H)... OMAP16xx(ARM926)向け
- KIT-MP211-TP(-H)

これらのKITは、ARM9系のそれぞれのプロセッサコアをインサーキット・エミュレーション・デバッグするためのソフトウェアです。使用できる本体のハードウェアとKITの対応は以下の通りです。

- KIT-xxxx-TP :RTE-2000-TP用のKITです。
- KIT-xxxx-TP-H :RTE-2000H-TP用のKITです。

尚、本書では、KIT-xxxx-TP とKIT-xxxx-TP-Hを特に区別しない説明ではこれらKITのことをKIT-xxxx-TP(-H)と記述し、コアの品種を問わない説明においては、KIT-ARM9xx-TP(-H)と記述します。また、本体に関し、RTE-2000-TPとRTE-2000H-TPを区別しない説明ではRTE-2000(H)-TPと記述します。

ご使用にあたりましては本体となりますRTE-XXXX-TPのハードウェア・ユーザース・マニュアルと合わせてお読みください。

本製品には下記のものが付属します。最初に付属品の確認を行ってください。

- RTE for Win32 (Rte4win32) Set Up CD-ROM
- ユーザース・マニュアル(本書)
- ライセンス設定シート

## 2. ハードウェア仕様

### エミュレーション部

対象デバイス		
KIT-ARM922T-TP(-H)		ARM922T
KIT-ARM926EJS-TP(-H)		ARM926EJS
KIT-ARM946ES-TP(-H)		ARM946ES
KIT-OMAP_ARM-TP(-H)		OMAP15xx(ARM925)
KIT-OMAP161x_ARM-TP(-H)		OMAP16xx(ARM926)
KIT-MP211-TP(-H)		MP211(ARM926)
使用するRTE-TPの形式	RTE-2000-TP	RTE-2000H-TP
JTAG-IFケーブル	RTE-ARM/MICTOR38-2K	PB-JTAG-A-A36(72/144)
エミュレーション機能		
CPU動作周波数	制限なし	
インターフェース	ARM社JTAG/ETM	
動作電圧	1.8 3.3V (*2)	1.2 3.3V
JTAG CLK	100KHz - 25MHz(RTCK対応)	100KHz - xxxMHz(RTCK対応)
ブレーク機能		
H/Wブレークポイント	2点	
実行アドレスの設定	可	
アドレス指定		
特権レベル		
モード		
データアクセスの設定	可	
アドレス指定		
データ指定		
アクセスサイズ指定		
コンビネーション	AND, OR, Seq	
S/Wブレークポイント	100	
ベクタによるブレーク設定	reset, undef_instruction, sint, abort, irq, fig	
ステップブレーク	可	
マニュアルブレーク	可	
トレース機能(ETM対応)		
トレースデータバス	8-bit	
トレースメモリ	8bit x 256Kword	8bit x 1M(2M/4M)-word
ETM設定		
リソースの設定	8点	
イベントの設定	可	
トレースイネーブル条件設定	可	
トレースViewData条件設定	可	
外部入力によるトリガ設定	可	
トレースディレイ	0 - 3FFFF	0 FFFFF(1FFFFFF/3FFFFFF)
トレースクロック	133MHz(max)	max333MHz(B仕様:400MHz)
タイムタグ	100nS - 30h	
逆アセンブルトレース表示機能	有	
ROMエミュレーション機能(*4,5)		
ブロック内マップ機能(USER/EMEM)	64K-Word	
RAMとして使用	可	
メモリ容量	8M - 128Mバイト	
アクセスタイム、()内はハーフサイクル時	35nS(30nS) (*1)	
動作電圧	1.8V 3.3V (*2)	

電気的条件	LV-TTL, 5Vトランプト (*3)	
エミュレーション可能なROM数		
DIP-32pin-ROM(8bit-ROM)	4(max)	
DIP-40/42pin-ROM(16bit-ROM)	4(max)	
拡張16BIT-標準ROMコネクタ	4(max)	
エミュレーション可能なROMの容量(bit)		
DIP-32-ROM(8-bit bus)	1M, 2M, 4M, 8M(27C010/020/040/080)	
DIP-40-ROM(16bit-bus)	1M, 2M, 4M(27C1024/2048/4096)	
DIP-42-ROM(16bit-bus)	8M, 16M(27C8000/16000)	
拡張16bit-標準ROM(16bit-bus)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M(32M/A <sup>*</sup> 1つ)	
バス幅指定(bit)	8/16/32/64	
その他		
高速ダウンロード機能(PB-HSDL-50)	無	有 (*6)
端子マスク機能	RESET, STOP, NMIx, VAREQ, WAIT-, INTxx	

\*1, 2, 3. RTE-2000(H)-TP+CBL-STD16-2Kを使用した場合の値です。

\*2. 2.3V以下で使用する場合はケーブルのDC特性に注意ください。電氣的に整合しない場合があります。

\*4. RTE-2000(H)-TPでは、標準のE.MEM基板を最大4枚まで実装でき、その時の最大容量は128M/A<sup>\*</sup> 1つです。32-bit幅では2枚、64-Bit幅では4枚必要です。8-Bitバス幅のROMでは、ROM 1個に1枚必要です。

\*5. BIF-D02等オプションのエミュレーションメモリを使用する場合はそれぞれの仕様を参照ください。

\*6. 高速ダウンロード機能をご使用になるにはオプションのPB-HSDL-xxが必要です。各KITでの対応状況は別途ご確認ください。

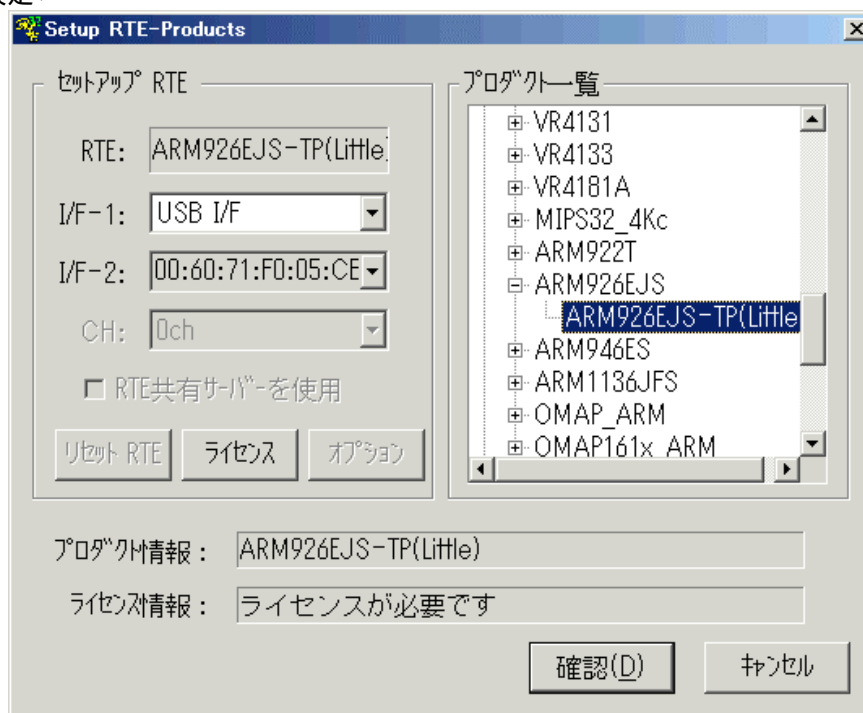
### 3. RTE for WIN32の設定

『RTE for WIN32』の設定について説明します。

#### ChkRTE2.exeの起動

ユーザシステムとの接続を完了し、全ての機器の電源が投入された状態で ChkRTE2.exe を起動し、『RTE for WIN32』の環境設定を実施してください。『RTE for WIN32』の環境設定は、新規にハードウェアを設置した時に必ず1回は実施してください。

< RTEの設定 >



< RTEの選択 >

プロダクト一覧より、TPの下層にあるプロダクトをCPU名称をガイドにして指定してください。（画面は、ARM926EJS-TPを選択した場合です。）

< I/F-1, I/F-2の選択 >

使用するホストインターフェースに合ったものをプルダウンメニューから選んで指定してください。（画面は、USB-I/Fを割り付けた場合です）

< ライセンス >

ボタンをクリックして、KITに添付のライセンス設定シートを見て、ライセンスの設定を行ってください。詳細は、『RTE for WIN32』のマニュアルを参照してください。

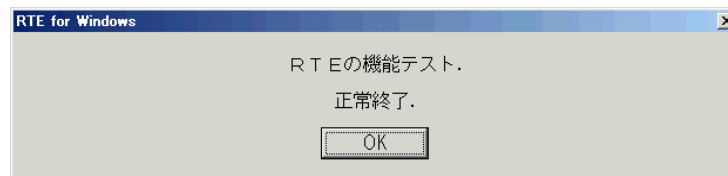


“KIT-ARM9xx-TP-H”は、rte4win32 ver.6.00.00以上で対応しています。



## &lt; 機能テスト &gt;

機能テストは、ユーザシステムとの接続が正しく行われ、デバッグ可能な状態になっていることが必要です。RTEの設定後、画面の指示に従い機能テストを実施すると、正常終了時に下記のダイアログが表示されます。この状態になれば、デバッガからの制御が可能です。



途中でエラーになる場合は、ユーザシステムに障害があるか、JTAG-IFケーブルが正しく接続できていない可能性がありますので、それらの確認を行ってください。



**CHKRTE2.EXEの機能テストは、RTE-xxxx-TPとユーザシステムが接続され、両方に電源が入っている状態で行ってください。**

## 4. 初期設定コマンド

デバッグを開始する前に、ユーザシステムのハードウェアに依存した初期設定が必要です。初期設定のためのコマンドとして以下が用意されていますので、必ず、正しく設定してからご使用ください。

### ENVコマンド

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

### ROMコマンド

- ・ROMのエミュレーション条件の指定

### NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

### NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

### NR0M/NR0MDコマンド

- ・強制ユーザ領域の指定

### **Multiを使用する場合**

ターゲットウインドウ内で内部コマンドを使用します。

### **PARTNER(MPT-ARM)を使用する場合**

.cfgファイル、またはスルー・コマンドを使用します。

MPT-ARMの中で使用できるRTEの内部コマンドの一覧を以下に示します。これら以外のコマンドは使用しないでください。.cfgファイルの中で使用できるコマンドはデバッガの中でも使用できます。内部コマンドの詳細は付録.Bを参照ください。

.cfgファイルの中で使用できる内部コマンド	rom, romN , nrom, nromd ,armopt, btxxxx
デバッガの中でのみ使用できる内部コマンド	env, ememstat, ver

## 5. インターフェース仕様

JTAG/ETMインターフェースの接続信号の一覧を以下に示します。

<ピン配置表>

Pin番号	接続信号名	入出力 (User Side)	処理 (User Side)
1	NC.	---	未使用
3	NC.	---	未使用
5	Reserved	---	未使用
7	DGBRQ	Input	4.7K - 10K プルダウン
9	nSRST	Input	4.7K - 10K プルアップ
11	TDO	Output	22 - 33 シリーズ抵抗 (推奨)
13	RTCK	Output	22 - 33 シリーズ抵抗 (推奨)
15	TCK	Input	4.7K - 10K プルアップ
17	TMS	Input	4.7K - 10K プルアップ
19	TDI	Input	4.7K - 10K プルアップ
21	nTRST	Input	4.7K - 50K プルダウン
23	TRACEPKT [15]	Output	Open、またはGND
25	TRACEPKT [14]	Output	Open、またはGND
27	TRACEPKT [13]	Output	Open、またはGND
29	TRACEPKT [12]	Output	Open、またはGND
31	TRACEPKT [11]	Output	Open、またはGND
33	TRACEPKT [10]	Output	Open、またはGND
35	TRACEPKT [9]	Output	Open、またはGND
37	TRACEPKT [8]	Output	Open、またはGND

Pin番号	接続信号名	入出力 (User Side)	処理 (User Side)
2	NC.	---	未使用
4	NC.	---	未使用
6	TRACECLK	Output	22 - 33 シリーズ抵抗 (推奨)
8	DBGACK	Output	22 - 33 シリーズ抵抗 (推奨)
10	EXTRIG	Input	未使用の割込み入力に接続することを推奨 (OPTION)
12	VTRef	Output	CPUのI/O系電源に接続 (電源監視用)
14	Vsupply	Output	CPUのI/O系電源に接続 (ICEでは未使用)
16	TRACEPKT [7]	Output	22 - 33 シリーズ抵抗 (推奨)
18	TRACEPKT [6]	Output	22 - 33 シリーズ抵抗 (推奨)
20	TRACEPKT [5]	Output	22 - 33 シリーズ抵抗 (推奨)
22	TRACEPKT [4]	Output	22 - 33 シリーズ抵抗 (推奨)
24	TRACEPKT [3]	Output	22 - 33 シリーズ抵抗 (推奨)
26	TRACEPKT [2]	Output	22 - 33 シリーズ抵抗 (推奨)
28	TRACEPKT [1]	Output	22 - 33 シリーズ抵抗 (推奨)
30	TRACEPKT [0]	Output	22 - 33 シリーズ抵抗 (推奨)
32	TRACESYNC	Output	22 - 33 シリーズ抵抗 (推奨)
34	PIPSTAT [2]	Output	22 - 33 シリーズ抵抗 (推奨)
36	PIPSTAT [1]	Output	22 - 33 シリーズ抵抗 (推奨)
38	PIPSTAT [0]	Output	22 - 33 シリーズ抵抗 (推奨)

## 6. SW1, SW2の設定

KIT-ARM9xx-TP(-H)でのSW1, SW2の割り付けを以下に示します。

### RTE-2000(H)-TP

SW1	シンボル	機能	推奨設定値
1 - 3	Reserved	RTE-2000(H)-TPのマニュアルを参照ください。	OFF
4	RTCK_EN	RTCKを使用するかどうかの指定 OFF : RTCKは使用しません。 ON : RTCKを使用します。	ON
5 - 8	Reserved	RTE-2000(H)-TPのマニュアルを参照ください。	OFF

SW2	シンボル	機能	初期値
1 - 8	Reserved	RTE-2000(H)-TPのマニュアルを参照ください。	OFF

備考: SW1, SW2は本体の背面部にあります。

#### [RTCK\_EN]

RTCKを使用するかどうかの切り替えです。デバッグ起動時にどちらで使用するかが決定されますので、通電前に設定してください。



SW1-4: RTE-2000(H)-TPの出荷時の設定はOFFですが、ARM9系CPUでは通常ONで使用してください。CPUにRTCK端子があっても使用しない場合、またはCPUにRTCK端子がない場合にのみ、"OFF"でご使用ください。

<補足> CPUのRTCK端子はJTAG-IFに必ず接続してください。

## 7. 注意事項

KIT個別に使用上の注意事項を説明します。

### KIT-ARM922T-TP(-H)

KIT-ARM922T-TP(-H)を使用する上での注意事項を以下にまとめます。

#### 操作上の注意

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。双方の故障の原因となります。
- 2) 本ツールは、ARM922T内部のデバッグ制御回路を外部から制御するものです。そのため、以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとJTAG-IFケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、ARM922Tが正しく動作できる状態にあること。
- 3) ARM922Tでは、work\_addrコマンドの設定が必要です。デバッガ起動直後に必ず行ってください。
- 4) Altera社のExcalibur(ARM922T)では、以下の点に注意ください。
  - \* Altera社のExcaliburでは、リセット解除後、CPU自身の設定プログラム(ブートプログラム)が実行されます。この実行が完了するまではCPUが本来の仕様で動作しません。そこで、デバッガ起動直後にbootwaitコマンドを2秒程度に設定し、リセットコマンドを発行してください。この操作により、ICEはCPUを一度リセットし、その解除後、2秒間(bootwaitコマンドの設定値)待って、ICEの制御モニタに引き込みます。この2秒待っている間にCPUの設定プログラム(ブートプログラム)が実行され、本来のCPUの動作が可能になります。bootwaitの設定時間はそれぞれのシステムによって異なりますので、リセット完了後CPUの状態を確かめて、未完了の場合は時間を変えて再度リセットコマンドを発行してください。

#### ETMに関する注意

- 5) トレース表示は完全に正確であることを保証できません。特に以下の点にご注意ください。
  - \* 命令実行のトレースが分岐命令でもないのに不連続になる場合があります。こういった場合はそれら前後のトレースは正確ではありませんのでトレース情報として排除してください。
  - \* データトレースのアドレスやデータは一部表示できない場合があります。また、アドレスやデータを間違っ表示する場合があります。命令の流れから明らかにおかしなアドレスへのアクセスやデータが表示された場合、トレース情報として排除してください。
  - \* ブ레이크ポイントからの続行直後の数命令のトレースは正確でない場合があります。
  - \* リアルモードでのトレースは実行やデータトレースが寸断する場合があります。こういった状態の前後のトレースは正確ではありません。

#### その他の注意

- 6) ビッグエンディアンには対応していませんので、リトルエンディアンのみでご利用ください。

**KIT-ARM926EJS-TP(-H)**

KIT-ARM926EJS-TP(-H)を使用する上での注意事項を以下にまとめます。

**操作上の注意**

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れないでください。双方の故障の原因となります。
- 2) ツールは、ARM926EJS内部のデバッグ制御回路を外部から制御するものです。そのため、以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとJTAG-IFケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、ARM926EJSが正しく動作できる状態にあること。

**ETMに関する注意**

- 3) 標準のN-WireケーブルでETMを使用する場合は、CPUの内部クロックを133MHz以下でご使用ください。それ以上の周波数で使用する場合は、オプションの高速ETMケーブルが必要です。
- 4) トレース表示は完全に正確であることを保証できません。特に以下の点にご注意ください。
  - \* 命令実行のトレースが分岐命令でもないのに不連続になる場合があります。こういった場合はそれら前後のトレースは正確ではありませんのでトレース情報として排除してください。
  - \* データトレースのアドレスやデータは一部表示できない場合があります。また、アドレスやデータを間違えて表示する場合があります。命令の流れから明らかにおかしなアドレスへのアクセスやデータが表示された場合、トレース情報として排除してください。
  - \* ブレークポイントからの続行直後の数命令のトレースは正確でない場合があります。
  - \* リアルモードでのトレースは実行やデータトレースが寸断する場合があります。こういった状態の前後のトレースは正確ではありません。

**その他の注意**

- 5) ビッグエンディアンには対応していませんので、リトルエンディアンのみでご使用ください。また、
- 6) ソフトウェアブレークポイントを設定した場合、同時に使用できるハードウェアブレークポイントの数は1点になります。
- 7) デバッグ起動時やリセットコマンド中、CPUは一時的にフリーラン状態になり、その時に実行された結果はそのままです。その結果、以下のことが起こりえます。
  - \* 周辺回路の初期化が行われる場合もあり、その後の実行はパワーオン直後の状態とは異なる場合があります。
  - \* 不定の命令を実行することによりCPUが予期せぬ状態に陥る場合があります。最悪の場合、起動不良やリセットコマンドでフェイルする場合があります。これを回避する為には、0番地のアクセスで有効になるチップセレクトの空間にエミュレーションメモリを割り付けることです。これにより、上記のことは回避されます。

- 8) ARM926EJ-SはCPUのリセット信号でICE制御レジスタがクリアされます。そのため、デバッグ中にユーザシステムからリセットを入れた場合、その後のICE制御が行えなくなりますので、原則として、ICE接続中はユーザシステムからリセットすることは避けてください。もし、どうしてもリセットが入る状態でデバッグを行わなければならない場合は、armoptコマンドでreset recoveryを指定してください。実行中のリセットに限り、リカバリー機能が働き、デバッグの継続が可能です。但し、7)の注意事項の回避処置は必要です。



**この機能が働くためには、JTAG-IFのSRST-信号が双方向で機能することが必要です。**

尚、ブレーク中にユーザシステム上でCPUに対しリセットが入られた場合、その直後のコマンドはエラーになり、その旨のエラーメッセージが表示されます。この時、以降のデバッグを継続する場合はデバッガからRESETコマンドを発行してください。



**RESETコマンドにより、CPU、及び、ユーザシステム上のSRST-が接続された回路は再度リセットされます。**

**KIT-ARM946ES-TP(-H)**

KIT-ARM946ES-TP(-H)を使用する上での注意事項を以下にまとめます。

**操作上の注意**

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。双方の故障の原因となります。
- 2) ツールは、ARM946ES内部のデバッグ制御回路を外部から制御するものです。そのため、以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとJTAG-IFケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、ARM946ESが正しく動作できる状態にあること。

**ETMに関する注意**

- 3) トレース表示は完全に正確であることを保証できません。特に以下の点にご注意ください。
  - \* 命令実行のトレースが分岐命令でもないのに不連続になる場合があります。こういった場合はそれら前後のトレースは正確ではありませんのでトレース情報として排除してください。
  - \* データトレースのアドレスやデータは一部表示できない場合があります。また、アドレスやデータを間違っ表示する場合があります。命令の流れから明らかにおかしなアドレスへのアクセスやデータが表示された場合、トレース情報として排除してください。
  - \* ブレークポイントからの続行直後の数命令のトレースは正確でない場合があります。
  - \* リアルモードでのトレースは実行やデータトレースが寸断する場合があります。こういった状態の前後のトレースは正確ではありません。

**その他の注意**

- 4) ビッグエンディアンには対応していませんので、リトルエンディアンのみでご利用ください。



**KIT-OMAP\_ARM-TP(-H)**

KIT-OMAP\_ARM-TP(-H)を使用する上での注意事項を以下にまとめます。

**操作上の注意**

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。双方の故障の原因となります。
- 2) 本ツールは、OMAP\_ARM内部のデバッグ制御回路を外部から制御するものです。そのため、以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとJTAG-IFケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、OMAP\_ARMが正しく動作できる状態にあること。

**ETMに関する注意**

- 3) ETM(トレースユニット)を使用する場合は、0xFFFFE1000:Bit8に " 1 " を設定してください。
- 4) トレース表示は完全に正確であることを保証できません。特に以下の点にご注意ください。
  - \* 命令実行のトレースが分岐命令でもないのに不連続になる場合があります。こういった場合はそれら前後のトレースは正確ではありませんのでトレース情報として排除してください。
  - \* データトレースのアドレスやデータは一部表示できない場合があります。また、アドレスやデータを間違って表示する場合があります。命令の流れから明らかにおかしなアドレスへのアクセスやデータが表示された場合、トレース情報として排除してください。
  - \* ブレークポイントからの続行直後の数命令のトレースは正確でない場合があります。
  - \* リアルモードでのトレースは実行やデータトレースが寸断する場合があります。こういった状態の前後のトレースは正確ではありません。

**その他の注意**

- 5) ビッグエンディアンには対応していませんので、リトルエンディアンのみでご使用ください。
- 6) キャッシュを使用する場合は、エミュレーションメモリが使える状態になっていなければICEから正しく制御できません。(work\_addrコマンド参照)
- 7) キャッシュを使用しない場合は、work\_addrコマンドでunusedを最初に指定してください。

KIT-OMAP161x\_ARM-TP(-H)

KIT-OMAP161x\_ARM-TP(-H)を使用する上での注意事項を以下にまとめます。

**操作上の注意**

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。双方の故障の原因となります。
- 2) ツールは、OMAP161x\_ARM内部のデバッグ制御回路を外部から制御するものです。そのため、以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとJTAG-IFケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、OMAP161x\_ARMが正しく動作できる状態にあること。

**ETMに関する注意**

- 3) ETM(トレースユニット)を使用する場合の注意

ETMの信号を出力する信号ピンは、リセット直後はカメラ用となっていますので、ETMとしてご使用されるには、以下の設定が必要です。詳細はOMAP161xの説明書を参照ください。

```
HELEN_CONFIGURATION_FUNC_MUX_CTRL_4 |= 0x1 << 21; // trace_pkt_7
HELEN_CONFIGURATION_FUNC_MUX_CTRL_4 |= 0x1 << 24; // trace_clk
HELEN_CONFIGURATION_FUNC_MUX_CTRL_4 |= 0x1 << 27; // trace_sync
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 0; // trace_pkt_6
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 3; // trace_pkt_5
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 6; // trace_pkt_4
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 9; // trace_pkt_3
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 12; // trace_pkt_2
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 15; // trace_pkt_1
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 18; // trace_pktpkt_0
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 21; // trace_pipestat_2
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 24; // trace_pipestat_1
HELEN_CONFIGURATION_FUNC_MUX_CTRL_5 |= 0x1 << 27; // trace_pipestat_0
HELEN_CONFIGURATION_FUNC_MUX_CTRL_7 |= 0x5 << 3; // trace_pipestat_4
HELEN_CONFIGURATION_FUNC_MUX_CTRL_7 |= 0x5 << 0; // trace_pipestat_3
```

```
HELEN_CONFIGURATION_CONP_MODE_CTRL = 0xEAEF; // Helen2 mode
```

- 4) トレース表示は完全に正確であることを保証できません。特に以下の点にご注意ください。
  - \* 命令実行のトレースが分岐命令でもないのに不連続になる場合があります。こういった場合はそれら前後のトレースは正確ではありませんのでトレース情報として排除してください。
  - \* データトレースのアドレスやデータは一部表示できない場合があります。また、アドレスやデータを間違って表示する場合があります。命令の流れから明らかにおかしなアドレスへのアクセスやデータが表示された場合、トレース情報として排除してください。
  - \* ブレークポイントからの続行直後の数命令のトレースは正確でない場合があります。
  - \* リアルモードでのトレースは実行やデータトレースが寸断する場合があります。こういった状態の前後のトレースは正確ではありません。

**その他の注意**

- 5) ビッグエンディアンには対応していませんので、リトルエンディアンのみでご利用ください。
- 6) ソフトウェアブレイクポイントを設定した場合、同時に使用できるハードウェアブレイクポイントの数は1点になります。
- 7) デバッガ起動時やリセットコマンド中、CPUは一時的にフリーラン状態になり、その時に実行された結果はそのままです。その結果、以下のことが起こりえます。
  - \* 周辺回路の初期化が行われる場合もあり、その後の実行はパワーオン後の状態とは異なる場合があります。
  - \* 不定の命令を実行することによりCPUが予期せぬ状態に陥る場合があります、最悪の場合、起動不良やリセットコマンドでフェイルする場合があります。これを回避する為には、0番地のアクセスで有効になるチップセレクトの空間にエミュレーションメモリを割り付けることです。これにより、上記のことは回避されません。
- 8) OMAP161x\_ARMは、CPUのリセット信号でICE制御レジスタがクリアされます。そのため、デバッグ中にユーザシステムからリセットを入れた場合、その後のICE制御が行えなくなりますので、原則として、ICE接続中はユーザシステムからリセットすることは避けてください。もし、どうしてもリセットが入る状態でデバッグを行わなければならない場合は、armoptコマンドでresetrecoveryを指定してください。実行中のリセットに限り、リカバリー機能が働き、デバッグの継続が可能です。但し、7)の注意事項の回避処置は必要です。



**この機能が働くためには、JTAG-IFのSRST-信号が双方向で機能する必要があります。**

尚、ブレイク中にユーザシステム上でCPUに対しリセットが入られた場合、その直後のコマンドはエラーになり、その旨のエラーメッセージが表示されます。この時、以降のデバッグを継続する場合はデバッガからRESETコマンドを発行してください。



**RESETコマンドにより、CPU、及び、ユーザシステム上のSRST-が接続された回路は再度リセットされます。**

KIT-MP211-TP(-H)

KIT-MP211-TPを使用する上での注意事項を以下にまとめます。

**操作上の注意**

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。双方の故障の原因となります。
- 2) 本ツールは、MP211(ARM926) 内部のデバッグ制御回路を外部から制御するものです。そのため、以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとJTAG-IFケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、MP211が正しく動作できる状態にあること。
- 3) PE1/PE2のリセットの解除について  
 デバッグの起動時にはCPUがハード的にリセットされた状態になるため、PE1とPE2はリセットされた状態になっています。したがって、PE1もしくはPE2用のデバッグを起動する前にPE1/PE2のリセットをPE0のデバッグから解除して下さい。PE1/PE2のリセットの解除には次の設定が必要です。
  - ・ PE1の場合  
 C801\_0004H Bit2 (RESETREQ0.PE1\_RST) 1
  - ・ PE2の場合  
 C801\_0004H Bit4 (RESETREQ0.PE2\_RST) 1
 C801\_0004H(RESETREQ0)の各ビットを操作するためには、C801\_0008H (RESETREQ0ENA)レジスタの該当ビットを"1"に設定する必要があります。詳細はMP211のユーザズ・マニュアルを参照して下さい。



**PE1/PE2のリセットを解除する時に、後述するPE1/PE2のETMのリセットの解除も一緒に行うことを推奨致します。**

**ETMに関する注意**

- 4) ETM(トレースユニット)用信号ピンの切り替えについて  
 ETMの信号を出力する信号ピンは、カメラI/Fや地上デジタルTV-I/F用の信号ピンとの兼用になっています。CPUの仕様として、これらのピンはトレース機能を有効にすると自動的にETM用の信号ピンに切り替わります。したがって、これらの信号ピンをETM以外の目的で使用する場合は、トレース機能を無効にして下さい。  
 デバッグがGHS社のMultiの場合は、rteserv起動後もしくはinitコマンド発行後はトレース機能は無効になっていますが、tronコマンドを発行するとそれ以降はトレース機能が有効になります。  
 デバッグがPARTNERの場合は、.cfgファイルのETMの設定によりトレースを有効/無効にする事ができます。
- 5) ETM(トレースユニット)の有効化について  
 CPUがハード的にリセットされると、PE1およびPE2のETMはクロックの供給が停止しリセットされたままとなります。PE1およびPE2においてETMを有効にするには、次の設定が必要になります。

- ・ PE1の場合
 

C801_0004H Bit3 (RESETREQ0.PE1_ETMRST)	1
C801_0204H Bit9 (SMU_PE1_ETMSYSOPT.DISETMOTCK)	0
  - ・ PE2の場合
 

C801_0004H Bit5 (RESETREQ0.PE2_ETMRST)	1
C801_0208H Bit9 (SMU_PE2_ETMSYSOPT.DISETMOTCK)	0
- C801\_0004H(RESETREQ0)の各ビットを操作するためには、C801\_0008H(RESETREQ0ENA)レジスタの該当ビットを1に設定する必要がありますので注意して下さい。詳細はMP211のユーザーズ・マニュアルを参照して下さい。



**PARTNERデバッガでは、デバッガの起動時にETMが使用可能かどうかを検出しています。したがって、上記設定はPE1/PE2のデバッガを起動する前にPE0のデバッガから行う必要があります。**

#### 6) ETM(トレースユニット)の選択について

ETMの信号を出力する信号ピンは1つのコア分しかないため、どのコアのETMを出力するの設定を以下の通り行う必要があります。CPUがハード的にリセットされると、PE0のETMが選択されます。

- ・ PE0の場合
 

C801_0220H Bit[1:0] (SMU_CHGL.CHGL1_ETMSEL[1:0])	0
--	---
- ・ PE1の場合
 

C801_0220H Bit[1:0] (SMU_CHGL.CHGL1_ETMSEL[1:0])	1
--	---
- ・ PE2の場合
 

C801_0220H Bit[1:0] (SMU_CHGL.CHGL1_ETMSEL[1:0])	2
--	---

#### 7) トレース表示は完全に正確であることを保証できません。特に以下の点にご注意ください。

命令実行のトレースが分岐命令でもないのに不連続になる場合があります。こういった場合はそれら前後のトレースは正確ではありませんのでトレース情報として排除してください。

- \* データトレースのアドレスやデータは一部表示できない場合があります。また、アドレスやデータを間違っ表示する場合があります。命令の流れから明らかにおかしなアドレスへのアクセスやデータが表示された場合、トレース情報として排除してください。
- \* ブレークポイントからの続行直後の数命令のトレースは正確でない場合があります。
- \* リアルモードでのトレースは実行やデータトレースが寸断する場合があります。こういった状態の前後のトレースは正確ではありません。

#### PARTNERに関するその他の注意

- 8) JTAGにPE0のみ接続されている状態ではシングルコア向けPARTNERを、JTAGにPE0~PE2が接続されている状態ではマルチコア向けのPARTNERを使用して下さい。

#### その他の注意

- 9) ビッグエンディアンには対応していませんので、リトルエンディアンのみでご使用ください。

- 1 0 ) デバッガがGHS社のMultiの場合、ソフトウェアブレークポイントを設定した場合、同時に使用できるハードウェアブレークポイントの数は1点になります。デバッガがPARTNERの場合、使用できるハードウェアブレークポイントは常に1点となります。
- 1 1 ) デバッガ起動時やリセットコマンド中、CPUは一時的にフリーラン状態になり、その時に実行された結果はそのままです。その結果、以下のことが起こりえます。
- ・ 周辺回路の初期化が行われる場合もあり、その後の実行はパワーオン後の状態とは異なる場合があります。
  - ・ 不定の命令を実行することによりCPUが予期せぬ状態に陥る場合があります、最悪の場合、起動不良やリセットコマンドでフェイルする場合があります。これを回避する為には、0番地のアクセスで有効になるチップセレクトの空間にエミュレーションメモリを割り付けることです。これにより、上記のことは回避されます。
- 1 2 ) MP211は、CPUのリセット信号でICE制御レジスタがクリアされます。そのため、デバッグ中にユーザシステムからリセットを入れた場合、その後のICE制御が行えなくなりますので、原則として、ICE接続中はユーザシステムからリセットすることは避けてください。もし、どうしてもリセットが入る状態でデバッグを行わなければならない場合は、armoptコマンドでresetrecoveryを指定してください。実行中のリセットに限り、リカバリー機能が働き、デバッグの継続が可能です。但し、0の注意事項の回避処置は必要です。



**この機能が働くためには、JTAG-IFのSRST-信号が双方向で機能することが必要です。**

尚、ブレーク中にユーザシステム上でCPUに対しリセットが入れられた場合、その直後のコマンドはエラーになり、その旨のエラーメッセージが表示されます。この時、以降のデバッグを継続する場合はデバッガからRESETコマンドを発行してください。



**RESETコマンドにより、CPU、及び、ユーザシステム上のSRST-が接続された回路は再度リセットされます。**

- 1 3 ) ChkRTE2.exeの<RTEの選択>について、  
プロダクト一覧のMP211-TPには以下の2種類があります。  
それぞれ以下にしたがって、選択してください。

MP211-TP(SingleCore/Little) : JTAGにPE0のみ接続されている場合に指定します。

MP211-TP(MultiCore/Little) : JTAGにPE0 ~ PE2が接続されている場合に指定します。



**MP211-TP(MultiCore/Little)で用いる場合は、USB-I/Fで使用することを強く推奨致します。**

## 付録.A トレース機能の詳細

リアルタイムトレース機能について説明します。

### トレースの概要

リアルタイムトレースは、CPUから出力された実行内容（トレースデータ）を、実行ごとにICE内のトレースバッファに書き込みます。この内容は、“trace”コマンドで見ることができます。

トレースデータの取り込みは、トレースイネーブル、ビューデータ、イベント等の設定によって指定できます。

トレースデータ取り込みの流れについては、図 1、図 2を参照してください。

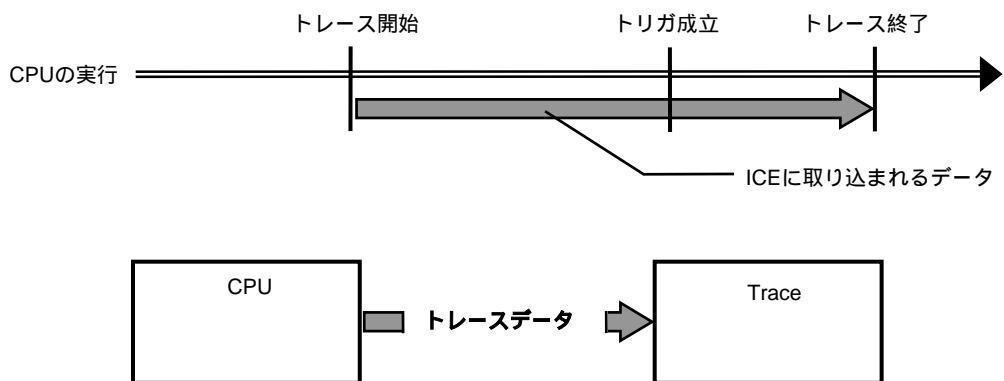


図 1 トレースデータ取り込みの流れ

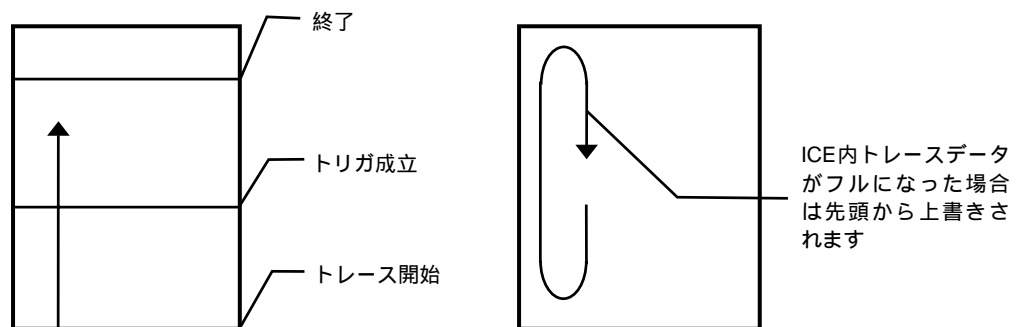


図 2 ICE内のトレースデータ

**ディレイカウント**

ディレイカウントは、トリガ成立後に取り込むサイクル数です(図 3)。サイクル数は、CPUの実行内容により異なります。1サイクルが1実行単位ではありません。

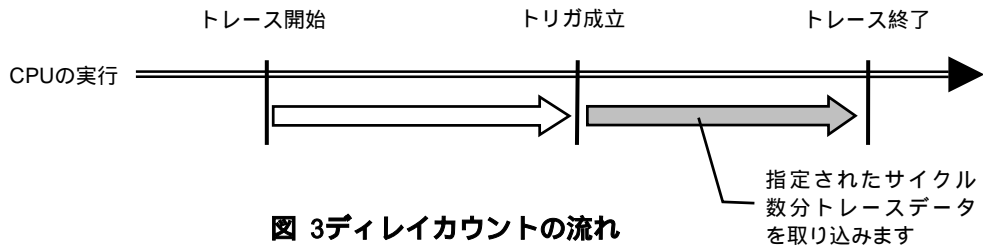


図 3ディレイカウントの流れ

**トレースの実行モード**

リアルタイム・モードは、CPUの実行を優先してトレースデータを取り込むモードです。CPU内のトレースバッファ(FIFO)がフルになった場合、トレースデータの取りこぼしが発生することがあります。(図 4)

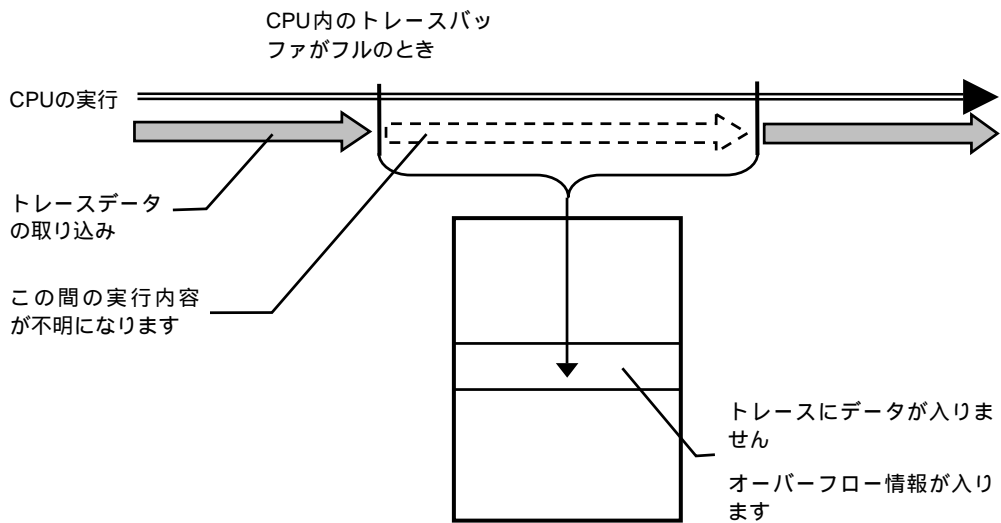


図 4 リアルタイム・モード



**完全モード（非リアルタイム・モード）**は、トレースデータの取りこぼしがないようにするモードです。このモードでは、CPU内のトレースバッファ(FIFO)がフルになった場合、CPUの実行を一時停止し、その後自動的に再開します（図 5）。

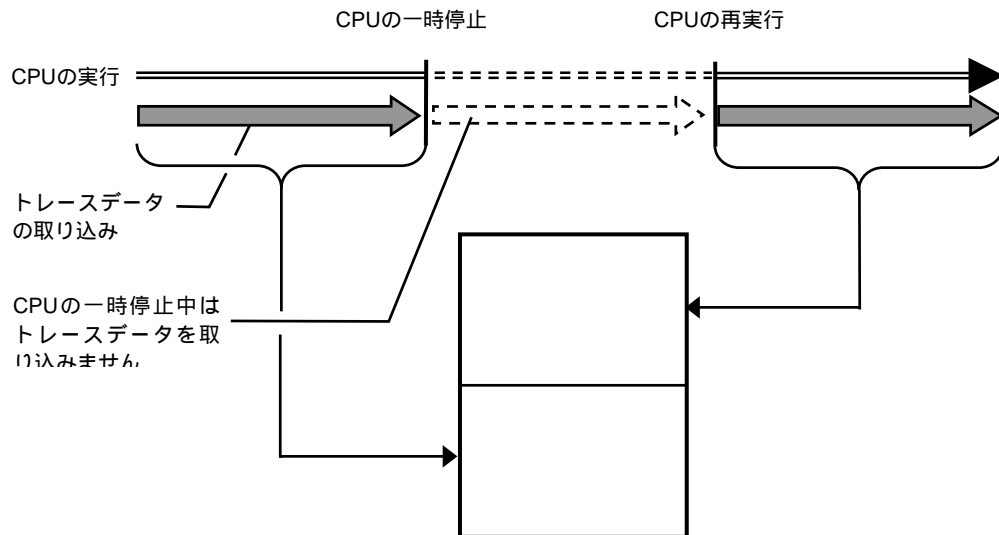


図 5 非リアルタイム・モード

### トレースイネーブル

トレースイネーブルとは、トレース情報をCPUから出力する条件のことで、以下の3つの条件が指定でき、これら全ての条件が成立している時にトレース情報はCPUから出力されます。条件として使用しない項目は条件が成立している状態(例えば、always等を指定)にしておく必要があります。

1. イネーブル条件 (EVTコマンド trcenableパラメータ)
2. 区間の条件(trcenableコマンド start/stopパラメータ)
3. 一致の条件(trcenableコマンド include/exclude以下のパラメータ)

### ビューデータ

ビューデータは、データトレース情報の出力条件のことで、以下の3つの条件が指定でき、これら全ての条件が成立している時にデータに関するトレース情報がCPUから出力されます。条件として使用しない項目は条件が成立している状態(例えば、always等)にしておく必要があります。

1. イネーブル条件 (EVTコマンド viewdataパラメータ)
2. 一致条件(VIEWコマンド !include/include以下のパラメータ)
3. 不一致条件(VIEWコマンド exclude以下のパラメータ)

### FIFOFULL

完全モード(tronコマンド!realパラメータ)でトレースを取り込む時の条件を指定します。このコマンドで指定した条件が成立している時だけ、完全モードとなります。

**トレースの開始**

ICE側のトレース回路をON(TRONコマンド)した後、trcenable条件が成立することでトレースが行われます。起動直後は無条件にトレースイネーブルが成立するように設定されています。

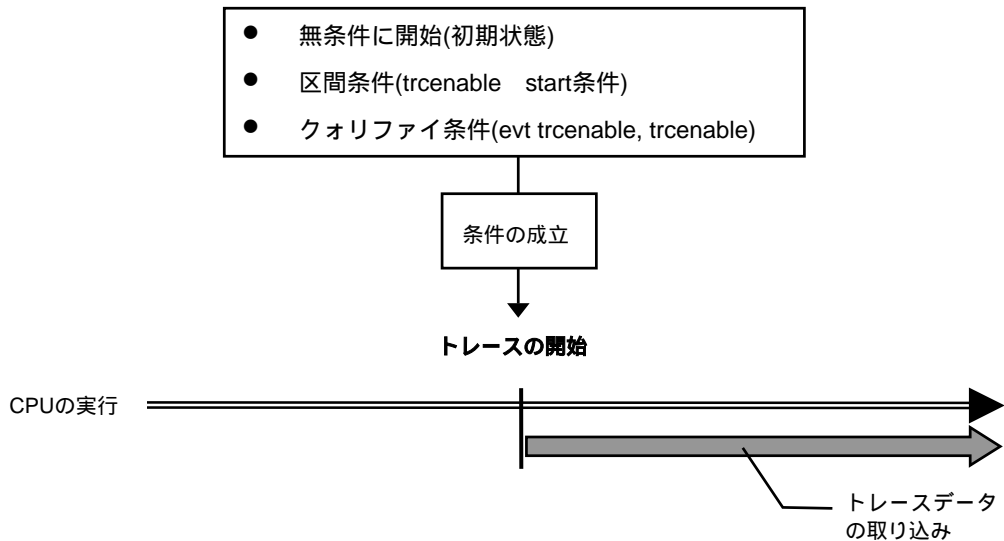


図 6 トレースの開始

**トリガ条件**

ディレイカウン트의起点となる条件です(図 7)。トリガ条件を設定することにより、条件前後の実行内容を見ることができます。

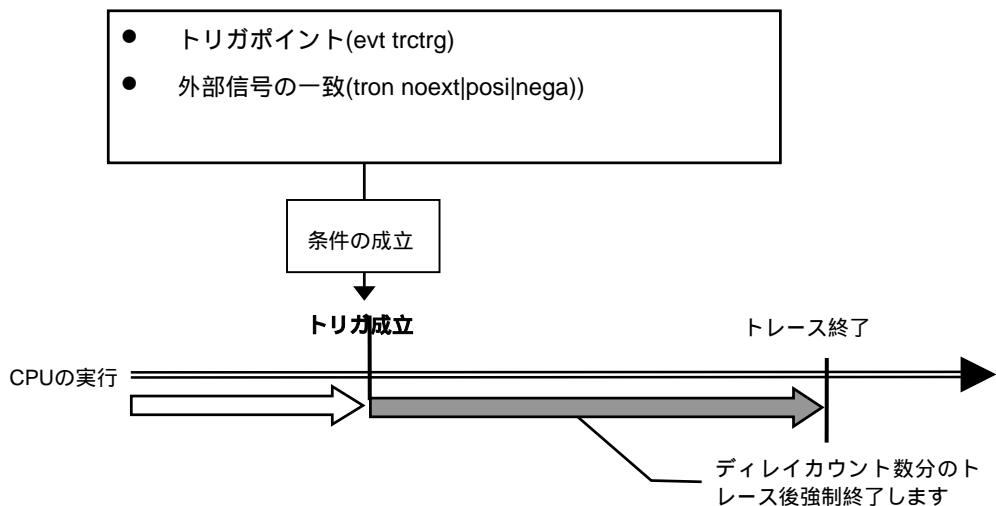


図 7 トリガ条件

**トレースの停止**

トレースイネーブル条件が不成立になるとトレースは一時停止します。(図 8)

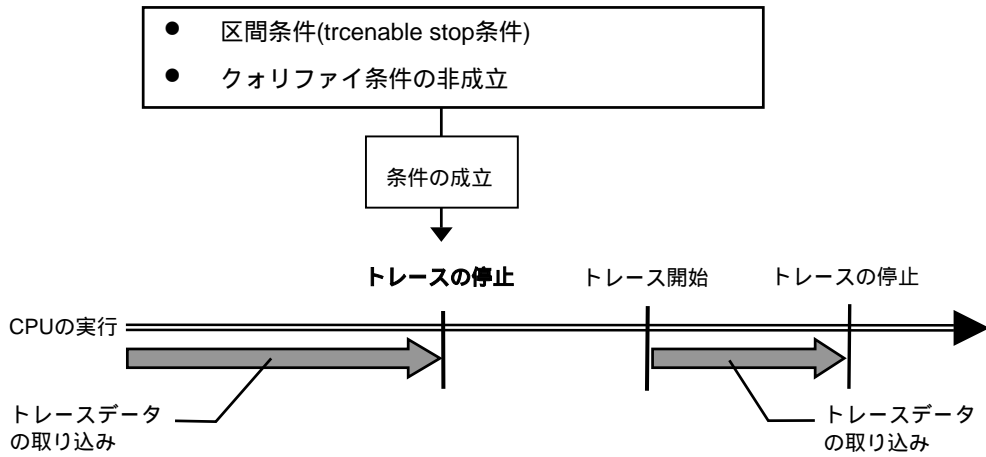


図 8 トレースの停止

**トレースの終了**

トレースの終了は、以降のトレースデータの取り込みをしません。停止条件とは違い、再度トレースを開始することはありません。(図 9)

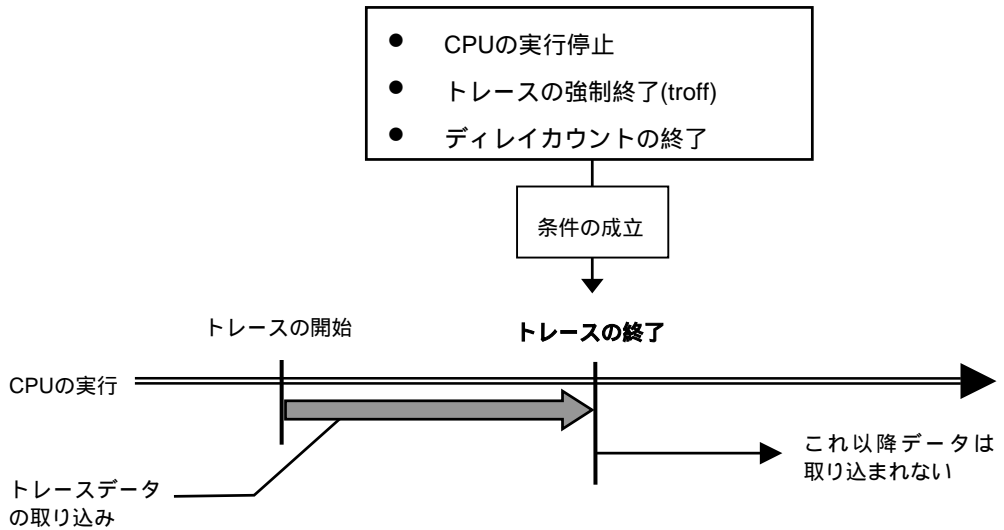


図 9 トレースの終了

### 強制ディレイモード

強制ディレイモードは、トレース開始後、指定されたディレイカウント(サイクル数)分取り込んだ時点で強制的にトレースを終了します。このモード中はトリガ条件を無視します。

(図 10) この場合のトレース開始は、CPUの実行開始です。

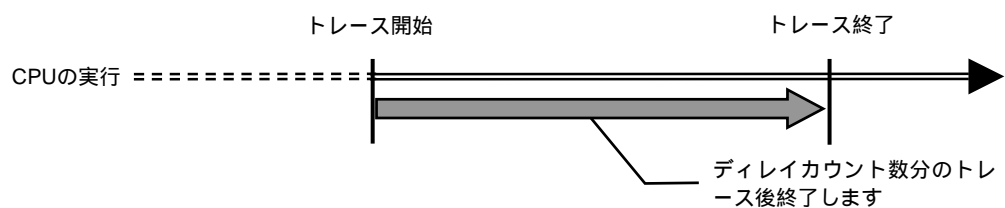


図 10 強制ディレイモード