

***KIT-V850E2/ME3-TP(-H)***

**ユーザース・マニュアル(Rev.1.00)**

***RealTimeEvaluator***

## ■ ソフトウェアのバージョンアップ

- 最新のRTE for Win32 (Rte4win32)は、以下のサイトよりダウンロードできます。

[http://www.midas.co.jp/products/download/program/rte4win\\_32.htm](http://www.midas.co.jp/products/download/program/rte4win_32.htm)

## ■ ご注意

- KIT-V850E2/ME3-TP(-H)(プログラム及びマニュアル)に関する著作権は株式会社マイダス・ラボが所有します。
- 本プログラム及びマニュアルは著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- お客様に設定される使用権は、1ライセンスにつき、1台のシステムにおいてのみ使用できるものです。1ライセンスで同時に2台以上のシステムでのご利用はできません。
- 本製品は、万全の注意を持って作製されていますが、ご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いかねますのでご了承ください。
- 本プログラム及びマニュアルに記載されている事柄は、予告なく変更されることがあります。

## ■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

## **改訂履歴**

Rev.1.00 2006-01-05 初版 ( RTE-2000H-TP対応版 )

## 目次

1.	はじめに .....	4
2.	ハードウェア仕様.....	5
	エミュレーション部 .....	5
3.	RTE for WIN32の設定 .....	7
	ChkRTE2.exeの起動 .....	7
4.	初期設定コマンド.....	9
	Multiを使用する場合.....	9
	PARTNERを使用する場合.....	9
5.	インターフェース仕様：従来型(KEL) .....	10
	接続信号一覧 .....	10
6.	インターフェース仕様：高速型(MICTOR).....	11
	接続信号一覧 .....	11
7.	注意事項 .....	12
	操作上の注意 .....	12
	機能上の注意 .....	12
	付録.A トレース機能の詳細.....	14
	トレースの概要.....	14
	ディレイカウンタ .....	15
	トレースの実行モード.....	15
	サブスイッチ、セクション、クオリファイ .....	16
	トレースの開始.....	16
	トリガ条件 .....	17
	トレースの停止.....	18
	トレースの終了.....	18
	強制ディレイモード .....	19

## 1. はじめに

**KIT-V850E2/ME3-TP(-H)**は、NEC製のRISCプロセッサV850E2/ME3を搭載したシステムをインサートキット・エミュレーション・デバッグするためのソフトウェアです。使用できるハードウェアとKITの対応は以下の通りです。

- ・KIT-V850E2/ME3-TP :RTE-2000-TP用のKITです。
- ・KIT-V850E2/ME3-TP-H :RTE-2000H-TP用のKITです。

尚、本書では、KIT-V850E2/ME3-TPとKIT-V850E2/ME3-TP-Hを特に区別しない説明ではこれらKITのことをKIT-V850E2/ME3-TP(-H)と記述し、RTE-2000-TPとRTE-2000H-TPを区別しない説明ではRTE-2000(H)-TPと記述します。

本マニュアルは、当KITの使用方法について記述したものです。ご使用にあたりましては本体となりますRTE-XXXX-TPのハードウェア・ユーザズ・マニュアルと合わせてお読みください。

本製品には下記のものが付属します。最初に付属品の確認を行ってください。

- ・RTE for Win32 (Rte4win32) Set Up CD-ROM
- ・ユーザズ・マニュアル(本書)
- ・ライセンス設定シート

## 2. ハードウェア仕様

### エミュレーション部

対象デバイス	V850E2/ME3	
使用するRTE-TPの形式	RTE-2000-TP	RTE-2000H-TP
JTAG-IFケーブル ( )内はオプションです。	RTE-NEC/MICTOR38-2K	PB-JTAG-N-A36(72/144)
エミュレーション機能		
CPU動作周波数(*5)	100KHz ~ CPUの最大動作周波数まで	
インターフェース	JTAG/N-Wire	
動作電圧	1.8 3.3V(5Vトランシ) (*2)	1.2 3.3V(5Vトランシ)
JTAG CLK	100KHz - 25MHz	
イベント機能		
イベント数		
実行アドレスの設定	8	
データアクセスの設定	6	
アドレス指定	Mask指定可	
データ指定	Mask指定可	
ステータス指定	Mask指定可	
シーケンシャル器段数	4	
バスカウンタ	12ビット	
ブレーク機能		
H/Wブレークポイント		
命令/アクセス系ブレークポイント	4	
アドレス指定	Mask指定可	
データ指定	Mask指定可	
ステータス指定	Mask指定可	
S/Wブレークポイント	100	
イベントによるブレーク設定	可	
ステップブレーク	可	
マニュアルブレーク	可	
外部信号によるブレーク(High/Low edge)	可	
トレース機能		
トレースデータバス	4-bit	
トレース容量 ( )内はオプションです。	4bit x 256K-word	4bit x 1M(2M/4M)-word
トリガ設定		
実行アドレスによるトリガ設定	可	
データアクセスによるトリガ設定	可	
イベントによるトリガ設定	可	
外部入力によるトリガ設定	可	
開始、停止指定(サブスイッチ)	可	
トレースディレイ ( )内はオプションです。	0 - 3FFFF	0 FFFFF(1FFFFFF/3FFFFFF)
トレースクロック ( )内はオプションです。	max133MHz	max333MHz(B仕様:400MHz)
タイムタグ	100nS - 30h	
逆アセンブルトレース表示機能	有	
完全トレースモード指定機能(no real time)	有	
ROMエミュレーション機能(*4)		
ブロック内マップ機能(USER/EMEM)	64K-Word	
RAMとして使用	可	
メモリ容量	8M - 128Mバイト	
アクセスタイム ( )内はバーストサイクル時	35nS(30nS) (*1)	

動作電圧	1.8V 3.3V (*2)	
電氣的条件	LV-TTL, 5Vトランソ (*3)	
エミュレーション可能なROM数		
DIP-32pin-ROM(8bit-ROM)	4(max)	
DIP-40/42pin-ROM(16bit-ROM)	4(max)	
拡張16BIT-標準ROMコネクタ	4(max)	
エミュレーション可能なROMの容量(bit)		
DIP-32-ROM(8-bit bus)	1M, 2M, 4M, 8M(27C010/020/040/080)	
DIP-40-ROM(16bit-bus)	1M, 2M, 4M(27C1024/2048/4096)	
DIP-42-ROM(16bit-bus)	8M, 16M(27C8000/16000)	
拡張16bit-標準ROM(16bit-bus)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M(32M <sup>1</sup> 1つ)	
バス幅指定(bit)	8/16/32	
その他		
高速ダウンロード機能(PB-HSDL-50)	無	有 (*6)
端子マスク機能	NMI, RESET-, HLDRQ, WAIT-	

\*1, 2, 3. RTE-2000(H)-TP+CBL-STD16-2Kを使用した場合の値です。

\*2. 2.3V以下で使用する場合は各ケーブルのDC特性に注意ください。電氣的に整合しない場合があります。

\*4. RTE-2000(H)-TPでは、E.MEM基板を最大4枚まで実装でき、その時の最大容量は128M<sup>1</sup> 1つです。

32-bit幅では2枚、64-Bit幅では4枚必要です。8-Bitバス幅のROMでは、ROM 1個に1枚必要です。

\*5. 100KHz以下でご使用の場合は別途ご相談ください。

\*6. 高速ダウンロード機能をご使用になるにはオプションのPB-HSDL-xxが必要です。本KITでの対応状況は別途ご確認ください。

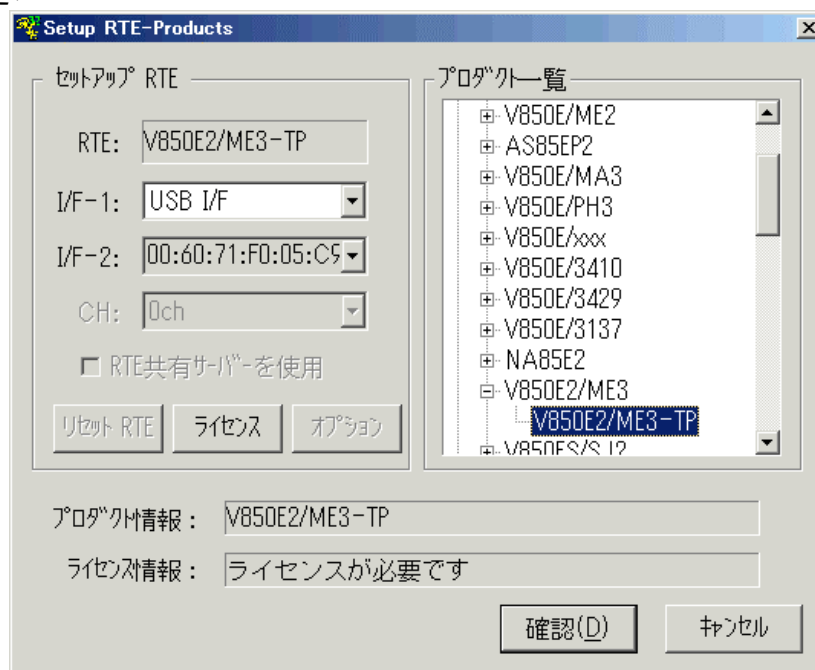
### 3. RTE for WIN32の設定

『RTE for WIN32』の設定について説明します。

#### ChkRTE2.exeの起動

ユーザシステムとの接続を完了し、全ての機器の電源が投入された状態で ChkRTE2.exe を起動し、『RTE for WIN32』の環境設定を実施してください。『RTE for WIN32』の環境設定は、新規にハードウェアを設置した時に必ず1回は実施してください。

< RTEの設定 >



< RTEの選択 >

プロダクト一覧より、TPの下層にあるV850E2/ME3-TPを指定してください。

< I/F-1, I/F-2の選択 >

使用するホストインターフェースに合ったものをプルダウンメニューから選んで指定してください。(画面は、USB-I/Fを選択した場合です)

< ライセンス >

ボタンをクリックして、KITに添付のライセンス設定シートを見て、ライセンスの設定を行ってください。詳細は、『RTE for WIN32』のマニュアルを参照してください。

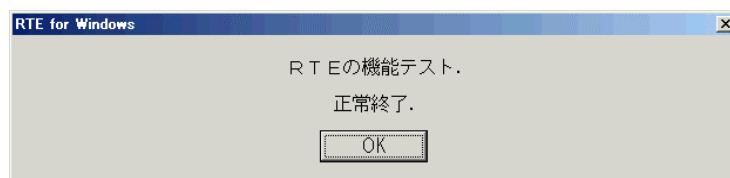


“KIT-V850E2/ME3-TP-H”は、rte4win32 ver.6.00.00以上で対応しています。



## &lt; 機能テスト &gt;

機能テストは、ユーザシステムとの接続が正しく行われ、デバッグ可能な状態になっていることが必要です。RTEの設定後、画面の指示に従い機能テストを実施すると、正常終了時に下記のダイアログが表示されます。この状態になれば、デバッガからの制御が可能です。



途中でエラーになる場合は、ユーザシステムに障害があるか、JTAG-IFケーブルが正しく接続できていない可能性がありますので、それらの確認を行ってください。



**CHKRTE2.EXEの機能テストは、RTE-xxxx-TPとユーザシステムが接続され、両方に電源が入っている状態で行ってください。**

## 4. 初期設定コマンド

デバッグを開始する前に、ユーザシステムのハードウェアに依存した初期設定が必要です。初期設定のためのコマンドとして以下が用意されていますので、必ず、正しく設定してからご使用ください。

### **Multiを使用する場合**

ターゲットウインドウ内で以下の内部コマンドを使用します。

ENVコマンド

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

ROMコマンド

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

### **PARTNERを使用する場合**

設定用のダイアログを使用します。

CPU環境設定ダイアログ

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

エミュレーションROM設定ダイアログ

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

## 5. インターフェース仕様：従来型(KEL)

従来型(KEL)のJTAG/N-Wireインターフェースの接続信号一覧を以下に示します。



**新規の設計では、次章で説明する高速型のインターフェースのご使用を推奨します。**

### 接続信号一覧

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
A1	TRCCLK	Output	22 - 33 シリーズ抵抗 (推奨)
A2	TRCDATA0	Output	22 - 33 シリーズ抵抗 (推奨)
A3	TRCDATA1	Output	22 - 33 シリーズ抵抗 (推奨)
A4	TRCDATA2	Output	22 - 33 シリーズ抵抗 (推奨)
A5	TRCDATA3	Output	22 - 33 シリーズ抵抗 (推奨)
A6	TRCEND	Output	22 - 33 シリーズ抵抗 (推奨)
A7	DDI	Input	4.7K - 10K プルアップ
A8	DCK	Input	4.7K - 10K プルアップ
A9	DMS	Input	4.7K - 10K プルアップ
A10	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
A11	DRST-	Input	4.7K - 50K プルダウン
A12	---	Input	オープン
A13	NC.	-----	オープン

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
B1-B10	GND	-----	GNDに接続
B11	NC.	-----	オープン
B12	NC.	-----	オープン
B13	VCC10	-----	10系電源に直接接続 (電源監視用)

備考：入出力 (User Side) :ユーザ基板側での方向です。

B13-VCC10: 当該信号とインターフェースするデバイスの10用の電源を直接接続してください。



**コネクタや配線に関する事柄はRTE-XXXX-TPのマニュアルを参照ください。**



**RTE-2000H-TPでこのコネクタをご使用になる場合は、オプションのCBL-KEL26が必要です。**

## 6. インターフェース仕様：高速型(MICTOR)

高速型(MICTOR)のJTAG/N-Wireインターフェースの接続信号の一覧を以下に示します。

### 接続信号一覧

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
1	GND		GNDに接続
3(A8)	DCK	Input	4.7K - 10K プルアップ
5(A9)	DMS	Input	4.7K - 10K プルアップ
7(A7)	DDI	Input	4.7K - 10K プルアップ
9(A10)	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
11	---	---	Open
13	---	---	Open
15	---	---	Open
17(A1)	TRCLK	Output	22 - 33 シリーズ抵抗 (推奨)
19(A6)	TRCEND	Output	22 - 33 シリーズ抵抗 (推奨)
21(A2)	TRCDATA0	Output	22 - 33 シリーズ抵抗 (推奨)
23(A3)	TRCDATA1	Output	22 - 33 シリーズ抵抗 (推奨)
25(A4)	TRCDATA2	Output	22 - 33 シリーズ抵抗 (推奨)
27(A5)	TRCDATA3	Output	22 - 33 シリーズ抵抗 (推奨)
29	---	---	Open、またはGND
31	---	---	Open、またはGND
33	---	---	Open、またはGND
35	---	---	Open、またはGND
37	GND		GNDに接続

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
2	GND		GNDに接続
4(B13)	VCCIO	---	CPUのIO系電源に直接接続 (電源監視用)
6(A11)	DRST-	Input	4.7K - 50K プルダウン
8(A12)	---	Input	Open
10(A13)	---	---	Open
12	---	---	Open
14(B11)	---	---	Open
16(B12)	---	---	Open
18	---	---	Open
20	---	---	Open
22	---	---	Open、またはGND
24	---	---	Open、またはGND
26	---	---	Open、またはGND
28	---	---	Open、またはGND
30	---	---	Open、またはGND
32	---	---	Open、またはGND
34	---	---	Open、またはGND
36	---	---	Open、またはGND
38	GND	---	GNDに接続

備考：( )内はKELタイプのコネクタの相当ピンです。  
入出力 (User Side) はユーザ基板側での方向です。

## 7. 注意事項

KIT-V850E2/ME3-TP(-H)を使用する上での注意事項を以下にまとめます。

### 操作上の注意

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。双方の故障の原因となります。
- 2) 本機は、CPU内部のデバッグ制御回路(DCU)を外部から制御するものです。そのため、以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとJTAG-IFケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、CPUが正しく動作できる状態にあること。
- 3) 内蔵命令RAMへのブレークポイントは、プログラムを転送後に設定してください。転送前に設定したブレークポイントは無効です。

### 機能上の注意

- 1) デバッガからの内蔵命令RAM領域へのアクセスは、IRCレジスタのIRENOビットの状態により、IRENO=0で外部、IRENO=1で内蔵命令RAMに対し行われます。ライトは、IRWEレジスタのIRWENビットの状態によらず、IRCレジスタのIRENO=1であれば、常に内蔵命令RAMに対しライトできます。
- 2) リアルタイムトレースの逆アセンブル表示は、CPUからの分岐情報をもとにトレース表示のコマンドを発行した時点でメモリの内容を読み出して行っています。その結果、ユーザシステムのRAM上に配置されたプログラムの逆アセンブル表示は、実行後にRAMの内容が変更(暴走等による誤った書き込みを含む)された場合、正しく表示できません。特に内蔵命令RAM領域は、外部メモリとの切替や命令配置を換えてご使用になる場合がありますが、その結果実行時の状態とトレース表示時のメモリの内容が一致していない場合は、正しく表示されません。
- 3) トレース情報の出力を制限した場合、トレースの表示が正しく行えなくなりますので、通常は初期値(全て出力する状態)でご使用ください。
- 4) ROM空間へのブレークポイントは、以下のケースでは無効です。
  - 2命令同時に実行する命令列の2番目の命令へブレークポイント。
- 5) キャッシュを搭載したCPUにおいて、キャッシュをLOCKした状態でのデバッグは行えません。LOCKした場合、その領域でのブレークやステップ実行、メモリの書き換えが異常になります。
- 6) abpコマンドでデータを指定した場合、ビット操作命令のアクセスサイクルではブレークしません。
- 7) CPUパイプライン並列動作に関する注意
  - ・対象コマンド：abp1 exec...abp4 execコマンド  
abp1 exec...abp4 execコマンドで命令実行アドレスにブレークポイントを設定した後は、V850E2 CPUの命令並列実行が禁止されます。abp1 /de...abp4 /deコマンドによりブレークポイント設定が解除された後は、再びV850E2 CPUの命令並列実行は許可されます。  
abp1 read/write/accs...abp4 read/write/accsコマンドでデータアクセスにブレークポイントを設定してもV850E2 CPUの命令並列動作が禁止されることはありません。
- 8) 命令実行ブレークのブレークタイミングに関する注意
  - ・対象コマンド：eveコマンド evt brk コマンド

evaコマンド evt brkコマンドで命令実行ブレークを設定した場合、実際にブレークしたときに最大7命令スリップすることがあります。

abp1 exec...abp4 execコマンドを使用した命令ブレークではスリップすることはありません。

9) データアクセスブレーク発生時のマルチサイクル命令の動作に関する注意

- ・対象コマンド：abp1 read/write/accs...abp4 read/write/accsコマンド、  
evaコマンド evt brk コマンド

abp1 read/write/accs...abp4 read/write/accsコマンドおよびevaコマンド  
evt brkコマンドでデータアクセスアドレスにブレークポイントを設定した場合、マルチサイクル命令(prepare命令/dispose命令/pop命令/push命令)により発行された複数のアクセスサイクルのなかで、少なくとも一つがデータアクセスブレーク条件に一致したとき、データアクセスブレークによりマルチサイクル命令は命令の実行を中断します。ブレークからの復帰アドレスはマルチサイクル命令自身を示しています。

- 10) V850E2 CPUの不正命令例外機能は、ICE接続時は使用制限事項(使用不可)です。  
11) その他、KITにリリースノート等が添付されている場合、それらも必ず参照してください

## 付録.A トレース機能の詳細

リアルタイムトレース機能について説明します。

### トレースの概要

リアルタイムトレースは、CPUから出力された実行内容(トレースデータ)を、実行ごとICE内のトレースバッファに書き込みます。この内容は、"trace"コマンドで見ることができます。

トレースデータの取り込みは、トレースモード、トレース開始条件、トリガ条件、セクション条件、クォリファイ条件などの設定によって指定できます。トレースデータ取り込みの流れについては、図 1、図 2を参照してください。

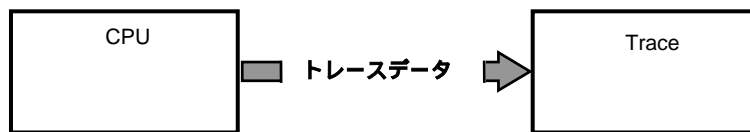
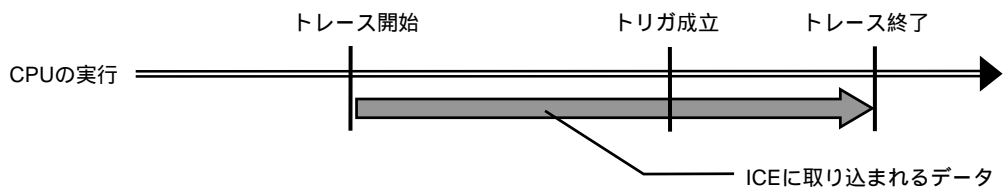


図 1 トレースデータ取り込みの流れ

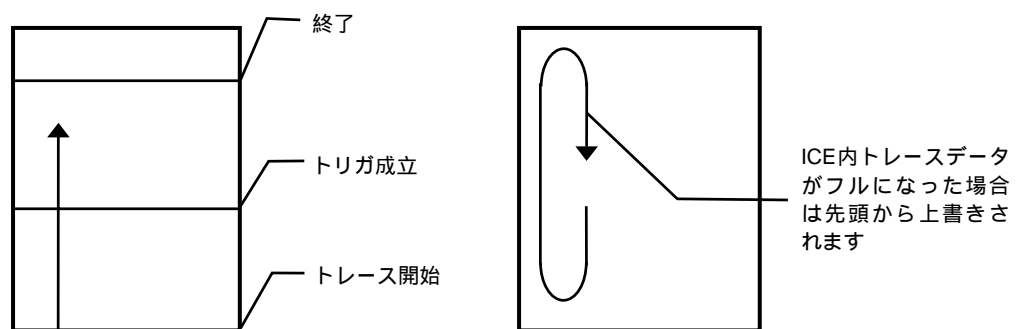


図 2 ICE内のトレースデータ

**ディレイカウント**

ディレイカウントは、トリガ成立後に取り込むサイクル数です(図 3)。サイクル数は、CPUの実行内容により異なります。1サイクルが1実行単位ではありません。

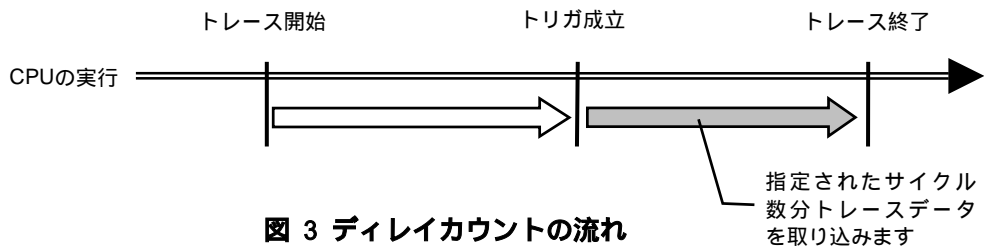


図 3 ディレイカウントの流れ

**トレースの実行モード**

リアルタイム・モードは、CPUの実行を優先してトレースデータを取り込むモードです。CPU内のトレースバッファ(FIFO)がフルになった場合、トレースデータの取りこぼしが発生することがあります(図 4)

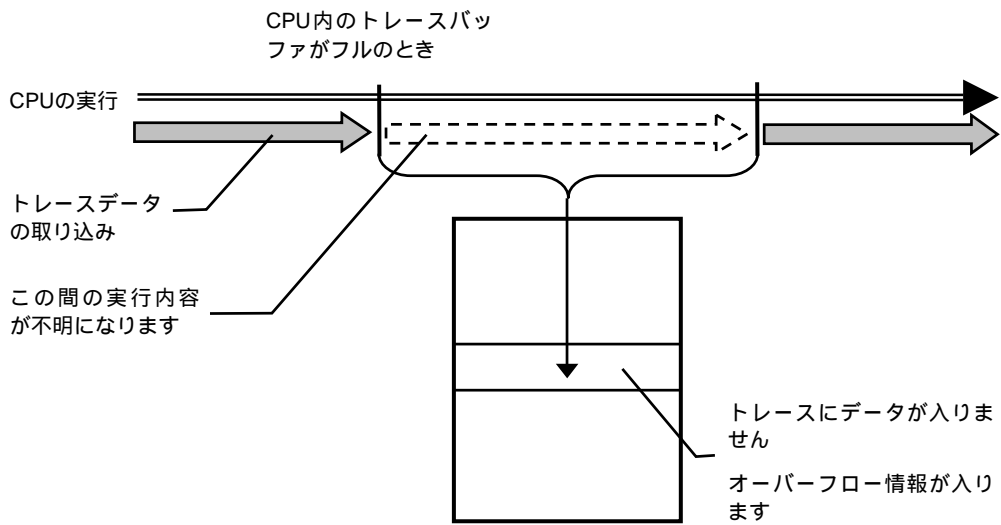


図 4 リアルタイム・モード



**非リアルタイム・モード**は、トレースデータの取りこぼしがないようにするモードです。このモードでは、CPU内のトレースバッファ(FIFO)がフルになった場合、CPUの実行を一時停止し、その後自動的に再開します(図5)。

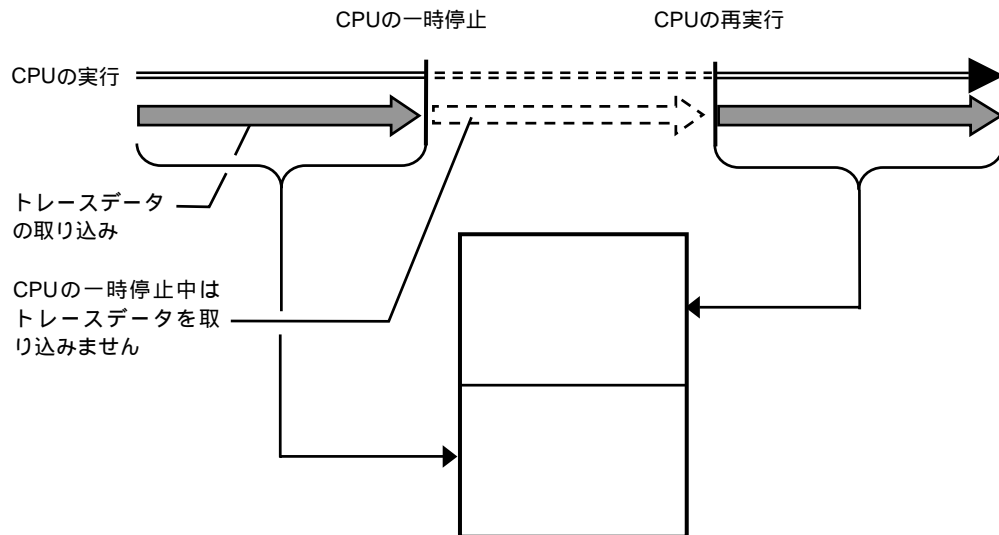


図5 非リアルタイム・モード

### サブスイッチ、セクション、クオリファイ

サブスイッチは、セクション条件の成立状態とクオリファイ条件の成立状態のandまたは、orの組み合わせによる状態をいい(tenv [subor|suband]により設定)、成立の状態をon、不成立の状態をoffと定め、このon/offそれぞれの状態で、トレースに取り込むサイクルを指定することができます。(sswon/sswoffコマンド)通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、このサブスイッチのon/offの状態がトレースの開始と停止に対応します。(sswon/sswoffコマンドの初期値はこのようになっています。これ以降この設定になっていることう前提で説明します)

セクションは、tsp1,2コマンドとevt secon, secoffの条件で指定できます。tsp1, seconがセクションの成立条件(on)、tsp2, secoffが非成立条件(off)となります。

クオリファイ条件は、evtコマンドでqualifyに指定したイベントの条件成立がそのままクオリファイの成立となります。

サブスイッチに用いる条件はsswenvコマンドで、TSP1/2, secon/off, qualifyから選択します。

### トレースの開始

トレースの取り込みを開始するには、強制的に開始する方法(tron force)と、セクションとクオリファイの設定に基づく、サブスイッチの状態で行う方法があります。(図6)

サブスイッチによる取り込み条件の設定は、sswon, sswoffで指定します。通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、サブスイ

チがonの状態ではトレースを取り込み、サブスイッチがoffの状態ではトレースの取り込みを停止することができます。

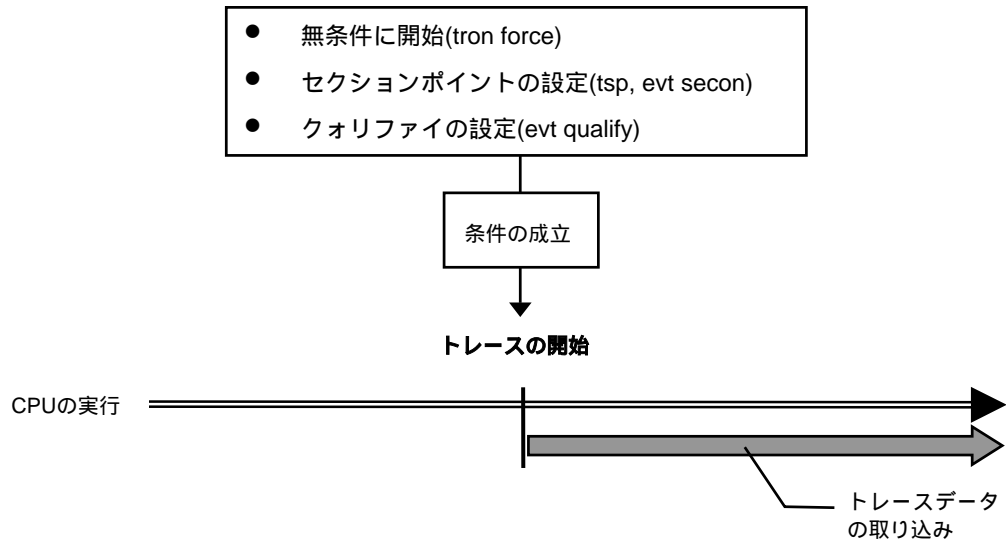


図 6 トレースの開始

**トリガ条件**

ディレイカウンタの起点となる条件です(図 7)。トリガ条件を設定することにより、条件前後の実行内容を見ることができます。

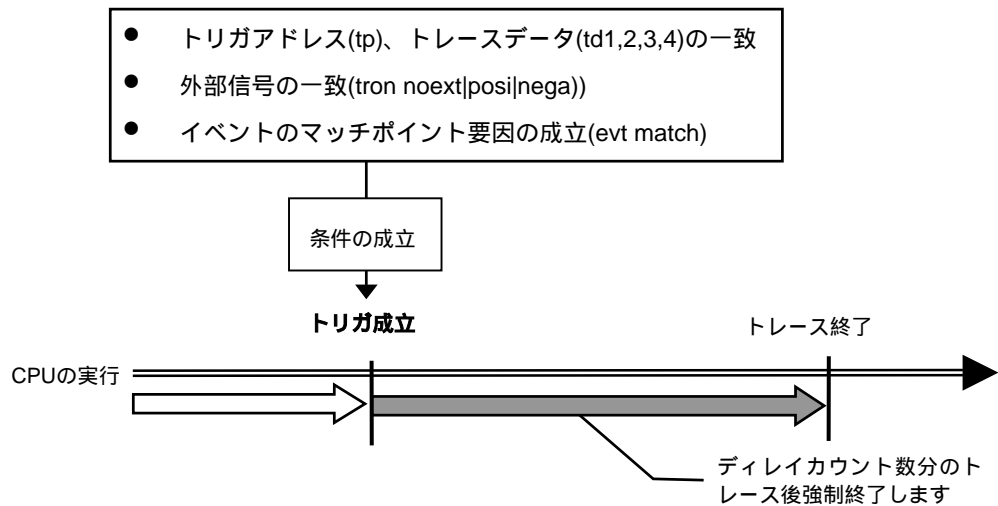


図 7 トリガ条件

**トレースの停止**

トレースの取り込みを停止するには、セクションとクオリファイの設定に基づく、サブスイッチの状態で行います。(図 8)

サブスイッチによる取り込み条件の設定は、sswon, sswoffで指定します。通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、サブスイッチがonの状態ではトレースを取り込み、サブスイッチがoffの状態ではトレースの取り込みを停止することができます。

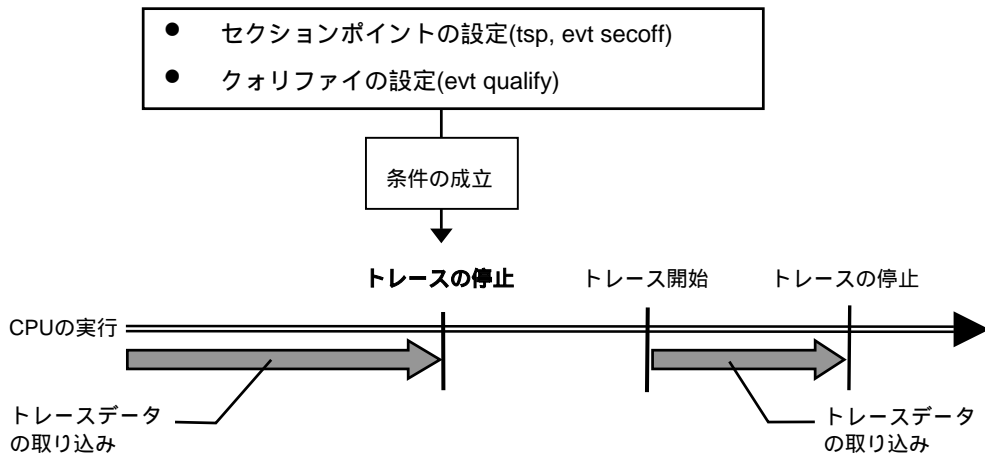


図 8 トレースの停止

**トレースの終了**

トレースの終了時は、以降のトレースデータの取り込みをしません。停止条件とは違い、再度トレースを開始することはありません(図 9)。

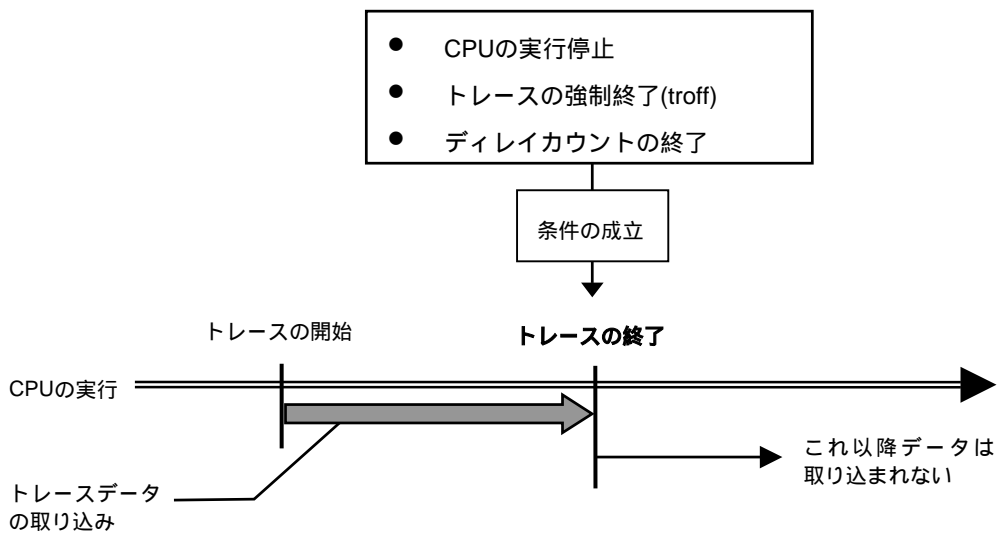


図 9 トレースの終了

### 強制ディレイモード

強制ディレイモードは、トレース開始後、指定されたディレイカウント(サイクル数)分取り込んだ時点で強制的にトレースを終了します。このモード中はトリガ条件を無視します(図10)。この場合は、CPUの実行開始直後よりトレースを開始します。

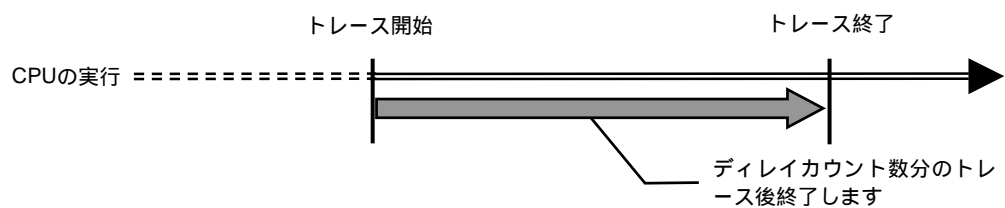


図 10 強制ディレイモード