

***KIT-V850E/MA3-IE***

**ユーザース・マニュアル(Rev.1.07)**

***RealTimeEvaluator***

## ■ ソフトウェアのバージョンアップ

- 最新のRTE for Win32 (Rte4win32)は、以下のサイトよりダウンロードできます。

[http://www.midas.co.jp/products/download/program/rte4win\\_32.htm](http://www.midas.co.jp/products/download/program/rte4win_32.htm)

## ■ ご注意

- KIT-V850E/MA3-IE(プログラム及びマニュアル)に関する著作権は株式会社マイダス・ラボが所有します。
- 本プログラム及びマニュアルは著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- 本製品は万全の注意を持って作製されていますが、株式会社マイダス・ラボは当該製品について、不具合が内在していないことを保証しません。
- 本製品をご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いません。
- 本プログラム及びマニュアルに記載されている事柄は、予告なく変更されることがあります。

## ■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

## 改訂履歴

Rev.1.00	2003-01-08	初版
Rev.1.01	2003-02-08	以下の修正、追記をしました。 * SW1の説明を変更 * 注意事項にASIDレジスタの設定に関する記述追記
Rev.1.02	2003-03-12	誤記訂正
Rev.1.03	2003-04-25	誤記訂正 * 4章SWの設定->SW3,SW4の表記が逆
Rev.1.04	2003-07-09	7章にCPUエミュレーション上の制限事項を追記
Rev.1.05	2003-07-29	7章に注意事項を追記
Rev.1.06	2003-10-28	7章 制限事項項目4がRev.3から適用外に変更 付録.A PODの外形図の寸法変更
Rev.1.07	2006-01-05	RTE-2000H-TPを本体として使用する場合の説明を追記

## 目次

1. はじめに .....	4
2. ハードウェア仕様 .....	5
3. 設置手順 .....	7
4. SWの設定 .....	8
5. ユーザシステムとの接続 .....	9
EVソケットの取り付け .....	9
電源の入 .....	9
電源の切 .....	9
6. RTE for WIN32の設定 .....	10
ChkRTE2.exeの起動 .....	10
7. 注意事項 .....	12
CPUエミュレーション上の制限事項 .....	12
ユーザシステム接続時の注意 .....	12
ポッドの取り扱い .....	12
外部バスエミュレーションメモリを使用する場合の設定 .....	12
ASIDレジスタの初期化 .....	13
支柱の調整について .....	13
外部クロックの入力 .....	13
遅延時間に関する注意 .....	13
HALT命令 .....	13
ブレークポイント .....	14
実行時間の計測値 .....	14
EVソケットにCPUを実装する方法 .....	14
その他 .....	14
付録 . A ポッド部の外形図 .....	15
付録 . B ユーザ・インターフェース回路 .....	16
付録 . C トレース機能の詳細 .....	19
トレースの概要 .....	19
ディレイカウンタ .....	20
トレースの実行モード .....	20
サブスイッチ、セクション、クオリファイ .....	21
トレースの開始 .....	21
トリガ条件 .....	22
トレースの停止 .....	23
トレースの終了 .....	23
強制ディレイモード .....	24

## 1. はじめに

KIT-V850E/MA3-IEはNEC製のRISCマイコンV850E/MA3をインサーキットエミュレーションするためのキットです。エミュレータ専用チップを使用することで透過性の高い、小型、軽量の製品となっています。

ポッドはRTE-2000-TP、またはRTE-2000H-TPに接続して使用します。これ以降RTE-2000-TPとRTE-2000H-TPを区別しない説明では、これらを総称してRTE-2000(H)-TPと記します。

本製品には下記のものが付属します。

1.V850E/MA3ポッド	1個
2.RTE for Win32 Set Up Disk	1枚
3.ユーザズマニュアル	1冊
4.電源(RTE-PS04:+5V/4.5A)	1個
5.EVソケット Set	1セット
6.支柱用スペーサ、ネジ	1セット

本製品を使用できる本体は以下の通りです。

- ・ RTE-2000-TP-x-x  
全ての製品で使用できます。
- ・ RTE-2000H-TP-1F-1E80  
そのまま使用できます。
- ・ RTE-2000H-TP-1F-1E80以外のRTE-2000H-TP-xxx  
オプションのIFカード：1F-1E80を追加してご使用ください。

## 2. ハードウェア仕様

## エミュレーション部

対象デバイス	V850E/MA3(TQFP-144)
使用するRTE-TPの形式	RTE-2000-TP, RTE-2000H-TP(1F-1E80付)
エミュレーション機能	
動作周波数	80MHz(max)
クロック供給 メインクロック	外部 / 内部自動切り替え (内部:8MHz)
内部ROMエミュレーション容量	1MB
内部RAMエミュレーション容量	60KB(4K, 12K, 28K, 60 Kの切替可)
*4 外部メモリエミュレーション容量	4MB(POD部に標準実装)
動作電圧	3.3V
イベント機能	
イベント数	
実行アドレスの設定	8
データアクセスの設定	6
アドレス指定	Mask指定可
データ指定	Mask指定可
ステータス指定	Mask指定可
シーケンシャル器段数	4
パスカウンタ	12ビット
ブレーク機能	
H/Wブレークポイント	
命令 / アクセス系ブレークポイント	2
アドレス指定	Mask指定可
データ指定	Mask指定可
ステータス指定	Mask指定可
S/Wブレークポイント	100
イベントによるブレーク設定	可
ステップブレーク	可
マニュアルブレーク	可
外部信号によるブレーク(High/Low edge)	可
トレース機能	
トレースデータバス	48bit
トレースメモリ	48bit x 256Kword
トリガ設定	
実行アドレスによるトリガ設定	可
データアクセスによるトリガ設定	可
イベントによるトリガ設定	可
外部入力によるトリガ設定	可
開始、停止指定(サブスイッチ)	可
トレースディレイ	0 - 3FFFF
トレースクロック	80MHz
タイムタグ	100nS - 30h
逆アセンブルトレース表示機能	有
完全トレースモード指定機能(no real time)	有
ROMエミュレーション機能(*5)	
ブロック内マップ機能(USER/EMEM)	64K-Word
RAMとして使用	可
メモリ容量	8M - 128Mバイト

アクセスタイム ( )内はバスサイクル時	35nS(30nS) (*1)
動作電圧	1.8V 3.3V (*2)
電気的條件	LV-TTL, 5Vトランプト (*3)
エミュレーション可能なROM数	
DIP-32pin-ROM(8bit-ROM)	4(max)
DIP-40/42pin-ROM(16bit-ROM)	4(max)
拡張16BIT-標準ROMコネクタ	4(max)
エミュレーション可能なROMの容量(bit)	
DIP-32-ROM(8-bit bus)	1M, 2M, 4M, 8M(27C010/020/040/080)
DIP-40-ROM(16bit-bus)	1M, 2M, 4M(27C1024/2048/4096)
DIP-42-ROM(16bit-bus)	8M, 16M(27C8000/16000)
拡張16bit-標準ROM(16bit-bus)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M(32M <sup>1</sup> 1つ)
バス幅指定(bit)	8/16/32
端子マスク機能	NMI, INTWDG, WAIT-, HLDRQ, RESET-

\*1, 2, 3. RTE-2000(H)-TP+CBL-STD16-2Kを使用した場合の値です。

\*2. 2.3V以下で使用する場合は各ケーブルのDC特性に注意ください。電氣的に整合しない場合があります。

\*4. 外部メモリエミュレーション(4M-Byte)は、/CS[0..7]の内の1本を占有し、バス幅は16-bitに限定です。

\*5. ユーザシステム上にROMエミュレーションケーブルを接続するためのROMソケット、または専用のコネクタが必要です。詳しくはRTE-2000(H)-TP本体のマニュアルを参照ください。

尚、RTE-2000(H)-TPでは、E.MEM基板を最大4枚まで実装でき、その時の最大容量は128M<sup>1</sup> 1つです。

### 3. 設置手順

以下の手順で設置してください。

#### 1. RTE - 2000 (H) - TPの設置

RTE - 2000 (H) - TPのマニュアルを参照してください。

#### 2. RTE - 2000 (H) - TPとの接続

RTE - 2000 - TPの場合

JTAG/N-Wire基板のCPU-IFコネクタにポッドのケーブルを接続します。

RTE - 2000H - TPの場合

IF-IE80基板のICE-IF(80)コネクタにポッドのケーブルを接続します。

#### 3. ポッド上のSWの設定

本書の4章を参照してください。

#### 4. ユーザシステムとの接続

本書の5章を参照してください。

#### 5. 《RTE for Win32》のインストール

《RTE for Win32》のマニュアルを参照してください。

#### 6. 《RTE for Win32》の初期設定

本書の6章を参照してください。

#### 7. デバッガのインストール

ご使用になるデバッガのマニュアルを参照してください。



## 4. SWの設定

### SW1

エミュレーションのモード設定用のスイッチです。

SW1	シボル	機能	初期値
1	CKSEL	内部クロックを使用しているときのCPUのCKSEL端子の状態を指定するスイッチです。 OFF:Highレベル(スルモード), ON:LOWレベル(PLLモード)	ON
2	PSEL	内部クロックを使用しているときのCPUのPSEL端子の状態を指定するスイッチです。 OFF:Highレベル, ON:LOWレベル	OFF
3	SVMODE	出荷時の状態でご使用ください。	ON
4	INTSEL	CPUへ供給するクロックの切り替えモードを指定します。 OFF:Auto, ON:内部 clk	OFF

#### [INTSEL]

CPUへ供給するクロックと関連信号(CKSEL, PSEL)を切り替えるスイッチです。

OFF: ユーザシステムが接続されている場合はユーザシステムからの信号を接続し、接続していない場合は内部から供給します。

ON: 常に内部より供給します。

内部クロックは8MHz、CKSEL, PSELはSW1-1, SW1-2の設定状態になります。

### SW2

本製品では使用しませんので全てOFFの状態でご使用ください。

### SW3, SW4

外部バスエミュレーションメモリの設定用のスイッチです。

外部バスエミュレーションメモリは、V850E/MA3が持つ8本のCS-信号の内の一つを占有して、ハード的にボッド内に用意したRAMをマップするものです。

設定方法を以下に示します。

E. MEMをマップするCS	SW4								SW3			
	1	2	3	4	5	6	7	8	1	2	3	4
CS0-	OFF	ON	ON	ON	ON	ON	ON	ON	OFF	OFF	OFF	ON
CS1-	ON	OFF	ON	ON	ON	ON	ON	ON	ON	OFF	OFF	ON
CS2-	ON	ON	OFF	ON	ON	ON	ON	ON	OFF	ON	OFF	ON
CS3-	ON	ON	ON	OFF	ON	ON	ON	ON	ON	ON	OFF	ON
CS4-	ON	ON	ON	ON	OFF	ON	ON	ON	OFF	OFF	ON	ON
CS5-	ON	ON	ON	ON	ON	OFF	ON	ON	ON	OFF	ON	ON
CS6-	ON	ON	ON	ON	ON	ON	OFF	ON	OFF	ON	ON	ON
CS7-	ON	ON	ON	ON	ON	ON	ON	OFF	ON	ON	ON	ON
使用しない	ON	ON	ON	ON	ON	ON	ON	ON	x	x	x	OFF



SW1,2は真中の基板の上面、ボッド先端近くにあります。

SW3,4はボッドの裏面にあります。

真中の基板上面にある8極のSW0は変更しないでください。

## 5. ユーザシステムとの接続

ユーザシステムへの接続は、以下の手順で行ってください。

### EVソケットの取り付け

添付されているEVソケットをユーザシステムにハンダ付けしてください。

### 電源の入

1. ホストのパーソナルコンピュータの電源を入れます。
2. RTE-2000(H)-TPに電源を入れます。
3. V850E/MA3ポッドの電源を入れます。(電源ジャックに専用の電源を接続します)  
ポッドの電源状態を表示するLEDが点灯することを確認してください。
4. ユーザシステムの電源を入れます。  
ユーザシステムの電源状態を表示するLEDが点灯することを確認してください。
5. デバッグモニタを立ち上げます。

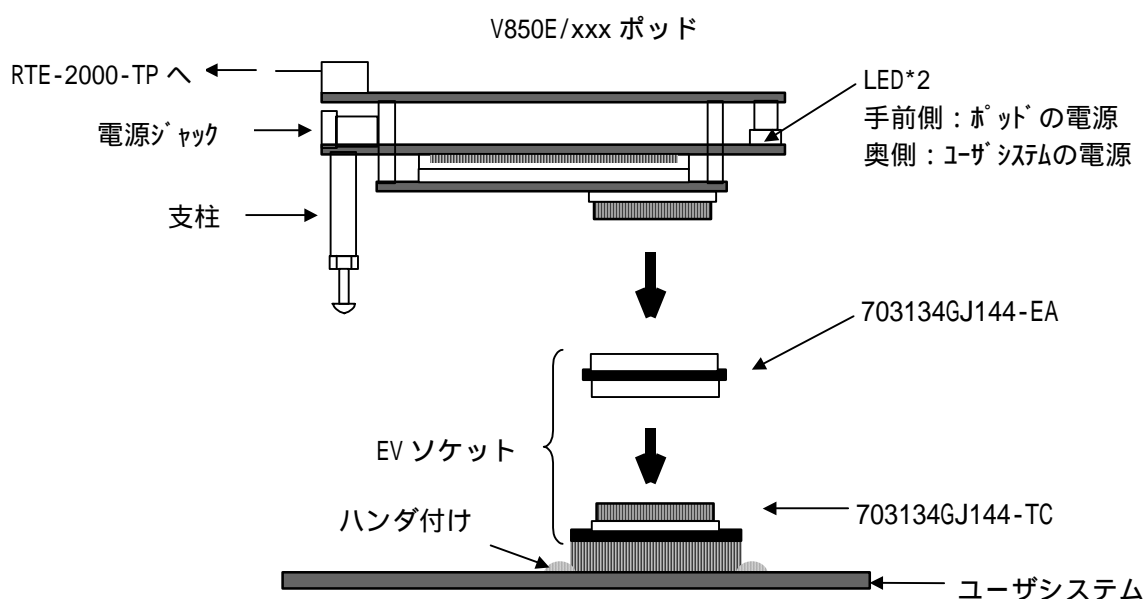
### 電源の切

1. デバッグモニタを抜けます。
2. ユーザシステムの電源を切ります。  
ユーザシステムの電源状態を表示するLEDが消灯することを確認してください。
3. KIT-V850E/MA3-IEの電源を切ります(電源ジャックから電源を抜きます)  
ポッドの電源状態を表示するLEDが消灯することを確認してください。
4. RTE-2000(H)-TPの電源を切ります。
5. ホストのパーソナルコンピュータの電源を切ります。

### 【注意】

EVソケットには向きがありますので、基板へのハンダ付け時はCPUの1番ピンの位置を間違わないようにしてください。マークが目印です。

以下にユーザシステムとの接続図を示します。



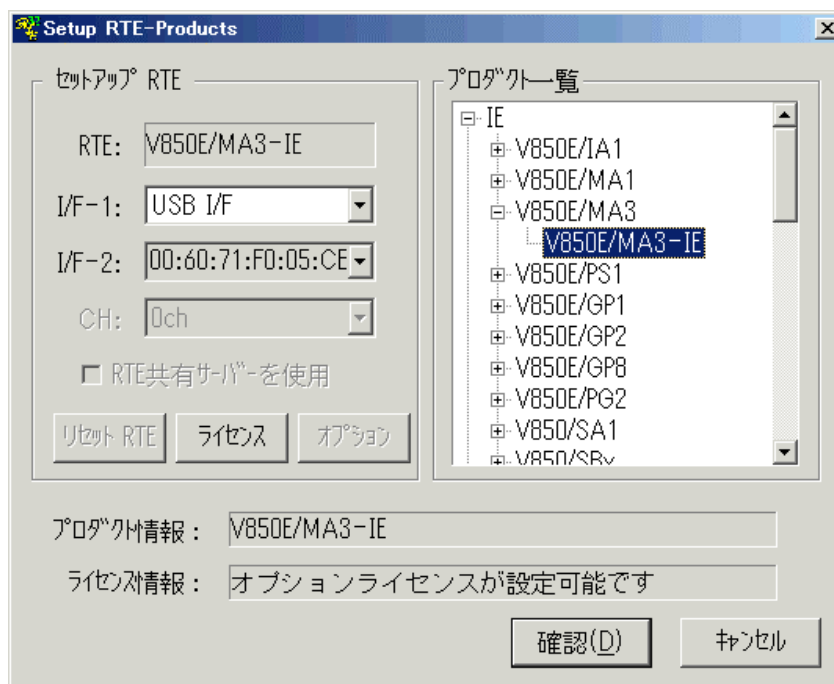
## 6. RTE for WIN32の設定

『RTE for WIN32』の設定について説明します。

### ChkRTE2.exeの起動

ユーザシステムとの接続を完了し、全ての機器の電源が投入された状態で ChkRTE2.exeを起動し、『RTE for WIN32』の環境設定を実施してください。『RTE for WIN32』の環境設定は、新規にハードウェアを設置した時に必ず1回は実施してください。

#### < RTEの設定 >



#### < RTEの選択 >

プログラクの一覧より、IEの下層にあるV850E/MA3-IEを指定してください。

#### < I/F-1, I/F-2の選択 >

使用するホストインターフェースに合ったものをプルダウンメニューから選んで指定してください。(画面は、USB-IFを選択した場合です)

#### < ライセンス >

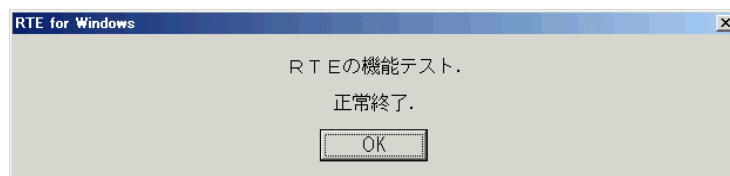
当該KITでは設定の必要はありません。オプションのライセンスを設定する場合、このボタンをクリックしてライセンスの設定を行ってください。設定方法の詳細は、『RTE for WIN32』のマニュアルを参照してください。



**RTE-2000H-TPでご使用になる場合は、rte4win32 ver.6.00.00以上をご使用ください。**

## &lt; 機能テスト &gt;

機能テストは、ユーザシステムとの接続が正しく行われ、デバッグ可能な状態になっていることが必要です。RTEの設定後、画面の指示に従い機能テストを実施すると、正常終了時に下記のダイアログが表示されます。この状態になれば、デバッガからの制御が可能です。



**CHKRTE2.EXEの機能テストは、ユーザシステムが接続されている場合、必ずユーザシステムの電源が入っている状態で行ってください。  
電源が切れている状態で行った場合、エラーになります。**

## 7. 注意事項

KIT-V850E/MA3-IEを使用するにあたり、注意して頂く事項を以下にまとめます。

### CPUエミュレーション上の制限事項

- 1) ポートCTのビット[0,1]を[LBE-, UBE-]として使用することはできません。
- 2) TC信号の動作が不正です。
- 3) TC信号の幅が本チップの動作と異なります。  
デバイスは常にBUSCLKの1clk幅ですが、ICEでは以下の通りです。  
BUSCLK=1/1 : BUSCLKの2CLK幅  
BUSCLK=1/2 : BUSCLKの1.5CLK幅  
BUSCLK=1/3 : BUSCLKの1.33CLK幅  
BUSCLK=1/4 : BUSCLKの1.25CLK幅
- 4) 外部から入力する\_DMARQ信号をインアクティブにするタイミングが\_DMAAK信号がインアクティブになるタイミングより遅かった場合 (DAKWレジスタによる引き伸ばし動作をしていない状態) 1回の\_DMARQに対し2回\_DMAAKが発生する場合があります。

制限事項とPODのレビジョンの関係を以下に示します。 が該当していることを示します。

制限事項項目	Rev.1	Rev.2	Rev.3	回避策
1)		-	-	Rev.2以降をご使用ください。
2)			-	Rev.3以降をご使用ください。
3)				ありません。
4)			-	Rev.3以降をご使用ください。

### ユーザシステム接続時の注意

- 1) ブレーク中にユーザシステムの電源をOFFした場合、ICEではCPUを強制リセット状態にし、ユーザシステムに対する信号線の出力を断ちますが、この状態ではデバッガからの制御ができなくなります。ユーザシステムの電源を入れ直す場合、原則として本システムを最初から立ち上げ直すことを推奨しますが、止む得ずそのままデバッグを継続したい場合は、ユーザシステムの電源を再投入した後、必ず、デバッガから初期化コマンド (initコマンド) を発行し、その後CPU、及びデバッガの再設定を行ってください。但し、デバッガを立ち上げた状態でターゲットの電源を入り切りした場合、デバッガがハングアップする場合がありますので、その場合は最初から立ち上げ直してください。尚、ユーザシステムの電源だけを切った状態での放置は、ユーザシステムや本製品の故障の原因になる場合がありますのでおやめください。
- 2) ユーザシステム上でCPUが正常に動作しない状態では、デバッガが正常に立ち上がらない場合があります。また、特定のコマンドでハングアップする場合があります。

### ポッドの取り扱い

ポッド部分は回路全体が露出していますので、通電時金属等に触れないようにしてください。本体の故障の原因になります。

### 外部バスエミュレーションメモリを使用する場合の設定

以下の設定が必要です。

#### ポートの設定

- ポートAL : セパレートモード時は、アドレスとして設定
- ポートAH : A16 . . A21をアドレスとして設定
- ポートDL : データバスとして設定

ポートCS : エミュレーションメモリをマップするCS - を有効に設定  
 ポートCT : LWR - /UWRまたは、LBE - /UBE /WR - のどちらかの組み合わせを有効に設定 (但し、Rev.1.0では後者の設定は使用できません)  
           : RD - を有効に設定  
           : マルチブックスモード時は、ASTBを有効に設定  
 MEMCの設定 (エミュレーションメモリをマップするCS - 空間に対する設定)  
 BCTx : MEN = 1、MMn = Any、BTn [ 1 , 0 ] = [ 0 , 0 ]  
 DWCx : バスクロックが33MHz以下 : 1ウェイト  
           バスクロックが33MHz以上 : 2ウェイト  
 LBS : LBOx = 1 (16ビットバス) に設定



#### 注意事項

- \* ポートAHは、必ずA21までのアドレスが有効になるように設定してください。エミュレーションメモリには、ポートAHがA21までのアドレスとして直結されていますので、一部のアドレスをポートとして設定された場合、正しくアクセスできなくなります。
- \* ユーザシステムは全てのCS信号がインアクティブな状態ではデータバスをドライブしないでください。ドライブしている場合、エミュレーションメモリへのアクセスが不正になり、ユーザシステムやICEの故障の原因になります。

#### ASIDレジスタの初期化

エミュレータ使用中は、ASIDレジスタの値は0x00に設定してください。これは将来の互換性の為です。0x00以外の値で使用した場合、ブレーク機能が使用できなくなる場合があります。

#### 支柱の調整について

ポッドの後端には支柱が取り付けられるようになっています。EVソケット部でユーザシステムに接続した状態でポッドがユーザシステムの基板と平行になるように調整してください。



**支柱の高さ調整はナットを緩め、ネジの出し入れで行います。調整後はナットを締めてネジの位置を固定してください。**

#### 外部クロックの入力

外部からクロックを供給する場合、以下の制限があります。

- \* オシレータからの入力 : 5-25MHzの範囲でご使用ください。
- \* Xtal等発振子の接続 : 4-8MHzの範囲でご使用ください。外付けのコンデンサの定数は、発振子に合わせて個別に調整する必要があります。



**CPUの動作クロックが5-6MHz以下の場合、JTAG-CLKをCPUの動作周波数の3倍以下に下げてください。初期値の25MHzでは内蔵ROM部への書き込みができなくなる等、動作が不安定になる場合があります。**

#### 遅延時間に関する注意

ポッド内のCPUとユーザシステムとは、ほとんどの信号が直結になっていますが、先端部までの配線長や容量により、CPUを直付けした状態と比較して、約3nS (typ.)程度の遅延があります。ユーザシステムでは、この遅延を見込んだ設計を行ってください。

#### HALT命令

HALT命令でブレークした場合、ブレーク時のアドレスは、HALT命令の次の命令の先頭アドレスの値になります。

### ブレイクポイント

2 命令同時に実行する命令列の 2 番目の命令へのハードウェアブレイクポイントは無効です。

### 実行時間の計測値

time コマンドは、直前の “ 実行からブレイク ” までの実行時間を表示するコマンドですが、測定値にはオーバヘッド時間 ( 数 CPU クロックの誤差 ) が含まれます。特に以下のケースにご注意ください。

-> 実行開始アドレスにブレイクポイントが設定されている場合、測定誤差が通常の倍になりますので、実行時間測定時は実行開始アドレスのブレイクポイントは外してから実行してください。

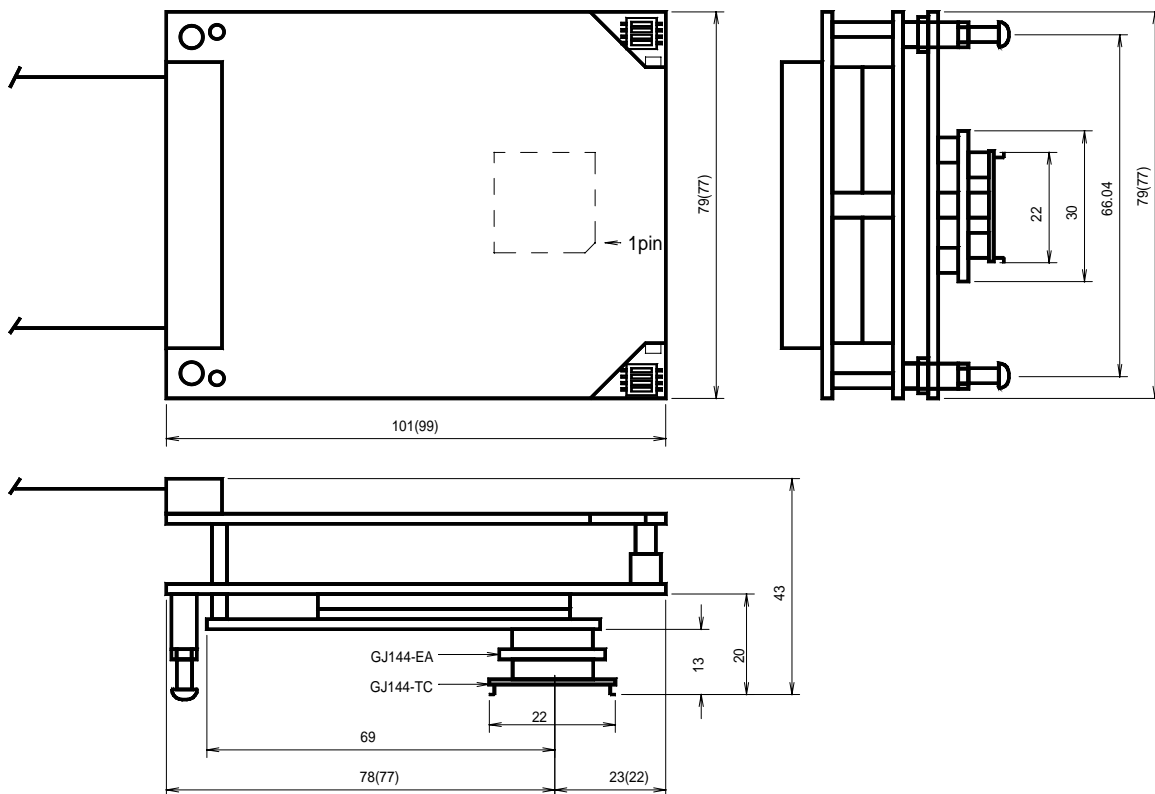
### EVソケットにCPUを実装する方法

別売りの703134GJ144-MAを購入ください。上面にV850E/MA3を実装するためのソケットが実装されており、ユーザシステムにハンダ付けした703134GJ144-TCに取り付けて使用することができます。

### その他

リリースノート等が添付されている場合は必ずそれらも参照ください。

付録 . A ポッド部の外形図

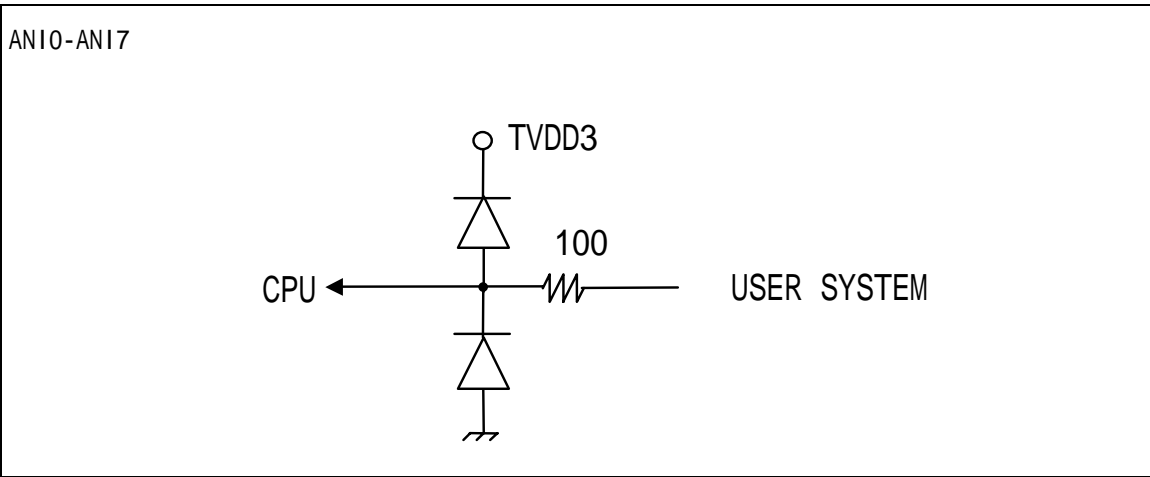
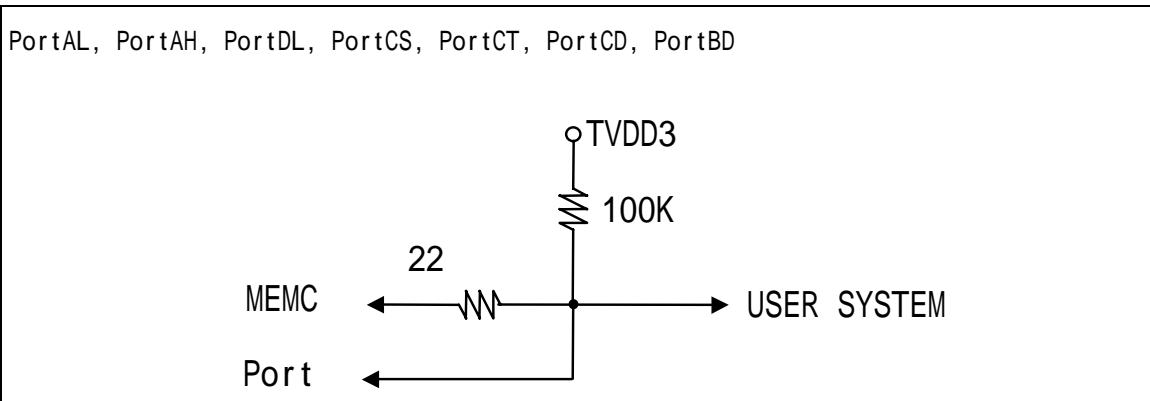
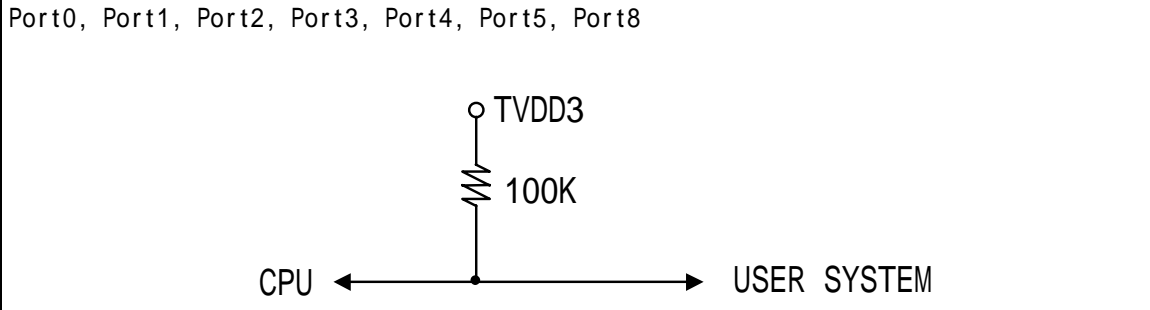


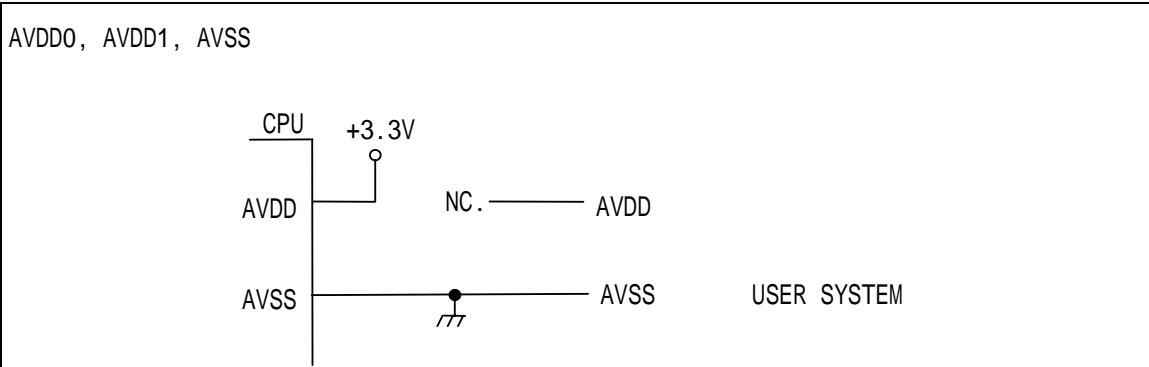
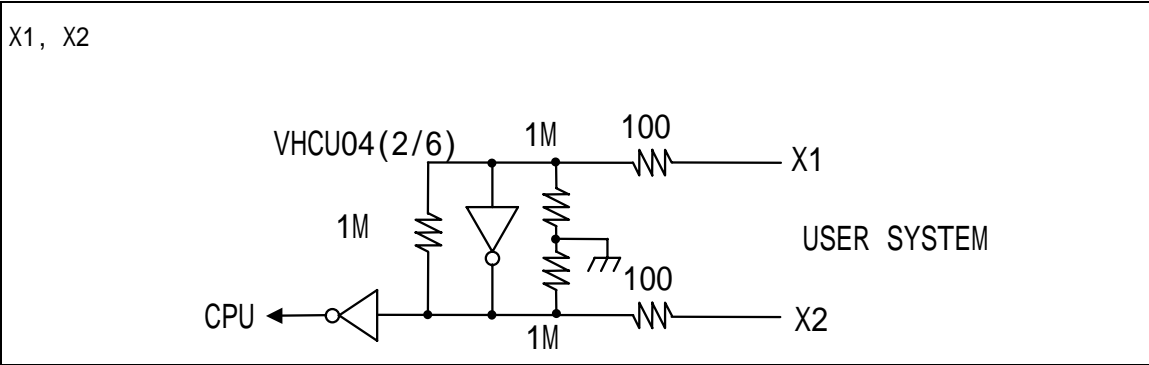
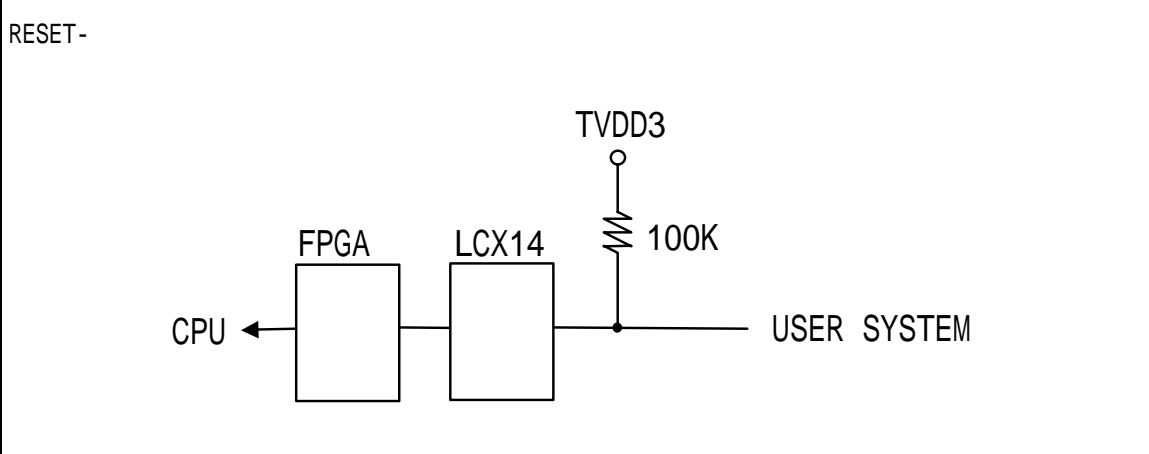
( )内の数値はRev1.0のPODのものです。

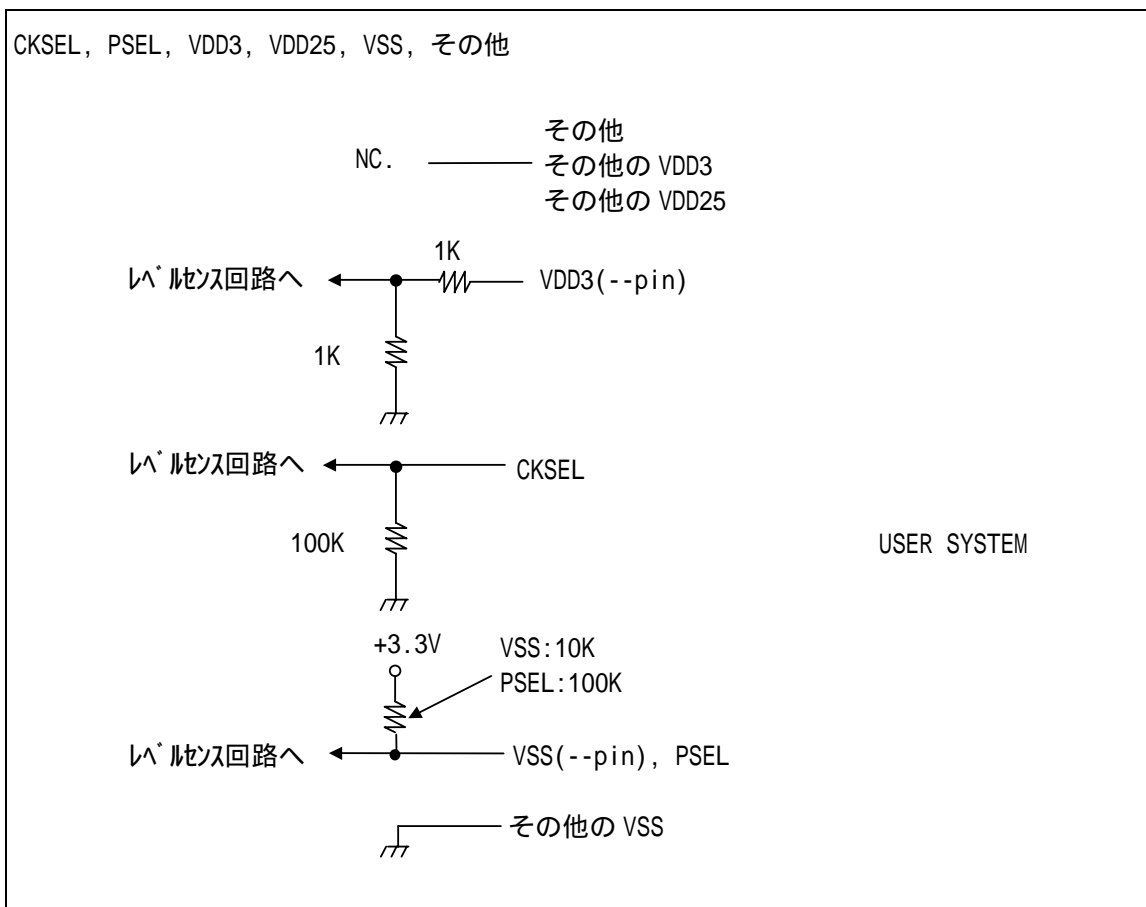
単位 : mm



付録 . B ユーザ・インターフェース回路







備考: TVDD3はユーザシステムの3.3Vの電源電圧と等価な内部電源です。

## 付録 . C トレース機能の詳細

リアルタイムトレース機能について説明します。

### トレースの概要

リアルタイムトレースは、CPUから出力された実行内容(トレースデータ)を、実行ごとにICE内のトレースバッファに書き込みます。この内容は、"trace"コマンドで見ることができます。

トレースデータの取り込みは、トレースモード、トレース開始条件、トリガ条件、セクション条件、クオリファイ条件などの設定によって指定できます。トレースデータ取り込みの流れについては、図 1、図 2を参照してください。

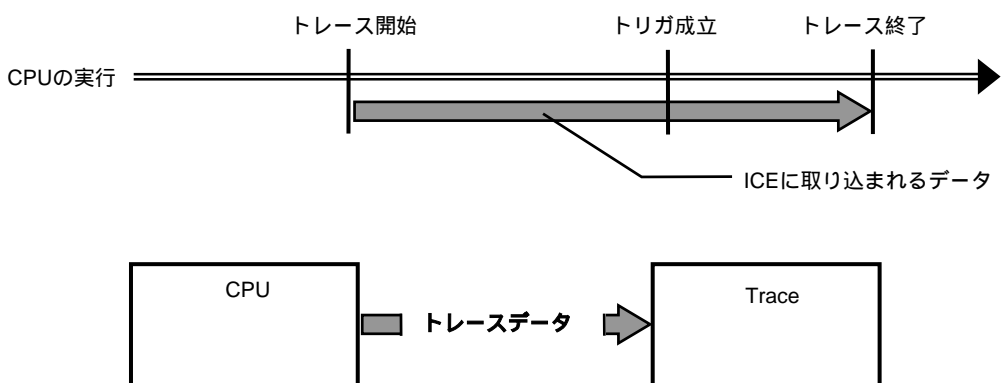


図 1トレースデータ取り込みの流れ

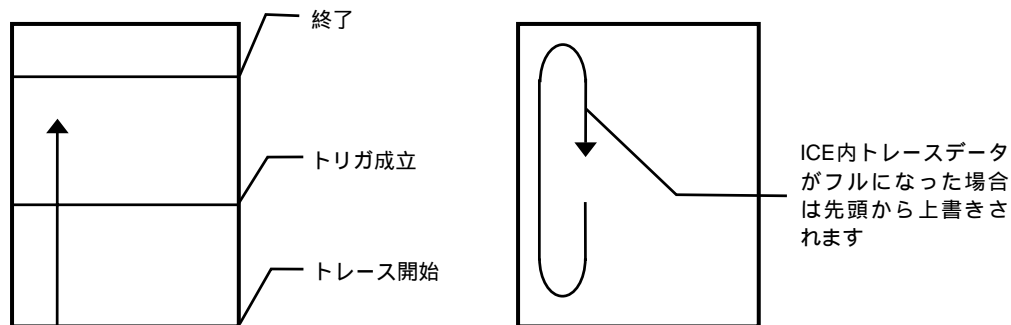


図 2 ICE内のトレースデータ

ディレイカウント

ディレイカウントは、トリガ成立後に取り込むサイクル数です(図 3)。サイクル数は、CPUの実行内容により異なります。1サイクルが1実行単位ではありません。

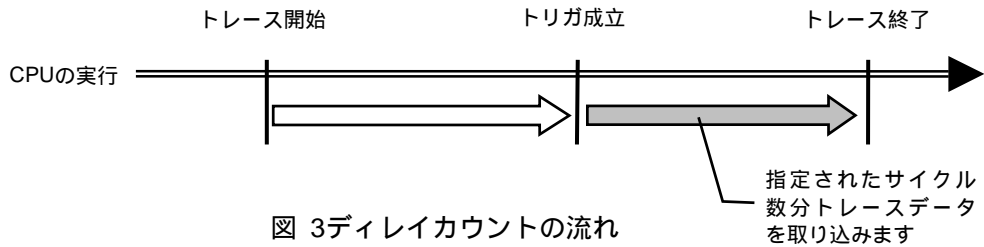


図 3ディレイカウントの流れ

トレースの実行モード

**リアルタイム・モード**は、CPUの実行を優先してトレースデータを取り込むモードです。CPU内のトレースバッファ(FIFO)がフルになった場合、トレースデータの取りこぼしが発生することがあります(図 4)

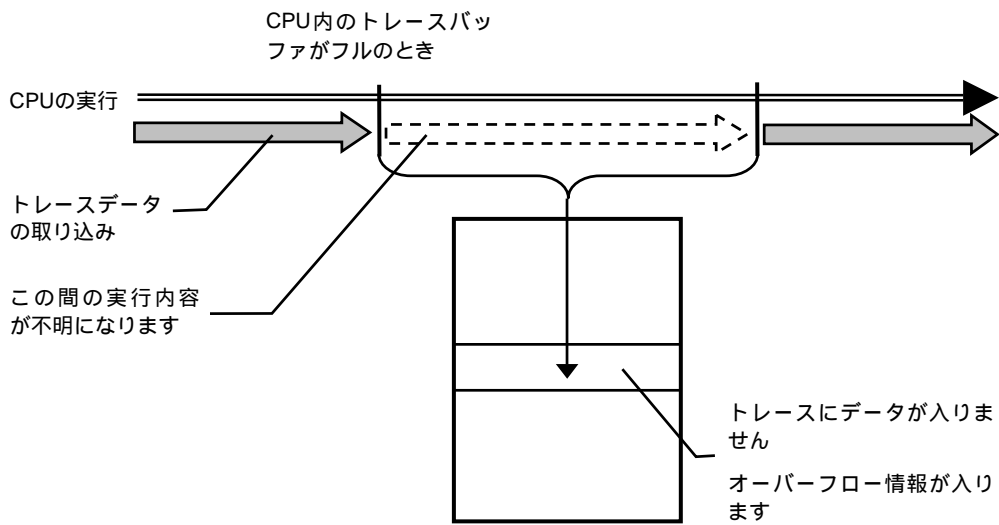


図 4 リアルタイム・モード

**非リアルタイム・モード**は、トレースデータの取りこぼしがないようにするモードです。このモードでは、CPU内のトレースバッファ(FIFO)がフルになった場合、CPUの実行を一時停止し、その後自動的に再開します(図5)。

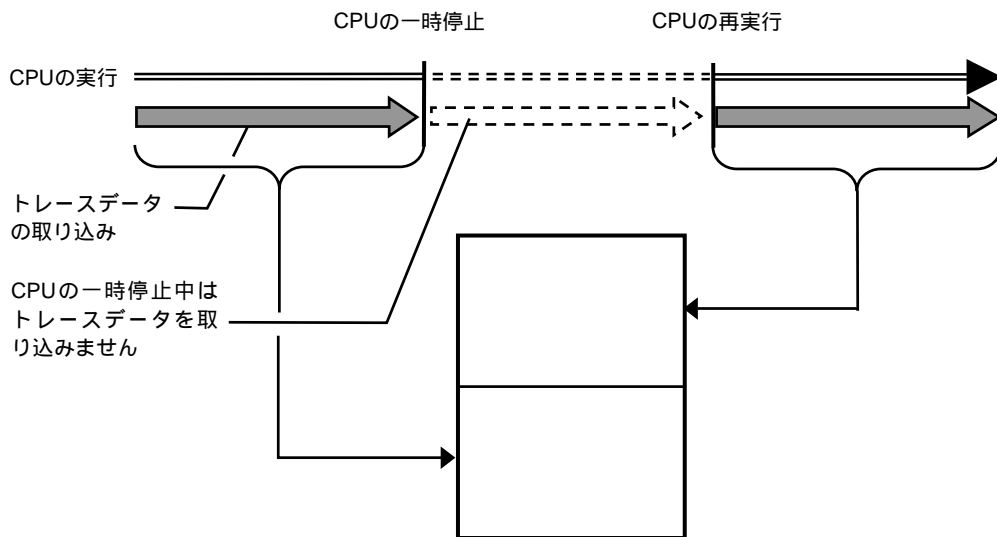


図5 非リアルタイム・モード

#### サブスイッチ、セクション、クオリファイ

サブスイッチは、セクション条件の成立状態とクオリファイ条件の成立状態のandまたは、orの組み合わせによる状態をいい(tenv [subor|suband]により設定)、成立の状態をon、不成立の状態をoffと定め、このon/offそれぞれの状態で、トレースに取り込むサイクルを指定することができます。(sswon/sswoffコマンド)通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、このサブスイッチのon/offの状態がトレースの開始と停止に対応します。(sswon/sswoffコマンドの初期値はこのようになっています。これ以降この設定になっていること前提で説明します)

セクションは、tsp1,2コマンドとevt secon, secoffの条件で指定できます。tsp1, seconがセクションの成立条件(on)、tsp2, secoffが非成立条件(off)となります。

クオリファイ条件は、evtコマンドでqualifyに指定したイベントの条件成立がそのままクオリファイの成立となります。

サブスイッチに用いる条件はsswenvコマンドで、TSP1/2, secon/off, qualifyから選択します。

#### トレースの開始

トレースの取り込みを開始するには、強制的に開始する方法(tron force)と、セクションとクオリファイの設定に基づく、サブスイッチの状態で行う方法があります。(図6)

サブスイッチによる取り込み条件の設定は、sswon, sswoffで指定します。通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、サブスイッチがonの状態ではトレースを取り込み、サブスイッチがoffの状態ではトレースの取り込みを停止することができます。

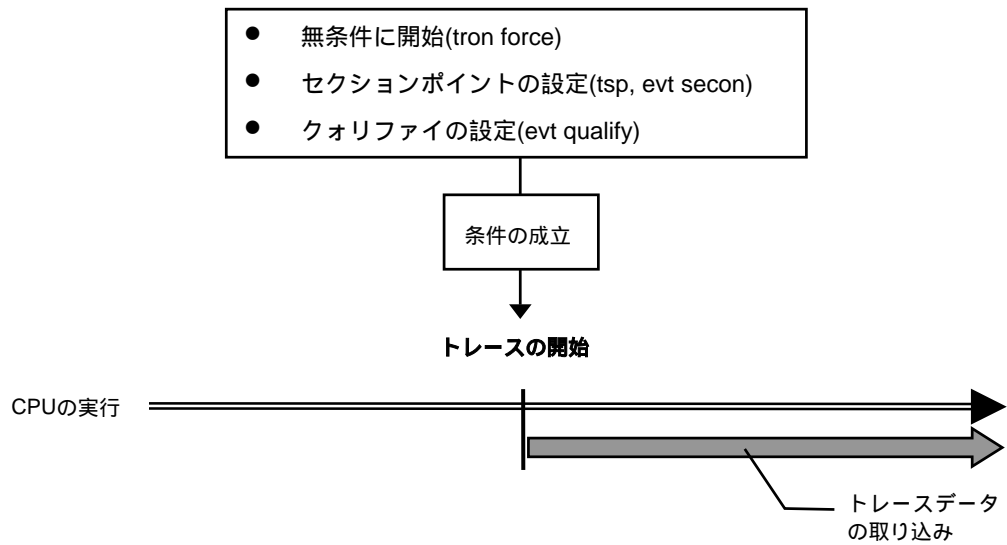


図 6 トレースの開始

トリガ条件

ディレイカウンタの起点となる条件です(図 7)。トリガ条件を設定することにより、条件前後の実行内容を見ることができます。

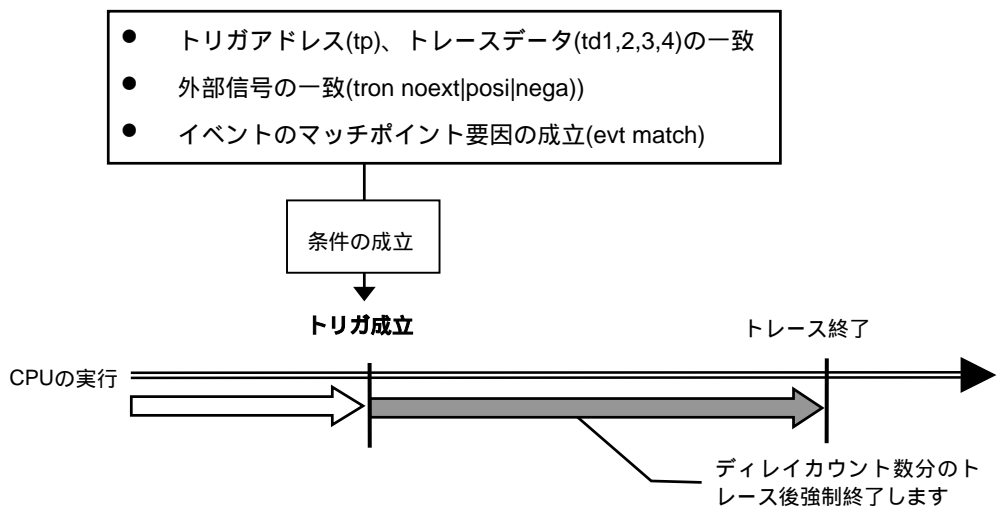


図 7 トリガ条件

トレースの停止

トレースの取り込みを停止するには、セクションとクオリファイの設定に基づく、サブスイッチの状態で行います。(図 8)

サブスイッチによる取り込み条件の設定は、sswon, sswoffで指定します。通常、sswonに取り込みたいサイクルを指定し、sswoffに何も取り込まない設定をすることで、サブスイッチがonの状態ではトレースを取り込み、サブスイッチがoffの状態ではトレースの取り込みを停止することができます。

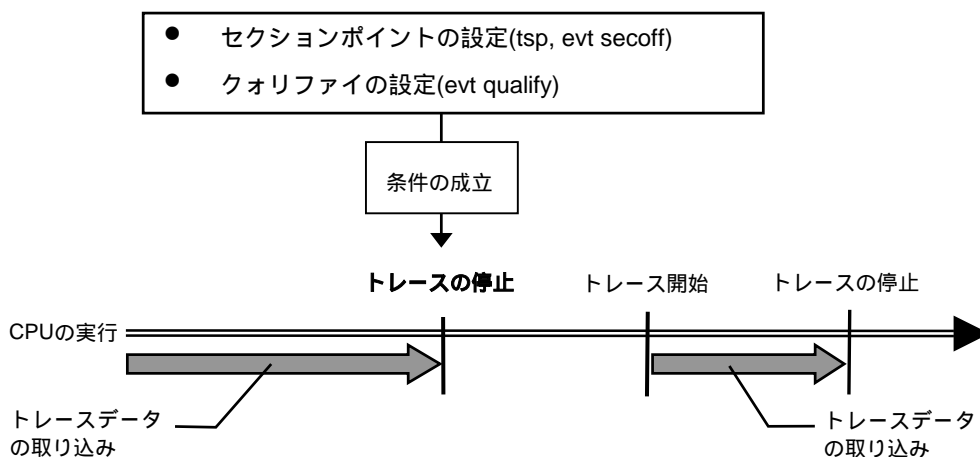


図 8 トレースの停止

トレースの終了

トレースの終了時は、以降のトレースデータの取り込みをしません。停止条件とは違い、再度トレースを開始することはありません(図 9)。

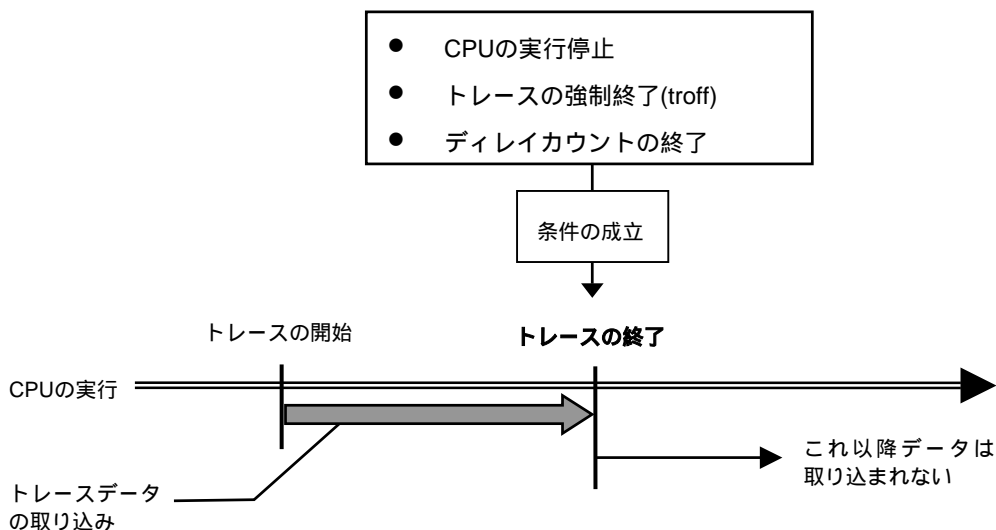


図 9 トレースの終了



### 強制ディレイモード

強制ディレイモードは、トレース開始後、指定されたディレイカウント(サイクル数)分取り込んだ時点で強制的にトレースを終了します。このモード中はトリガ条件を無視します(図 10)。この場合のトレース開始は、CPUの実行開始です。

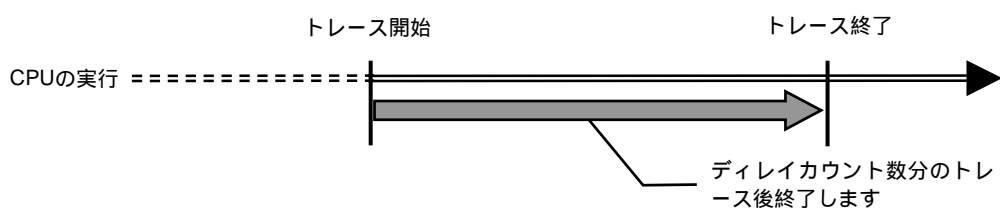


図 10 強制ディレイモード