

***KIT-VR41xx-TP(-H)***

**ユーザース・マニュアル(Rev.1.00)**

***RealTimeEvaluator***

## ■ ソフトウェアのバージョンアップ

- 最新のRTE for Win32 (Rte4win32)は、以下のサイトよりダウンロードできます。

[http://www.midas.co.jp/products/download/program/rte4win\\_32.htm](http://www.midas.co.jp/products/download/program/rte4win_32.htm)

## ■ ご注意

- 本製品（プログラム及びマニュアル）に関する著作権は株式会社マイダス・ラボが所有します。
- 本プログラム及びマニュアルは著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- お客様に設定される使用権は、1ライセンスにつき、1台のシステムにおいてのみ使用できるものです。1ライセンスで同時に2台以上のシステムでのご利用はできません。
- 本製品は、万全の注意を持って作製されていますが、ご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いかねますのでご了承ください。
- 本プログラム及びマニュアルに記載されている事柄は、予告なく変更されることがあります。

## ■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

**改訂履歴**

Rev.1.00 2006/01/05 初版 ( RTE-2000H-TP対応版 )

## 目次

1.	はじめに .....	4
2.	ハードウェア仕様.....	5
	エミュレーション部 .....	5
3.	RTE for WIN32の設定 .....	6
	ChkRTE2.exeの起動 .....	6
4.	初期設定コマンド.....	8
	Multiを使用する場合.....	8
	PARTNERを使用する場合.....	8
5.	インターフェース仕様.....	9
	ピン配置表.....	9
	コネクタの型番 .....	9
	配線.....	9
	基板レイアウト図 .....	10
6.	注意事項 .....	11
	KIT-VR4120-TP(-H) .....	11
	KIT-VR4131-TP(-H) .....	12
	KIT-VR4133-TP(-H) .....	13
	KIT-VR4181A-TP(-H) .....	14

## 1. はじめに

本書はVR41xx系のKITの共通説明書です。以下のKITに関する説明が記述されています。

- ・KIT-VR4120-TP(-H)
- ・KIT-VR4131-TP(-H)
- ・KIT-VR4133-TP(-H)
- ・KIT-VR4181A-TP(-H)

これらのKITは、VR41xx系のそれぞれのプロセッサをインサーキット・エミュレーション・デバッグするためのソフトウェアです。使用できる本体のハードウェアとKITの対応は以下の通りです。

- ・KIT-xxxx-TP :RTE-2000-TP用のKITです。
- ・KIT-xxxx-TP-H :RTE-2000H-TP用のKITです。

尚、本書では、KIT-xxxx-TP とKIT-xxxx-TP-Hを特に区別しない説明ではこれらKITのことをKIT-xxxx-TP(-H)と記述し、コアの品種を問わない説明においては、KIT-VR41xx-TP(-H)と記述します。また、本体に関し、RTE-2000-TPとRTE-2000H-TPを区別しない説明ではRTE-2000(H)-TPと記述します。

ご使用にあたりましては本体となりますRTE-XXXX-TPのハードウェア・ユーザーズ・マニュアルと合わせてお読みください。

本製品には下記のものが付属します。最初に付属品の確認を行ってください。

- ・RTE for Win32 (Rte4win32) Set Up CD-ROM
- ・ユーザーズ・マニュアル(本書)
- ・ライセンス設定シート

## 2. ハードウェア仕様

## エミュレーション部

対象デバイス		
KIT-VR4120-TP(-H)		VR4122(ES3.1~)
KIT-VR4131-TP(-H)		VR4131
KIT-VR4133-TP(-H)		VR4133
KIT-VR4181A-TP(-H)		VR4181A
使用するRTE-TPの形式	RTE-2000-TP	RTE-2000H-TP
JTAG-IFケーブル	RTE-NEC/MICTOR38-2K	PB-JTAG-N-A36 + CBL-KEL26
エミュレーション機能		
動作周波数	制限なし	
インターフェース	JTAG/N-Wire	
動作電圧	1.8 3.3V (*2)	1.2 3.3V
JTAG CLK	100KHz - 25MHz	
ブレーク機能		
実行アドレスイベントによるブレーク	2	
アクセスイベントによるブレーク設定	2	
S/Wブレークポイント	100	
ステップブレーク	可	
マニュアルブレーク	可	
トレース機能	なし	
ROMエミュレーション機能(*4)		
ブロック内マップ機能(USER/EMEM)	64K-Word	
RAMとして使用	可	
メモリ容量	8M - 128Mバイト	
アクセスタイム、()内はバーストサイクル時	35nS(30nS) (*1)	
動作電圧	1.8V 3.3V (*2)	
電気的条件	LV-TTL, 5Vトランジエント(*3)	
エミュレーション可能なROM数		
DIP-32pin-ROM(8bit-ROM)	4(max)	
DIP-40/42pin-ROM(16bit-ROM)	4(max)	
拡張16BIT-標準ROMコネクタ	4(max)	
エミュレーション可能なROMの容量(bit)		
DIP-32-ROM(8-bit bus)	1M, 2M, 4M, 8M(27C010/020/040/080)	
DIP-40-ROM(16bit-bus)	1M, 2M, 4M(27C1024/2048/4096)	
DIP-42-ROM(16bit-bus)	8M, 16M(27C8000/16000)	
拡張16bit-標準ROM(16bit-bus)	1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M(32M以下)	
バス幅指定(bit)	8/16/32/64	
その他		
高速ダウンロード機能(PB-HSDL-50)	無	有(*5)
端子マスク機能	NMI, INT	

\*1, 2, 3. RTE-2000(H)-TP+CBL-STD16-2Kを使用した場合の値です。

\*2. 2.3V以下で使用する場合は各ケーブルのDC特性に注意ください。電氣的に整合しない場合があります。

\*4. RTE-2000(H)-TPでは、E.MEM基板を最大4枚まで実装でき、その時の最大容量は128Mバイトです。

32-bit幅では2枚、64-Bit幅では4枚必要です。8-Bitバス幅のROMでは、ROM1個に1枚必要です。

\*5. 高速ダウンロード機能をご使用になるにはオプションのPB-HSDL-xxが必要です。各KITでの対応状況は別途ご確認ください。

### 3. RTE for WIN32の設定

『RTE for WIN32』の設定について説明します。

#### ChkRTE2.exeの起動

ユーザシステムとの接続を完了し、全ての機器の電源が投入された状態で ChkRTE2.exeを起動し、『RTE for WIN32』の環境設定を実施してください。『RTE for WIN32』の環境設定は、新規にハードウェアを設置した時に必ず1回は実施してください。

< RTEの設定 >



< RTEの選択 >

プロダクト一覧より、TPの下層にあるプロダクトをCPU名称をガイドにして指定してください。(画面は、VR4181A-TP(32BIT)を選択した場合です。)

- VR41xx-TP(32Bit) : 通常はこちらを指定してください。
- VR41xx-TP(64Bit) : MULTI使用時64-Bit幅でレジスタ表示をしたい場合にのみ指定してください。
- VR41xx-TP(xxBit-ESx.x) : ESx.xの指定項目がある場合は、該当CPUの注意事項の項を参照して指定してください。

< I/F-1, I/F-2の選択 >

使用するホストインターフェースに合ったものをプルダウンメニューから選んで指定してください。(画面は、USB-IFを割付けした場合です)

< ライセンス >

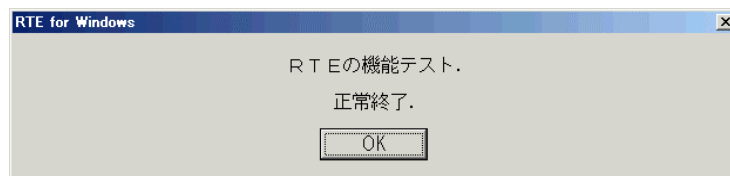
ボタンをクリックして、KITに添付のライセンス設定シートを見て、ライセンスの設定を行ってください。詳細は、『RTE for WIN32』のマニュアルを参照してください。



“KIT-VR41xx-TP-H”は、rte4win32 ver.6.00.00以上で対応しています。

## &lt; 機能テスト &gt;

機能テストは、ユーザシステムとの接続が正しく行われ、デバッグ可能な状態になっていることが必要です。RTEの設定後、画面の指示に従い機能テストを実施すると、正常終了時に下記のダイアログが表示されます。この状態になれば、デバッガからの制御が可能です。



途中でエラーになる場合は、ユーザシステムに障害があるか、JTAG/N-Wireケーブルが正しく接続できていない可能性がありますので、それらの確認を行ってください。



**CHKRTE2.EXEの機能テストは、RTE-xxxx-TPとユーザシステムが接続され、両方に電源が入っている状態で行ってください。**



## 4. 初期設定コマンド

デバッグを開始する前に、ユーザシステムのハードウェアに依存した初期設定が必要です。初期設定のためのコマンドとして以下が用意されていますので、必ず、正しく設定してからご使用ください。

### Multiを使用する場合

ターゲットウインドウ内で以下の内部コマンドを使用します。

ENVコマンド

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

ROMコマンド

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

### PARTNERを使用する場合

設定用のダイアログを使用します。

CPU環境設定ダイアログ

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

エミュレーションROM設定ダイアログ

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

## 5. インターフェース仕様

JTAG/N-Wireインターフェースのコネクタの仕様を以下に説明します。

### ピン配置表

Pin番号	信号名	入出力 (User Side)	処理 (User Side)
A1	NC.	-----	オープン、またはGND
A2	NC.	-----	オープン、またはGND
A3	NC.	-----	オープン、またはGND
A4	NC.	-----	オープン、またはGND
A5	NC.	-----	オープン、またはGND
A6	NC.	-----	オープン、またはGND
A7	RMODE/JTDI	Input	4.7K-10K プルアップ
A8	JTCK	Input	4.7K-10K プルアップ
A9	JTMS	Input	4.7K-10K プルアップ
A10	JTDO	Output	22-33 シリーズ抵抗 (推奨)
A11	JTRSTB	Input	4.7K-10K プルダウン
A12	BKTGIO_L	Input/Output	4.7K-10K プルアップ
A13	NC.	-----	オープン

Pin番号	信号名	入出力 (User Side)	処理 (User Side)
B1-B10	GND	-----	GNDに接続
B11	NC.	-----	オープン
B12	NC.	-----	オープン
B13	+3.3V	-----	+3.3Vに接続

### コネクタの型番

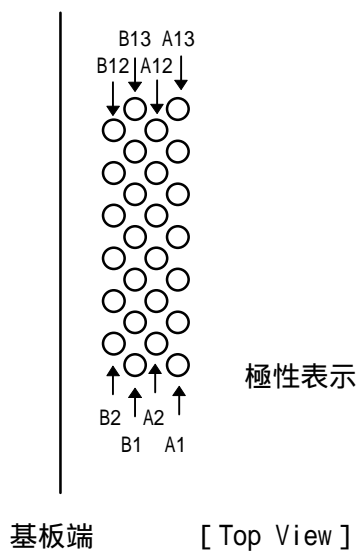
メーカー : KEL  
 型番 : 8830E-026-170S (ストレート)  
       8830E-026-170L (ライト・アングル)  
       8831E-026-170L (ライト・アングル、固定金具付き)

### 配線

1. CPUからコネクタまでの配線は極力短くなるようにしてください。  
(100mm以下を推奨します)
2. CPUからの出力信号は、CPUのI/Oと同一電源を供給した高速CMOSバッファを介し、コネクタへ接続すること推奨します。

**基板レイアウト図**

基板上的のコネクタの物理的なレイアウトを以下に示します。



コネクタや配線に関する事柄はRTE-XXXX-TPのマニュアルを参照ください。

## 6. 注意事項

KIT個別に使用上の注意事項を説明します。

### KIT-VR4120-TP(-H)

KIT-VR4120-TP(-H)を使用する上での注意事項を以下にまとめます。

#### 操作上の注意

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。故障の原因となります。
- 2) 本機は、CPU内部のデバッグ制御回路を外部から制御するものです。そのため以下の条件が満たされない場合、正しく動作しません。  
\* ユーザシステムとN-Wireケーブルが接続されていること。  
\* ユーザシステムの電源が投入され、CPUが正しく動作できる状態にあること。
- 3) ICE使用時は、ターゲットにおいて、RTCRST#信号がロウ・レベルからハイ・レベルに変化した時点でTRCEND/NWIREEN/HLDAK#端子が“1”であることが必要です。それが不可の場合は、CPUのHALTIMERシャットダウンが発生する前(通電後4秒以内)にICEを立ち上げてください。

#### 機能上の注意

- 4) 当該KITは、32ビットのアドレス空間に対応したものです。64-Bitのアドレス・モードには対応しておりません。また、仮想アドレスはTLBが静的な状態で、常にヒットする状態にある時のみ対応します。
- 5) キャッシュをLOCKした状態でのデバッグは行えません。LOCKした場合、その領域でのブレークやステップ実行、メモリの書き換えが異常になる可能性があります。
- 6) ICEからのリセットや初期化では、CPU内臓周辺デバイスはリセットされません。
- 7) その他、KITのリリースノートやNEC社発行の制限事項等を必ず参照してください。

#### CPU:VR4122のバージョンによる注意

- 8) RTE-2000(H)-TPIはES3.0以前の古いバージョンのCPUはエミュレーションできません。ChkRTE2.exeでVR4122-TP(32BIT-ES3.0)及びVR4122-TP(32BIT-ES2.1)は選択しないでください。



**RTE-2000(H)-TPIは、VR4122がES3.1より古いバージョンのCPUには対応しておりません。**

KIT-VR4131-TP(-H)

KIT-VR4131-TP(-H)を使用する上での注意事項を以下にまとめます。

**操作上の注意**

- 1) 機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。故障の原因となります。
- 2) 本機は、CPU内部のデバッグ制御回路を外部から制御するものです。そのため以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとN-Wireケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、CPUが正しく動作できる状態にあること。
- 3) ICE使用時は、ユーザシステム上のVR4131にRTCリセットが印加されている間、NWIREEN端子が“1”であることが必要です。詳しくはCPUのマニュアルを参照ください。

**機能上の注意**

- 4) 当該KITは、32ビットのアドレス空間に対応したものです。64-Bitのアドレス・モードには対応しておりません。また、仮想アドレスはTLBが静的な状態で、常にヒットする状態にある時のみ対応します。
- 5) キャッシュをLOCKした状態でのデバッグは行えません。LOCKした場合、その領域でのブレークやステップ実行、メモリの書き換えが異常になる可能性があります。
- 6) ICEからのリセットや初期化では、CPU内臓周辺デバイスはリセットされません。
- 7) その他、KITのリリースノートやNEC社発行の制限事項等を必ず参照してください。



**対象になるCPUはVR4131のES2.0以上です。  
それより古いバージョンのCPUは対象外です。**

**KIT-VR4133-TP(-H)**

KIT-VR4133-TP(-H)を使用する上での注意事項を以下にまとめます。

**操作上の注意**

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。故障の原因となります。
- 2) 本機は、CPU内部のデバッグ制御回路を外部から制御するものです。そのため以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとN-Wireケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、CPUが正しく動作できる状態にあること。
- 3) ICE使用時は、ユーザシステム上のVR4133にRTCリセットが印加されている間、SIN/JTAGEN端子が“1”であることが必要です。詳しくはCPUのマニュアルを参照ください。

**機能上の注意**

- 4) 当該KITは、32ビットのアドレス空間に対応したものです。64-Bitのアドレス・モードには対応しておりません。また、仮想アドレスはTLBが静的な状態で、常にヒットする状態にある時のみ対応します。
- 5) キャッシュをLOCKした状態でのデバッグは行えません。LOCKした場合、その領域でのブレークやステップ実行、メモリの書き換えが異常になる可能性があります。
- 6) ICEからのリセットや初期化では、CPU内臓周辺デバイスはリセットされません。
- 7) その他、KITのリリースノートやNEC社発行の制限事項等を必ず参照してください。

**KIT-VR4181A-TP(-H)**

KIT-VR4181A-TPを使用する上での注意事項を以下にまとめます。

**操作上の注意**

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。故障の原因となります。
- 2) 本機は、CPU内部のデバッグ制御回路を外部から制御するものです。そのため以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとN-Wireケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、CPUが正しく動作できる状態にあること。
- 3) ICE使用時は、ユーザシステム上のVR4181AにRTCリセットが印加されている間、NWIREEN端子が“1”であることが必要です。詳しくはCPUのマニュアルを参照ください。

**機能上の注意**

- 4) 当該KITは、32ビットのアドレス空間に対応したものです。64-Bitのアドレス・モードには対応しておりません。また、仮想アドレスはTLBが静的な状態で、常にヒットする状態にある時のみ対応します。
- 5) キャッシュをLOCKした状態でのデバッグは行えません。LOCKした場合、その領域でのブレークやステップ実行、メモリの書き換えが異常になる可能性があります。
- 6) ICEからのリセットや初期化では、CPU内臓周辺デバイスはリセットされません。
- 7) その他、KITのリリースノートやNEC社発行の制限事項等を必ず参照してください。