

***KIT-VR5500-TP(-H)***

**ユーザース・マニュアル(Rev.1.00)**

***RealTimeEvaluator***

## ■ ソフトウェアのバージョンアップ

- 最新のRTE for Win32 (Rte4win32)は、以下のサイトよりダウンロードできます。

[http://www.midas.co.jp/products/download/program/rte4win\\_32.htm](http://www.midas.co.jp/products/download/program/rte4win_32.htm)

## ■ ご注意

- 本製品(プログラム及びマニュアル)に関する著作権は株式会社マイダス・ラボが所有します。
- 本プログラム及びマニュアルは著作権法で保護されており、弊社の文書による許可が無い限り複製、転載、改変等できません。
- お客様に設定される使用権は、1ライセンスにつき、1台のシステムにおいてのみ使用できるものです。1ライセンスで同時に2台以上のシステムでのご利用はできません。
- 本製品は、万全の注意を持って作製されていますが、ご利用になった結果については、販売会社、及び、株式会社マイダス・ラボは一切の責任を負いかねますのでご了承ください。
- 本プログラム及びマニュアルに記載されている事柄は、予告なく変更されることがあります。

## ■ 商標について

- MS-Windows、Windows、MS、MS-DOSは米国マイクロソフト・コーポレーションの商標です。
- そのほか本書で取り上げるプログラム名、システム名、CPU名などは、一般に各メーカーの商標です。

**改訂履歴**

Rev.1.00	2006-01-05	初版 ( RTE-2000H-TP対応版 )
----------	------------	------------------------

## 目次

1.	はじめに	4
2.	ハードウェア仕様	5
	エミュレーション部	5
3.	RTE for WIN32の設定	6
	ChkRTE2.exeの起動	6
4.	初期設定コマンド	8
	Multiを使用する場合	8
	PARTNERを使用する場合	8
5.	インターフェース仕様：従来型(KEL)	9
	接続信号一覧	9
6.	インターフェース仕様：高速型(MICTOR)	10
	接続信号一覧	10
7.	注意事項	11
	操作上の注意	11
	機能上の注意	11

## 1. はじめに

**KIT-VR5500-TP(-H)**は、NEC製のRISCプロセッサ VR5500を搭載したシステムをインサーキット・エミュレーション・デバッグするためのソフトウェアです。使用できるハードウェアとKITの対応は以下の通りです。

- ・KIT-VR5500-TP :RTE-1000-TP, RTE-2000-TP用のKITです。
- ・KIT-VR5500-TP-H :RTE-2000H-TP用のKITです。

尚、本書では、KIT-VR5500-TPとKIT-VR5500-TP-Hを特に区別しない説明ではこれらKITのことをKIT-VR5500-TP(-H)と記述し、RTE-2000-TPとRTE-2000H-TPを区別しない説明ではRTE-2000(H)-TPと記述します。

本マニュアルは、当KITの使用方法について記述したものです。ご使用にあたりましては本体となりますRTE-XXXX-TPのハードウェア・ユーザーズ・マニュアルと合わせてお読みください。

本製品には下記のものが付属します。最初に付属品の確認を行ってください。

- ・RTE for Win32 (Rte4win32) Set Up CD-ROM
- ・ユーザーズ・マニュアル(本書)
- ・ライセンス設定シート

## 2. ハードウェア仕様

### エミュレーション部

対象デバイス	VR5500, VR5500A	
使用するRTE-TPの形式	RTE-2000-TP	RTE-2000H-TP
JTAG-IFケーブル	RTE-NEC/MICTOR38-2K	PB-JTAG-N-A36(72/144)
エミュレーション機能		
動作周波数	制限なし	
インターフェース	JTAG/N-Wire	
動作電圧	1.8 3.3V(5Vトレラント) (*2)	1.2 3.3V(5Vトレラント)
JTAG CLK	100KHz - 25MHz	
ブレーク機能		
実行アドレスイベントによるブレーク(*5)	1	
アクセスイベントによるブレーク設定(*6)	1	
S/Wブレークポイント	100	
ステップブレーク	可	
マニュアルブレーク	可	
トレース機能(*7)		
トレースデータバス	4bit	
トレースメモリ	4bit x 256K-word	4bit x 1M(2M/4M)-word
実行アドレスイベントによるトリガ設定(*5)	1	
アクセスイベントによるトリガ設定(*6)	1	
外部入力信号によるトリガ設定	1	
トレースディレイ	0 - 3FFFF	0 FFFFF(1FFFFFF/3FFFFFF)
トレースクロック	max133MHz	max333MHz(B仕様:400MHz)
タイムタグ	100nS - 30h	
逆アセンブルトレース表示機能	有	
ROMエミュレーション機能(*4)		
ブロック内マップ機能(USER/EMEM)	64K-Word	
RAMとして使用	可	
メモリ容量	8M	128M/バイト
アクセスタイム ( )内はπ-ストサイクル時	35nS(30nS) (*1)	
動作電圧	1.8V	3.3V (*2)
電氣的条件	LV-TTL, 5Vトレラント (*3)	
エミュレーション可能なROM数		
DIP-32pin-ROM(8bit-ROM)	4(max)	
DIP-40/42pin-ROM(16bit-ROM)	4(max)	
拡張16BIT-標準ROMコネクタ	4(max)	
エミュレーション可能なROMの容量(bit)		
DIP-32-ROM(8-bit bus)	1M,2M,4M,8M(27C010/020/040/080)	
DIP-40-ROM(16bit-bus)	1M,2M,4M(27C1024/2048/4096)	
DIP-42-ROM(16bit-bus)	8M,16M(27C8000/16000)	
拡張16bit-標準ROM(16bit-bus)	1M,2M,4M,8M,16M,32M,64M,128M,256M(32Mπ 1)	
バス幅指定(bit)	8/16/32	
その他		
高速ダウンロード機能(PB-HSDL-50)	無	有 (*8)
端子マスク機能	NMI, INT	

\*1,2,3.RTE-2000(H)-TP+CBL-STD16-2Kを使用した場合の値です。

\*2.2.3V以下で使用する場合は各ケーブルのDC特性に注意ください。電氣的に整合しない場合があります。

\*4.RTE-2000(H)-TPでは、E.MEM基板を最大4枚まで実装でき、その時の最大容量は128Mπ 1です。

32-bit幅では2枚、64-Bit幅では4枚必要です。8-Bitバス幅のROMでは、ROM 1個に1枚必要です。

\*5.ブレークとトリガ用の実行アドレスイベントは兼用です。

\*6.ブレークとトリガ用のアクセスイベントは兼用です。

\*7.トレース中は、実行速度が低下します。

\*8. 高速ダウンロード機能をご使用になるにはオプションのPB-HSDL-xxが必要です。本KITでの対応状況は別途ご確認ください。

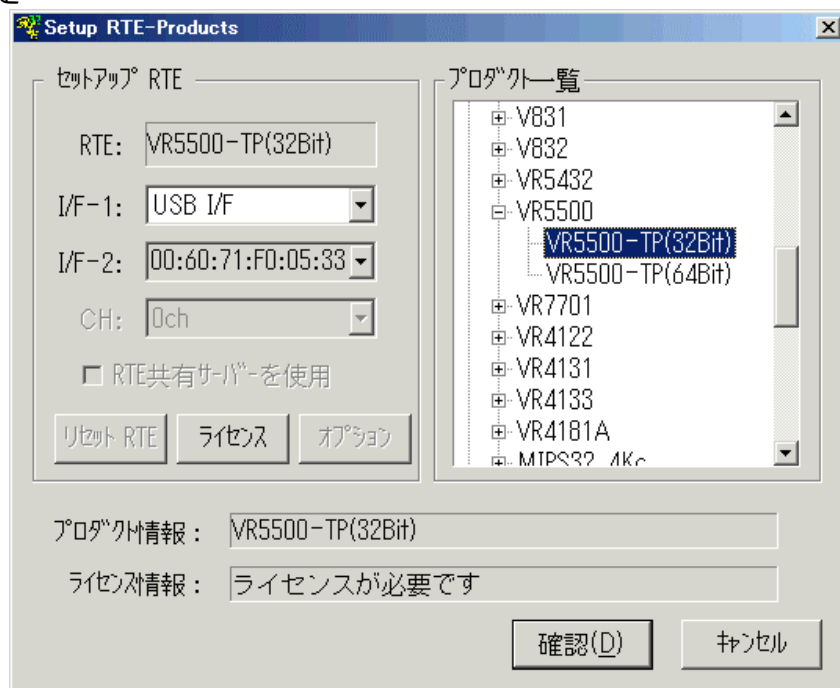
### 3. RTE for WIN32の設定

『RTE for WIN32』の設定について説明します。『RTE for UNIX』をご使用になる場合は『RTE for UNIX』のマニュアルを参照してください。

#### ChkRTE2.exeの起動

ユーザシステムとの接続を完了し、全ての機器の電源が投入された状態で ChkRTE2.exe を起動し、『RTE for WIN32』の環境設定を実施してください。『RTE for WIN32』の環境設定は、新規にハードウェアを設置した時に必ず1回は実施してください。

< RTEの設定 >



< RTEの選択 >

プロダクト一覧より、TPの下層にある[VR5500-TP(32Bit)]を指定してください。  
 [VR5500-TP(32Bit)] : 通常はこちらを指定してください。  
 [VR5500-TP(64Bit)] : MULTI使用時64-Bit幅でレジスタ表示をしたい場合にのみ指定してください。

< I/F-1, I/F-2の選択 >

使用するホストインターフェースに合ったものをプルダウンメニューから選んで指定してください。(画面は、USB-IFに割り付けた場合です)

< ライセンス >

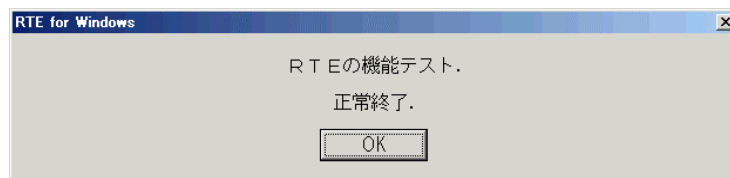
ボタンをクリックして、KITに添付のライセンス設定シートを見て、ライセンスの設定を行ってください。詳細は、『RTE for WIN32』のマニュアルを参照してください。



“KIT-VR5500-TP-H”は、rte4win32 ver.6.00.00以上で対応していません。

## &lt;機能テスト&gt;

機能テストは、ユーザシステムとの接続が正しく行われ、デバッグ可能な状態になっていることが必要です。RTEの設定後、画面の指示に従い機能テストを実施すると、正常終了時に下記のダイアログが表示されます。この状態になれば、デバッガからの制御が可能です。



途中でエラーになる場合は、ユーザシステムに障害があるか、JTAG/N-Wireケーブルが正しく接続できていない可能性がありますので、それらの確認を行ってください。



**CHKRTE2.EXEの機能テストは、RTE-xxxx-TPとユーザシステムが接続され、両方に電源が入っている状態で行ってください。**



## 4. 初期設定コマンド

デバッグを開始する前に、ユーザシステムのハードウェアに依存した初期設定が必要です。初期設定のためのコマンドとして以下が用意されていますので、必ず、正しく設定してからご使用ください。

### Multiを使用する場合

ターゲットウィンドウ内で以下の内部コマンドを使用します。

ENVコマンド

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

ROMコマンド

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

### PARTNERを使用する場合

設定用のダイアログを使用します。

CPU環境設定ダイアログ

- ・端子マスクの指定
- ・JTAGクロックの指定
- ・その他

エミュレーションROM設定ダイアログ

- ・ROMのエミュレーション条件の指定

NC/NCDコマンド

- ・デバッガ内でのデータキャッシュ処理領域の指定

NSPB/NSPBDコマンド

- ・ソフトブレーク禁止領域の指定

NROM/NROMDコマンド

- ・強制ユーザ領域の指定

## 5. インターフェース仕様：従来型(KEL)

従来型(KEL)のJTAG/N-Wireインターフェースの接続信号一覧を以下に示します。



**新規の設計では、次章で説明する高速型のインターフェースのご使用を推奨します。**

### 接続信号一覧

Pin番号	信号名	入出力 (User Side)	処理 (User Side)
A1	TRCCLK	Output	22-33 シリーズ抵抗 (推奨)
A2	TRCDATA0	Output	22-33 シリーズ抵抗 (推奨)
A3	TRCDATA1	Output	22-33 シリーズ抵抗 (推奨)
A4	TRCDATA2	Output	22-33 シリーズ抵抗 (推奨)
A5	TRCDATA3	Output	22-33 シリーズ抵抗 (推奨)
A6	TRCEND	Output	22-33 シリーズ抵抗 (推奨)
A7	DDI	Input	4.7K-10K プルアップ
A8	DCK	Input	4.7K-10K プルアップ
A9	DMS	Input	4.7K-10K プルアップ
A10	DDO	Output	22-33 シリーズ抵抗 (推奨)
A11	DRST-	Input	4.7K - 50K プルダウン
A12	Rmode* / BkTGIO*	Input/Output	4.7K-10K プルアップ
A13	NC.	-----	オープン

Pin番号	信号名	入出力 (User Side)	処理 (User Side)
B1-B10	GND	-----	GNDに接続
B11	NC.	-----	オープン
B12	NC.	-----	オープン
B13	+3.3V	-----	10系電源に接続 (通常は+3.3V)

備考：入出力 (User Side) : ユーザ基板側での方向です。

A11 : VR5500 ES1.1では、オープンまたは外部回路を通しColdReset\*へ接続してください。  
(TPから負論理のリセット信号を出力します)

B13-VCCIO: CPUのIO用の電源(+3.3V)を直接接続してください。



**コネクタや配線に関する事柄はRTE-XXXX-TPのマニュアルを参照ください。**



**RTE-2000H-TPでこのコネクタをご使用になる場合は、オプションのCBL-KEL26が必要です。**

## 6. インターフェース仕様：高速型(MICTOR)

高速型(MICTOR)のJTAG/N-Wireインターフェースの接続信号の一覧を以下に示します。

### 接続信号一覧

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
1	GND		GNDに接続
3(A8)	DCK	Input	4.7K - 10K プルアップ
5(A9)	DMS	Input	4.7K - 10K プルアップ
7(A7)	DDI	Input	4.7K - 10K プルアップ
9(A10)	DDO	Output	22 - 33 シリーズ抵抗 (推奨)
11	---	---	Open
13	---	---	Open
15	---	---	Open
17(A1)	TRCLK	Output	22 - 33 シリーズ抵抗 (推奨)
19(A6)	TRCEND	Output	22 - 33 シリーズ抵抗 (推奨)
21(A2)	TRCDATA0	Output	22 - 33 シリーズ抵抗 (推奨)
23(A3)	TRCDATA1	Output	22 - 33 シリーズ抵抗 (推奨)
25(A4)	TRCDATA2	Output	22 - 33 シリーズ抵抗 (推奨)
27(A5)	TRCDATA3	Output	22 - 33 シリーズ抵抗 (推奨)
29	---	---	Open、またはGND
31	---	---	Open、またはGND
33	---	---	Open、またはGND
35	---	---	Open、またはGND
37	GND		GNDに接続

Pin番号	接続信号名	入出力 (User Side)	処理(User Side)
2	GND		GNDに接続
4(B13)	VCCIO	---	CPUのIO系電源に接続 (電源監視用)
6(A11)	DRST-	Input	4.7K - 50K プルダウン
8(A12)	Rmode*/BkTG10*	Input	4.7K - 10K プルアップ
10(A13)	---	---	Open
12	---	---	Open
14(B11)	---	---	Open
16(B12)	---	---	Open
18	---	---	Open
20	---	---	Open
22	---	---	Open、またはGND
24	---	---	Open、またはGND
26	---	---	Open、またはGND
28	---	---	Open、またはGND
30	---	---	Open、またはGND
32	---	---	Open、またはGND
34	---	---	Open、またはGND
36	---	---	Open、またはGND
38	GND	---	GNDに接続

備考：()内はKELタイプのコネクタの相当ピンです。

入出力 (User Side) はユーザ基板側での方向です。

6pin:VR5500 ES1.1では、オープンまたは外部回路を通しColdReset\*へ接続してください。(TPから負論理のリセット信号を出力します)

4pin:CPUのIO用の電源(+3.3V)を直接接続してください。

## 7. 注意事項

KIT-VR5500-TP(-H)を使用する上での注意事項を以下にまとめます。

### 操作上の注意

- 1) 本機の電源が切れている状態で、ユーザシステムの電源を入れしないでください。故障の原因となります。
- 2) 本機は、CPU内部のデバッグ制御回路を外部から制御するものです。そのため以下の条件が満たされない場合、正しく動作しません。
  - \* ユーザシステムとN-Wireケーブルが接続されていること。
  - \* ユーザシステムの電源が投入され、CPUが正しく動作できる状態にあること。

### 機能上の注意

- 1) 当該KITは、32ビットのアドレス空間に対応したものです。64-Bitのアドレス・モードには対応しておりません。また、仮想アドレスはTLBが静的な状態で、常にヒットする状態にある時にのみ対応します。
- 2) リアルタイムトレースに関して
  - \* リアルタイムトレースの逆アセンブル表示は、CPUからの分岐情報をもとに、トレース表示のコマンドを発行した時点でメモリの内容を読み出して行っています。その結果、ユーザシステムのRAM上に配置されたプログラムの逆アセンブル表示は、実行後にRAMの内容が変更（暴走等による誤った書き込みを含む）された場合、正しい実行履歴を表示することができません。また、分岐情報に誤りがあった場合も、正しく解析表示することはできません。
  - \* ブレークポイントから実行した場合とハードウェアブレークポイントを設定している場合、実行開始アドレスの命令の実行がトレースに入りません。
  - \* トレース中、トリガが成立した場合とディレイモードの状態ではブレークした場合は、ブレークした時点でトレースは終了します。
- 3) キャッシュをLOCKした状態でのデバッグは行えません。LOCKした場合、その領域でのブレークやステップ実行、メモリの書き換えが異常になる可能性があります。
- 4) その他、KITのリリースノートやNEC社発行の制限事項等を必ず参照してください。
- 5) VR5500 ES1.1をICEした場合の制限事項について
  - \* NEC社発行の制限事項文書中のN-Wireに関する項がICE使用時の制限事項に該当します。ご確認の上、ご使用ください。
  - \* 実行開始直後からトレースを行った場合、実行直前に1行不要なパケットが表示されます。これは無視してください。以下の 行です。

Cycle	Sub	Address	Code	Instruction	EXT	Stat
+000001	----	-----	-----	1 Count	1111	NSEQ <<
+000004	----	bfc00000	0bf00100	j bfc00400	1111	TPC
+00000f	----	bfc00004	00000000	nop	1111	NSEQ
+000012	----	bfc00400	40806800	mtc0 r0,\$13	1111	NSEQ

- 6) VR5500/VR5500AIは、以下のケースでCPUはICEの制御を離れ実行を開始してしまいます。こういった状態の後では、ICEからは正常な制御ができませんので、デバッグを再起動するか、初期化コマンド(内部コマンドを使う場合は、initコマンド、またはresetコマンド)を発行して、始めからデバッグを再開してください。
  - \* ユーザシステムの電源が切り/入りされた場合。
  - \* ユーザシステム上からCPUに対し、コールド・リセットが印加された場合。
- 7) ICEからの初期化コマンドでユーザシステム全体をリセットしたい場合は、RTE-2000(H)-TP本体のEXTコネクタ-A4ピン(RESETOUT#信号)をユーザシステム上のリセット回路に接続してください。但し、rte4win32が5.13B14以降、または5.13.00以降であることが必要です。